메모리 테스트 보드의 절연체 변경에 대한 전기적 성능 영향 분석

윤태형, 김문정*
*공주대학교 전기전자제어공학부
e-mail:mjkim@kongju.ac.kr

Analysis of Electrical Performance Effect on Insulation Change in Memory Test Board

Tae-Hyung Yun, Moonjung Kim*
*Dept. of Electrical Electronic and Control Engineering

요 약

본 논문에서는 절연체 변경에 따른 메모리 테스트 보드의 전기적 성능 영향을 비교 및 분석하였다. 절연체의 유전상수와 Loss Tangent는 메모리 테스트 보드 상에서 신호 선로의 특성 임피던스와 전원단의 Power Delivery Network 임피던스에 영향을 미친다. 고속 동작에 적합한 우수한 성능의 절연체와 저가격으로 널리 사용되는 절연체를 적용하여 메모리 테스트 보드의 S-parameter, Z-parameter, Eye-diagram 시뮬레이션을 수행하였으며, 그 결과를 비교 분석하였다. 신호 선로의 특성 임피던스를 50 Ω으로 확보하기 위해서 보드 설계 단계에서 각 절연체 유형별로 선로 폭을 조정하였다. DDR4 최대 동작 속도 3200 Mbps와 5차 고조파를 고려하여 시뮬레이션의 계산 주파수는 8 GHz까지 설정하였다. 저가격 절연체가 적용된 보드는 고성능 절연체와 동등한 수준의 PDN 임피던스 특성을 가지며, 특히 0.5 – 0.9 GHz 대역에서 보다 낮은 임피던스를 가진 반면 1 – 2 GHz 대역에서는 거의 동일한 값을 가진다. 이러한 결과는 저가격 절연체의 유전상수가 32% 증가하여 발생한 것으로 분석된다. 반사 손실은 전반적으로 유사한 수준을 가지나, 고성능 절연체의 삽입 손실이 2 GHz 이후의 고주파 대역에서 우수한 성능을 가진다. 고성능 절연체는 0.008의 Loss Tangent을 가지며, 이러한 특성으로 인하여 우수한 삽입 손실을 보여주었다. 두 절연체에 대한 Eye-diagram 결과는 전반적으로 동등한 수준으로 판단된다. 다만 일부 선로의 경우 Rise Time 또는 Fall Time 증가가 확인되었으나, Timing Aperture 변화는 거의 없었다. S-parameter, Z-parameter, Eye-diagram 시뮬레이션 결과는 저가격 절연체를 적용한 메모리 테스트 보드가 50 – 60 mm 수준의 선로 길이에서 고성능 절연체와 동등한 수준의 전기적 성능을 가짐을 보여준다.

1. 서론

빅데이터의 응용기술이 원활하게 구현되기 위해서는 반도체를 사용한 고성능 컴퓨팅이 필요하다. DRAM(Dynamic Random Access Memory)은 다양한 기술 분야에서 주메모리로 널리 사용되고 있다. 최근 DRAM 제품의 기술동향은 고속 동작과 고용량 방향으로 진행되고 있다. 또한 고성능의 DRAM 제품에 대해서 안정적으로 신호 품질을 검사하는 과정과 이를 위한 테스트 부품 및 장비의 중요성도 점차 증가하고 있다. 반도체 제품의 동작 속도는 점차 증가하고 있으며, 테스트 기술도 이에 맞추어 고속 동작이 가능하도록 개발되고 있으며 동시에 저비용의 효율적인 테스트 과정이 유지되어야 한다[1]. 테스트 장치 인터페이스(Test Fixture Interface)의 주요 과제 중 하나는 고성능을 확보하면서 낮은 테스트 비용을 확보하는 것이다. 이를 위해 본 논문에서는 저가격 유전체 적용하여 메모리 소켓 보드를 설계하고 이에 대한 전기적 성능 변화를 분석한다.

2. 본론

고속 동작에 적합한 우수한 성능의 절연체와 저가격으로 널리 사용되는 절연체를 적용하여 메모리 테스트 보드를 각각 설계하고 각 보드의 전기적 성능을 S-parameter, Z-parameter, Eye-diagram 시뮬레이션 분석을 통해 비교하였다.

3. 결론

절연체 변경으로 인한 메모리 테스트 보드의 전기적 성능의 변화를 분석한 결과, 신호 선로의 삽입 손실은 고주파 대역에서 차이가 발생하였으나, PDN 임피던스는 오히려 향상되었다. Eye-diagram 시뮬레이션 결과는 Timing Aperture 특성은 일부 저하되었으나, 전원 노이즈 특성은 개선되었다.
사사

사사

이 성과는 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. 2017R1D1A3B03033760).

참고문헌

[1] J. Moreira, M. Moessinger, K. Sasaki, and T. Nakamura, "Driver Sharing Challenges for DDR4 High-Volume Testing with ATE", International Test Conference, pp. 1-10, 2012.