

0.35 μm BCD 공정을 이용한 보호회로 기능이 추가된 모바일용 LDO 레귤레이터

이민지¹, 손현식¹, 박용수², 송한정^{*}
¹인제대학교 나노시스템공학과, ²충청대학교 전기전자학부

Design of a LDO regulator with a protection Function using a 0.35 μm BCD process

Min-Ji Lee¹, Hyun-Sik Son¹, Young-Soo Park² and Han-Jung Song^{*}

¹Department of Nano System Engineering, Inje University

²Department of Electronics Engineering Chung Cheong University

요약 본 논문에서는 고속 PMIC(Power Management Integrated Circuit) 회로를 위한 저전압 입력 보호기능을 가지는 모바일용 LDO(Low Drop-Out) 레귤레이터를 설계하였다. 설계된 LDO 레귤레이터는 밴드갭 기준전압회로, 오차 증폭회로, 파워 트랜지스터 등으로 이루어진다. LDO 레귤레이터는 3.3 V 전원전압으로부터 2.5 V 출력을 갖도록 설계되었으며, 저전압 입력보호 기능을 하는 UVLO 회로는 전원부와 파워 트랜지스터 사이에 삽입된다. 또한 UVLO는 3.3 V 구동전압에서, 하강 시 1.2 V 에서 LDO 레귤레이터 동작을 멈추게 하고, 구동전압 상승 시 2.5 V 에서 LDO 레귤레이터가 정상 동작한다. 0.35 μm 5 V 저전압 CMOS 공정을 사용하여 모의실험 한 결과, 설계한 LDO 레귤레이터는 0.713 mV/V의 라인레귤레이션을가지고, 부하전류가 0 mA에서 40 mA로 변할 때 8.35 $\mu\text{V}/\text{mA}$ 의 로드레귤레이션을 보였다.

Abstract We designed of a LDO regulator with a OVP and UVLO protection function for a PMIC. Proposed LDO regulator circuit consists of a BGR reference circuit, an error amplifier and a power transistor and so on. The proposed LDO regulator is designed for low voltage input power protection. Proposed LDO circuit generated fixed 2.5 V from a supply of 3.3V. It was designed with 3.3 V power supply using a 0.35 μm CMOS technology. SPICE simulation results showed that the proposed circuit provides 0.713 mV/V line regulation with output 2.5 V ~ 3.9 V and 8.35 $\mu\text{V}/\text{mA}$ load regulation with load current 0 mA to 40 mA.

Key Words : BCD process, LDO, PMIC, Protect circuit, Regulator

1. 서론

휴대폰, PDA, 노트북, 카메라 등 저 전력으로 동작하는 제품들이 증가하고, 이러한 전자기기가 다기능화 고집적화 됨으로써 각각의 성능이 보다 더 정밀한 동작을 요하게 되었다. 또한 이러한 기기들이 사용 중이거나 대기 중에도 더 많은 전력을 소모하게 되면서, 에너지절

약과 배터리 수명에 있어서 모바일용 전자기기들의 전력 관리가 중요한 문제로 부상하고 있다[1-2]. SoC 기술의 발전으로 인하여 모바일용 시스템의 주전원 기능들을 싱글칩으로 만든 PMIC(Power Management Integrated Circuit)의 중요성이 크게 부각되고 있다[3]. 일반적인 PMIC에는 충전회로, 보호회로와 여러가지 레귤레이터로 이루어져 있다. 여기서 레귤레이터에는 출력전압을 일정

본 논문은 IDEC(IC Design Education Center)의 CAD 프로그램 지원 및 「2014년 인제대학교 LINC 사업단」의 “지원”을 통해 개발된 결과물 및 2014년 교육부와 한국연구재단의 지역혁신창의인력양성사업의 지원을 받아 수행된 연구임(NRF-2014H1C1A1066686)

*Corresponding Author : Han-Jung Song(Inje Univ.)

Tel: +82-55-320-3873 email: hjsong@inje.ac.kr

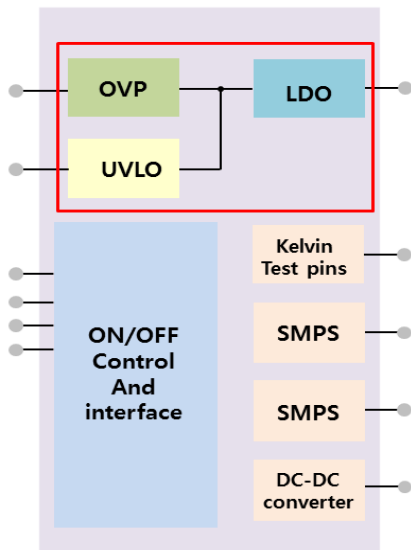
Received August 11, 2014

Revised December 10, 2014

Accepted January 8, 2015

하게 조정하는 회로로써, 조정하는 방식에 따라 선형 방식의 레귤레이터와 스위칭 방식의 DC-DC컨버터로 나뉘어진다. 스위칭 방식의 DC-DC컨버터는 효율이 좋지만, 잡음특성이 떨어지고, 선형 방식의 레귤레이터인 LDO(Low Drop-Out) 레귤레이터는 효율은 떨어지지만 잡음 특성이 좋기 때문에 더 정밀하고 안정한 전압공급을 할 수 있다. LDO 레귤레이터는 저잡음 특성은 무선 송신기, 수신기, 마이크와 같은 RF 및 오디오 어플리케이션에 필수적이다[4-5].

또한 이것은 상대적으로 낮은 레벨의 전류를 소모하기 때문에 저전력화가 가능해 LDO 레귤레이터에 대한 연구가 지속되고 있다. LDO 레귤레이터 뿐 만이 아니라, 입력전압의 변화, 온도변화 등에 따른 회로의 과피를 방지하기 위한 보호회로도 또한 필수적이다.



[Fig. 1] PMIC block diagram for portable device application

그림 1에서는 보호기능이 추가된 PMIC 칩 내부 블록도를 나타 내었다. 본 연구에서는 0.35 μm BCD 공정을 이용한 보호기능이 추가된 모바일용 LDO 레귤레이터를 설계하였다.

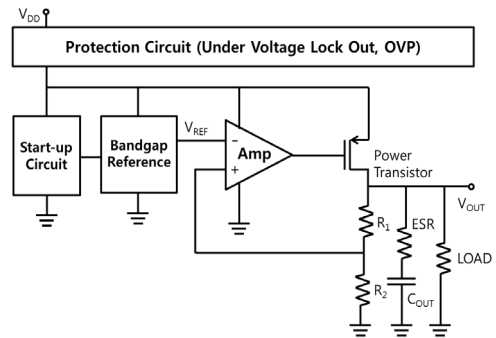
2. 보호기능을 가지는 모바일용 LDO 레귤레이터

기본적인 LDO 레귤레이터의 경우 그림 2과 같이 오

차증폭기, 기준전압회로, 파워트랜지스터, 저항, 커패시터 등으로 이루어진다. LDO의 출력 전압은 파워 트랜지스터로 사용된 NMOS에 의해 전압 강하되어 출력된다. 출력 전압의 일부는 저항 R1과 R2의 전압분배에 의해 오차증폭기로 귀환하여 들어가게 되고, 기준전압과 비교하여 그 차이만큼 증폭된 신호를 출력한다. 그 차이만큼 증폭된 신호가 파워 트랜지스터를 제어하여 출력전압을 일정하게 유지시킨다. LDO의 출력 전압 관련 식은 다음과 같다.[6]

$$V_{OUT} \cong \left(1 + \frac{R_1}{R_2}\right) V_{REF} \quad (1)$$

Fig. 2의 경우 제안하는 과전압 및 저전압 방지 기능을 갖는 LDO 레귤레이터의 블록도를 나타 내었다. 저전압 보호회로(UVLO) 및 과전압 보호회로(OVP)의 경우 구동전압이 일정전압 이하 또는 이상일 때 회로의 오작동으로부터 칩의 과피를 보호하기 위한 회로이다. 제안하는 회로는 저전압 보호회로의 출력이 LDO의 입력전압으로 연결되어, 구동전압이 하강하여 일정전압 이하가 될 때 출력이 0 V가 되어 LDO 레귤레이터의 동작을 멈추고, 다시 구동전압이 상승하여 일정전압이 이상이 될 때 출력이 3.3 V가 되어 LDO 레귤레이터를 동작하게 한다.



[Fig. 2] Proposed LDO regulator

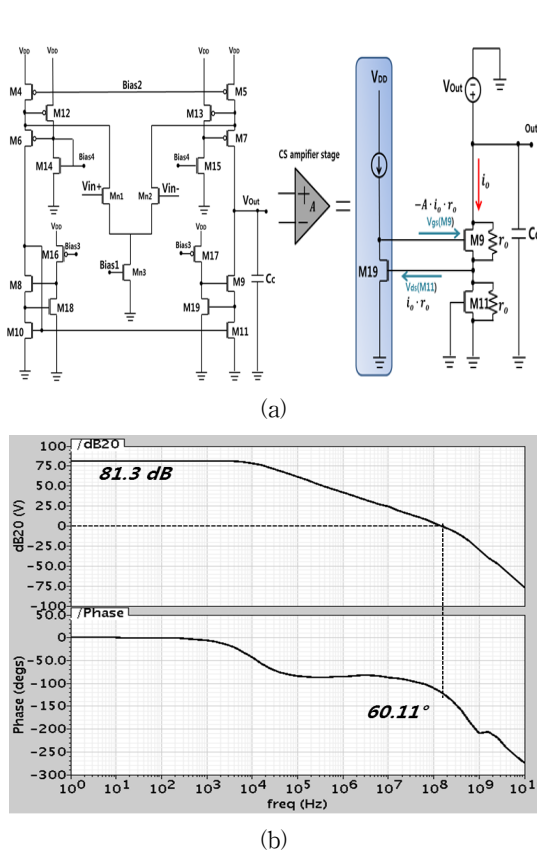
3. 제안하는 회로 SPICE 설계

3.1 오차 증폭기 회로

기존의 Folded cascode 구조에서 Common source를 삽입하여 출력 저항을 증가시킴으로서 높은 전압 이득을

얻을 수 있다. 오차증폭기의 동작 원리로는 M11의 드레인 전압이 감소 시 M19가 차단되어 M9의 V_{GS} 가 상승하여 i_o 가 증가한다. 결과적으로, 부하 전류의 변화에 따라 Negative feedback을 통해 부하 전류의 변화가 감소하고 이는 LDO 레귤레이터의 과동응답특성을 개선하고 안정적인 출력 전압을 공급 할 수 있다.

그림 3에서는 오차증폭기의 회로도 및 시뮬레이션 결과를 보여준다. 오차증폭기의 개방이득은 81.3 dB이며 위상마진은 60.11° 로 정상적인 오차증폭기의 특성을 보이고 있다.



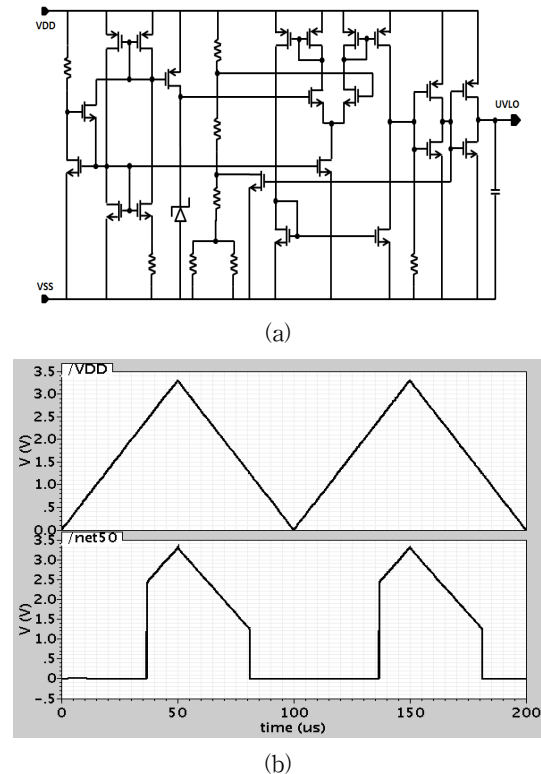
[Fig. 3] Error amplifier circuit and its simulation results. (a) Error Amp circuit (b) SPICE simulation result

3.2 저전압 보호회로 (UVLO)

저전압 보호회로는 전원 전압이 낮을 때 제어회로의 오작동을 방지한다. 입력전압이 기준전압 이하가 되면 동작을 멈추어 레귤레이터에 전원공급을 차단 시켜 주게 된다. 기준전압이상의 전원 전압이 들어올 경우에는 저

전압 보호회로가 작동되어 레귤레이터에 전원전압이 공급된다. 설계된 저전압 보호회로는 히스테리시스 특성을 이용하여 턴-온 되는 전압과 턴-오프 되는 전압이 설정된다. 이는 전원 전압이 기준전압의 전압레벨에서 노이즈가 유입 될 경우 저전압 보호회로의 오작동이 발생 할 수 있기 때문이다.

그림 4에서는 저전압 보호회로의 회로도도 and 시뮬레이션을 보여준다. 그림4의 (b)의 경우 입력전압에 따라 1.2 V 이하에서 전압을 턴-오프하는 것을 볼 수 있다.

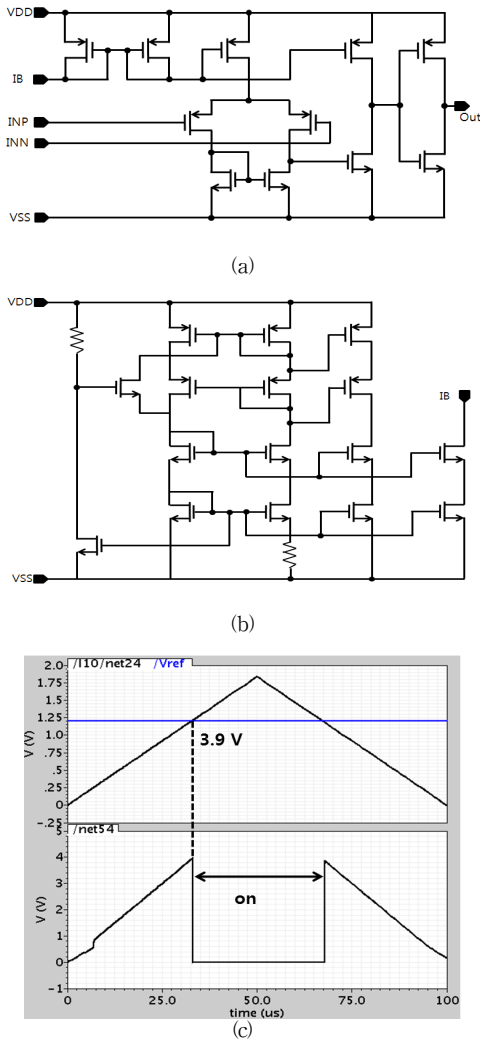


[Fig. 4] UVLO circuit and its simulation results. (a)UVLO circuit (b)SPICE simulation result

3.3 고전압 보호회로 (OVP)

과전압 보호회로는 출력 전압이 목표전압보다 높아짐으로써 발생하는 부하단의 소자 파괴를 방지한다. 목표 전압보다 높아지면 이 구간동안에 스위칭 동작을 하지 않도록 제어함으로써 보호할 수 있다.

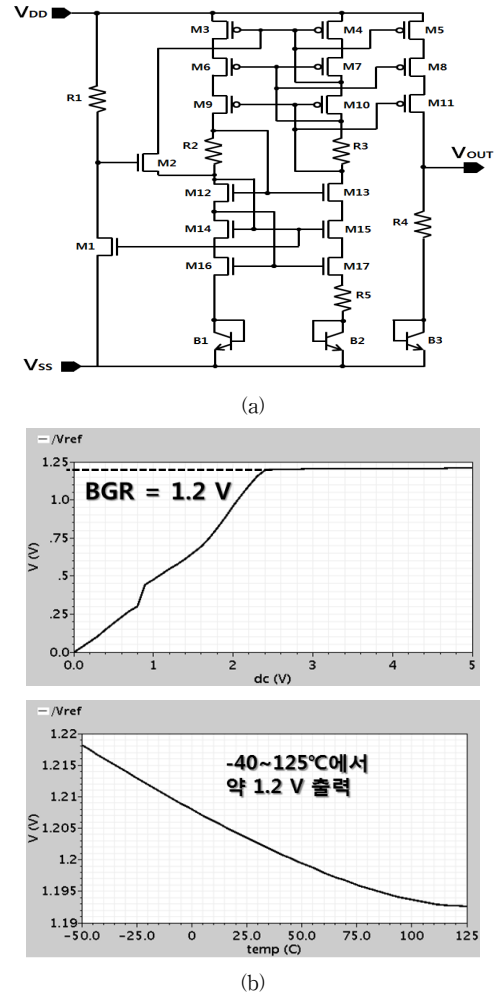
그림 5에는 OVP의 설계 회로 및 시뮬레이션이다.



[Fig. 5] Proposed OVP schematic and Bias circuit and simulation results
 (a) OVP schematic (b) Bias circuit (C) SPICE simulation result

3.4 기준 전압 회로(BGR)

온도와 공급전압의 변화에 대해서도 안정화된 전압을 제공하기 위해 기준 전압 회로를 사용하였다. 기준 전압 회로의 장점은 온도의 영향을 최소화 할 수 있다는 것이다. 그림6은 설계한 기준전압 회로이다. R1과 M1,M2는 스타트업 회로로 기준 전압 회로가 처음 구동 될 때 동작한다. 바이폴라트랜지스터의 B2의 multiplier를 8로 하여 회로의 전체적인 온도 특성이 민감하지 않도록 설계 하였다. 그림 3의 경우 기준전압 회로의 회로도 와 시뮬레이션 결과를 보여준다.

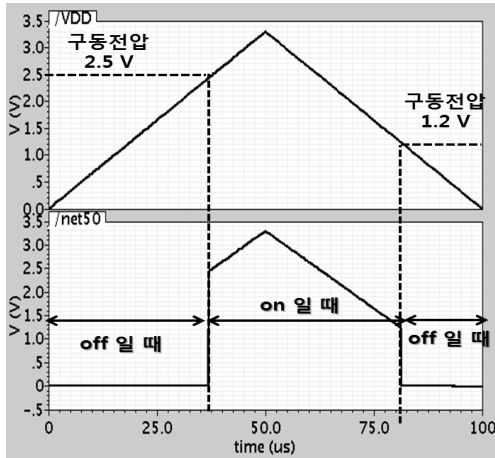


[Fig. 6] BGR circuit and its simulation results.
 (a) BGR circuit (b) SPICE simulation result

4. SPICE 모의실험 및 칩 측정 결과

본 논문에서의 SPICE 시뮬레이션은 0.35um 3.3 V 저전압 CMOS 공정을 사용하였다. 그림 7은 저전압 및 고전압 보호회로의 입력전압변화에 따른 출력전압을 확인할 수 있다.

그림 7에서 보호회로의 상승과 하강시의 모의실험 결과로, 3.3 V의 구동전압이 상승될 때 2.5 V에서 보호회로가 on되는 것을 볼 수 있다. 구동전압 3.3 V가 하강할 때 보호회로가 1.2V에서 off가 되는 것을 볼 수 있다.



[Fig. 7] Operator ranges of test of the proposed LDO

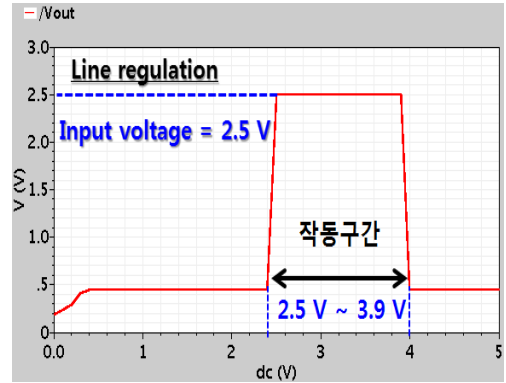
그림 8와 그림 9는 LDO 레귤레이터의 라인레귤레이션(Line regulation)과 로드레귤레이션(Load regulation)에 대한 모의실험 결과이다. LDO 레귤레이터의 성능은 주로 라인 레귤레이션과 로드 레귤레이션에 따라 결정된다. 두 값이 작을수록 출력 전압이 안정적으로 출력된다. 라인 레귤레이션은 입력 전압의 변화로 생기는 출력 전압의 변화를 보는 성능지표이다. 라인 레귤레이션의 계산식은 다음과 같이 표현된다.

$$\text{Line Regulation} = \frac{\Delta V_{OUT}}{\Delta V_{IN}} \quad (2)$$

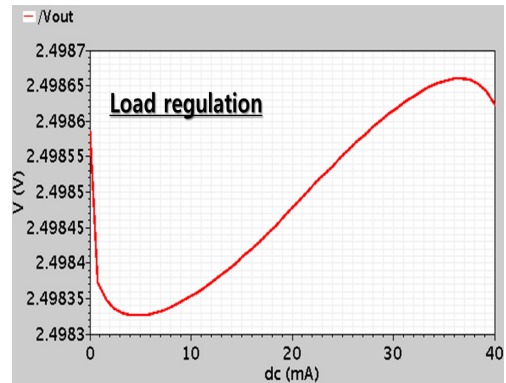
입력 전압이 2.5 V에서 3.9 V로 변화 할 때, 출력 전압은 2.5 V로 변화하는 것을 볼 수 있으므로, 제안하는 LDO의 라인 레귤레이션은 0.713 mV/V 이다. 로드 레귤레이션의 경우 부하전류의 변화로 생기는 출력 전압의 변화를 보는 성능지표로서, 로드레귤레이션의 계산식은 다음과 같이 사용된다.[7]

$$\text{Load Regulation} = \frac{\Delta V_{OUT}}{\Delta I_{OUT}} \quad (3)$$

출력 부하전류가 0 mA에서 40 mA로 변화함에 따라 출력전압이 2.498326 V에서 2.49866 V로 변화하므로, 부하레귤레이션은 8.35 $\mu\text{V}/\text{mA}$ 이다.

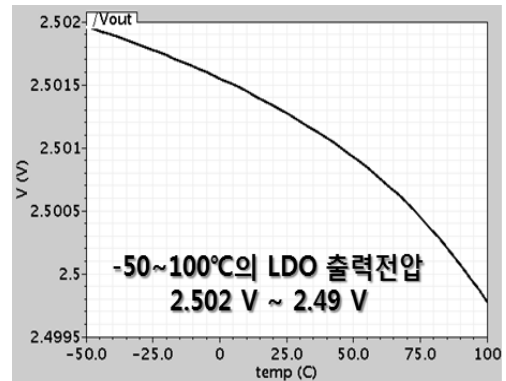


[Fig. 8] Simulation result of the Line regulation of the LDO.



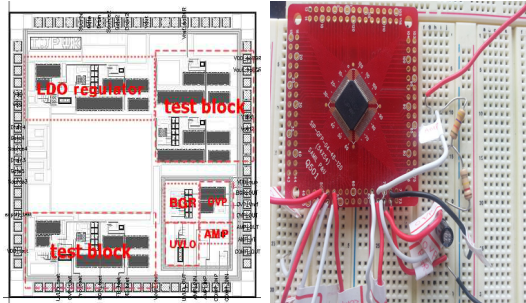
[Fig. 9] Simulation result of the load regulation of the LDO.

그림 10의 경우 온도 변화에 따른 LDO 레귤레이터의 출력을 나타낸 그래프로 약 2.5 V로 나오는 것을 확인 할 수 있다.



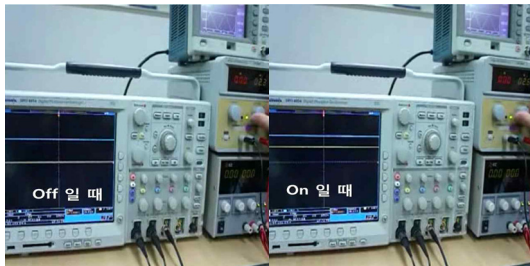
[Fig. 10] Output of LDO regulator according to the temperature variation

그림 11은 본 논문에서 설계한 LDO 레귤레이터 회로의 레이아웃 모습이다.



[Fig. 11] Chip and package of the designed LDO regulator.

본 설계는 0.35 μm 3.3 V 1-poly 3-metal CMOS 저전압 공정을 이용하여 레이아웃 하였다. 설계한 칩을 실제로 측정 한 결과 보호회로의 경우 2.5 V에서 출력이 on이 되고 1.2 V에서 off가 되며, LDO의 출력전압의 경우 3.3 V가 들어갔을 때 출력전압이 2.5V가 출력되는 것을 그림 12와 13를 통하여 확인 할 수 있다.



[Fig. 12] Measured results of the protection block.



[Fig. 13] Measured results of the LDO output.

본 연구에서 과전압 및 저전압 방지 기능을 갖는 LDO 레귤레이터의 모의실험결과는 표 1에 정리하였다.

[Table 1] simulation & chip test result table

item	Value	측정값	Units	
Supply Voltage	2.5 ~ 4.0		V	
Operating Temperature Range	-40 ~ 125		°C	
Band-gap Reference	1.2		V	
Line Regulation	0.713		mV/V	
Load Regulation	8.35		uV/mA	
UVLO	on voltage	2.5	2.5	V
	off voltage	1.2	1.2	

5. 결론

본 논문에서는 UVLO 기능을 가지는 LDO 레귤레이터의 특성을 0.35 μm 3.3 V 저전압 CMOS 공정을 사용하여 설계 및 모의실험과 칩 측정을 하였다. LDO에 보호기능을 추가하여, 일정 전압 구간에서 회로가 동작되지 않도록 하여 오동작에 의한 칩 파괴를 방지하였다. 칩 제작 결과 보호회로가 3.3 V의 구동전압이 상승될 때 2.5 V에서 보호회로가 on되는 것을 볼 수 있었고, 구동전압이 하강할 때 보호회로가 1.2V에서 off가 되는 것을 볼 수 있다. 이를 통하여 보호회로가 정상적으로 작동 하는 것을 확인 할 수 있었다. 이 논문에서 설계한 LDO 레귤레이터의 라인 레귤레이션은 0.713 mV/V 이며 로드레귤레이션은 8.35 uV/mA을 보였다. UVLO가 작동하여 실제 측정 한 결과 시뮬레이션 결과 값과 동일하게 나왔다. 제안하는 0.35um BCD 공정을 이용한 보호기능이 추가된 모바일용 LDO 레귤레이터는 저전압과 고전압에서 동작될 때 구동하지 않도록 하여 안정적으로 출력하기 때문에 모바일용 PMIC에 사용될 것으로 사료된다.

References

- [1] M. Paavola, M. Kamarainen, M. Saukoski, and K. Halonen, "A micropower low-dropout regulator with a programmable on-chip load capacitor for a low-power capacitive sensor interface", IEEE International Conference on Electronics, Circuits and Systems, pp. 450-453, 2008.
DOI: <http://dx.doi.org/10.1109/ICECS.2008.4674887>
- [2] Mohammad Al-Shuykh, Hoi Lee and Raul Perez, "A Transient-Enhanced Low-Quiescent Current Low-Dropout

Regulator With Buffer Impedance Attenuation,” IEEE J. Solid State Circuit, vol. 42, no.8, pp.1732-1742, Aug. 2007.
DOI: <http://dx.doi.org/10.1109/JSSC.2007.900281>

[3] Hoi Lee, T. Kamik, Philip K. T. Mok, Ka Nang Leung, “A design of low-power analog drivers based on slew-rate enhancement circuits for cmos low-dropout regulators,” IEEE. J. Solid - State Circuit, Vol.52, No.9, pp.563-567, September, 2005.
DOI: <http://dx.doi.org/10.1109/TCSII.2005.850781>

[4] Man Siu, Philip K. T. Mok, Ka Nang Leung, Yat-Hei Lam, Wing-Hung Ki, “A voltage-mode pwm buck regulator with end-point prediction,” IEEE TCAS II, vol. 53, no. 4, pp. 294-298, April 2006.
DOI: <http://dx.doi.org/10.1109/TCSII.2005.862024>

[5] R. G. Carvajal, J. Ramirez-Angulo, A. J. Lopez-Martin, A. Torralba, J. A. G. Galan, A. Carlosena, and F. M. Chavero, “The flipped voltage follower: a useful cell for low-voltage low-power circuit design”, IEEE Trans. Circuits and Systems I, vol. 52, no. 7, pp. 1276-1291, 2005.
DOI: <http://dx.doi.org/10.1109/TCSI.2005.851387>

[6] Won-Kyoung Park, Se-Jin Oh, Yun-Seok Heo, Jin-Woo Jung, Han-Jung Song, and Je-Won Lee, “ Circuit Analysis of LDO Regulator According to Process Variation”, IEEK, vol48, no.4, pp. 13-18, Dec. 2011.

[7] Bo-Min Kwon and Han-Jung Song, “Design of the LDO Regulator with 2-stage wide-band OTA for High Speed PMIC”, KAIS, vol. 11, no. 4, pp. 1222-1228, 2010.
DOI: <http://dx.doi.org/10.5762/KAIS.2010.11.4.1222>

이 민 지(Min-Ji Lee)

[준회원]



- 2013년 2월 : 인제대학교 나노공학부 (공학사)
- 2013년 9월 ~ 현재 : 인제대학교 나노시스템공학과 재학 중

<관심분야>
반도체 회로 설계, PMIC

손 현 식(Hyun-Sik Son)

[준회원]



- 2013년 2월 : 인제대학교 전자공학과 (공학사)
- 2013년 3월 ~ 현재 : 인제대학교 나노시스템공학과 재학 중

<관심분야>
반도체 회로 설계, PMIC

박 용 수(Yong-su Park)

[정회원]



- 1986년 2월 : 경북대학교 전자공학과 (공학사)
- 1988년 2월 : 경북대학교 전자공학과 (공학석사)
- 2005년 2월 : 충북대학교 전자공학과 (공학박사)
- 1994년 3월 ~ 현재 : 충청대학교 전기전자학부 교수

<관심분야>
반도체 소자 신뢰성 및 반도체 테스트

송 한 정(Han-Jung Song)

[정회원]



- 1986년 2월 : 한양대학교 전자공학과 (공학사)
- 1988년 2월 : 한양대학교 전자공학과 (공학석사)
- 2000년 2월 : 한양대학교 전자공학과 (공학박사)
- 2004년 3월 ~ 현재 : 인제대학교 나노공학부 정교수

<관심분야>
반도체 소자 신뢰성 및 회로설계