

펄토셀 주파수 신호 생성을 위한 IEEE 1588 기반 클록 동기화 시스템의 설계

한지호¹, 박용재^{2*}

¹선문대학교 전자공학과, ²선문대학교 기계ICT융합공학부

Design of a IEEE 1588 Based Clock Synchronization System for Femtocell Frequency Signal Generation

Jiho Han¹, Yong-Jai Park^{2*}

¹Department of Electronic Engineering, Sun Moon University

²School of Mechanical and ICT Convergence Engineering, Sun Moon University

요 약 본 논문은 펄토셀에서 요구되는 정확한 주파수 신호 생성을 위한, IEEE 1588 기반의 클록 동기화 회로 및 시스템을 제시한다. 동작 검증 및 성능 평가를 위한 프로토타입 보드와 실험 환경에 대하여 설명하고, 실험 결과가 펄토셀 동기화에 적합함을 확인한다. 펄토셀은 설치 위치의 제약이 없는 저가의 장비로 개발해야 하기 때문에, IEEE 1588 동기화 시스템의 실제 구현에 관한 연구가 매우 중요하다. 제안하는 동기화 회로를 내장한 펄토셀 기지국을 FPGA 보드에 프로그램하고, 그 기지국들의 네트워크에서 실험한 결과 -16 ~ 9 ns 이내의 동기화 오차를 보장함을 관찰하였고, 이는 3GPP의 HNB 동기화 기준을 만족하는 수준임을 확인할 수 있다.

Abstract This article presents a circuit and a system for IEEE 1588 based clock synchronization to generate a very accurate frequency signal required in femtocell devices. A prototype board and the experimental environment to verify the functions and to evaluate the performance are explained to verify the feasibility of the proposed synchronization system. To make low-cost femtocells without constraints on the place of installation, it is very important to study on the practical implementation of synchronization system based on IEEE 1588. The experimental result shows that the synchronization errors between -16 ns and 9 ns are guaranteed over the network of femtocell devices with the proposed synchronization circuits, thus the synchronization criteria of the 3GPP HNB are met.

Keywords : Clock synchronization, Femtocell, IEEE 1588, PTP

1. 서론

펄토셀은, 가정이나 소규모 사무실 등의 실내 환경에서 커버리지를 확대하고 더 안정적인 품질의 서비스를 제공하기 위한 초소형 이동통신망 기지국이다. 최근 스마트폰을 비롯한 다수의 모바일 디바이스의 데이터 사용량이 폭증하면서 기존의 매크로셀 네트워크만으로는 감당이 어려워질 것이 예상되고 있다. 이에 따른 펄토셀

의 필요성은, 대량의 모바일 데이터가 매크로셀 네트워크를 우회하도록 해 줌으로써 안정적인 차세대 통신망의 구성을 가능하게 하는 데에 있다. 세계적으로 대다수 이동통신 사업자들은 펄토셀을 차세대 통신망의 핵심 기술들 중 하나로 보고 상용 제품 개발에 집중하고 있다. 펄토셀 개발 초기에 인터페이스, 보안, 장소, 비상통화, 서비스 품질 등의 많은 기술적인 이슈가 제기되었다[1]. 그럼에도 불구하고 펄토셀 시장은 급속하게 성장하여

*Corresponding Author : Yong-Jai Park(Sun Moon Univ.)

Tel: +82-41-530-2360 email: yjpark@sunmoon.ac.kr

Received January 20, 2015

Revised (1st May 29, 2015, 2nd June 26, 2015)

Accepted July 16, 2015

Published July 31, 2015

2016년에는 전체 이익이 220억 달러에 이를 것으로 전망된다[2].

팜토셀에서 현재까지도 까다로운 주제로 남아 있는 것이 스펙트럼 주파수 정확도이다. 높은 정확도의 주파수 신호를 생성하기 위해서는, 외부의 정확한 신호를 입력받아 내부 오실레이터 클록을 보정하여 동기를 맞추어야 한다. 클록 동기화란, 물리적으로 멀리 떨어져 있는 기기들이 내부에 공통의 시간 기준을 갖도록 각각의 클록 신호를 일치시켜 주는 작업이다. 일반적으로 각 기기는 자신의 클록 신호에 맞추어 데이터를 송수신 하므로, 데이터의 손실이나 오류를 방지하기 위하여 정밀한 클록 동기화가 필요하다. 기존의 매크로셀 기지국은 GPS의 타이밍 신호를 이용해 주파수를 동기화하지만[3], 이 방식을 팜토셀에 그대로 적용할 경우 높은 비용과 GPS 신호 수신에 의한 설치의 어려움이 문제가 된다. 또한 광대역 백홀(backhaul) 네트워크는 지터 및 윈더(jitter/wander)가 크고 클록 복원에 관한 문제가 있어서 타이밍 신호를 교환하기에는 적합하지 않다.

팜토셀의 주파수 신호 동기화와 관련된 최근의 몇 가지 연구 결과는 다음과 같이 요약할 수 있다. Hasan[4]은 inter-cluster 동기화 기법을 제안하고 있는데, 모바일 스테이션 지원 방식 (MS-assisted) 대비 90%의 정확도 개선 효과를 제시하고 있다. Lien[5]은 혼합 네트워크상에서의 지터 및 윈더 문제를 해결하기 위하여 LTE-A 팜토셀 사이의 직접 동기화 기법을 제안하고 있으며, 매우 낮은 복잡도의 계산만으로 지역적으로 집중되어 있는 팜토셀들이 성공적으로 동기화됨을 보여 준다. Hwang[6]은 WiMAX 팜토셀의 동기화 성능에 악영향을 주는 비대칭 지연에 대하여 분석함으로써, 실제 구현 시에 문제가 될 수 있는 요소들을 예측 가능하게 한다. 이들 연구에서는 대부분 이상적인 조건을 가정하고 컴퓨터 시뮬레이션의 이론적 결과를 제시하고 있으며, 실제 하드웨어를 구현한 성과는 거의 없다. 즉 특정 집단 내의 동기화를 개선하는 데에 효과가 있을 것으로 예상 되는 알고리즘을 제시하고 있으나, 보다 일반적인 상황에 대한 내용은 다루고 있지 않거나 후속 연구 결과가 아직 발표되지 않았다.

본 논문에서는 팜토셀의 주파수 동기화를 위하여 설계한 IEEE 1588 클록 동기화 회로를 제시하고 실제로 구현 가능한 결과물을 제공한다. 이어서 동작 검증을 위한 프로토타입 실물을 구현하고 실험을 위한 네트워크를

구축하여 성능을 분석하였다. 본문의 구성은 다음과 같다. 먼저 IEEE 1588-2008 표준에 대하여 주요 내용과 팜토셀 관련 사항을 요약하고, 동기화 회로의 시스템 내 위치와 역할, 내부 구성을 설명한다. 성능 평가를 위한 실험 환경 및 조건을 제시하고 그 결과를 분석한다. 팜토셀 동기화에 적합한 수준의 성능을 확인하고, 결론에서는 추후의 성능 개선을 위한 연구 방향을 제시함으로써 논문을 마무리한다.

2. 본론

2.1 IEEE 1588-2008 개요

IEEE 1588[7]은 Precision Time Protocol (PTP) 및 이 프로토콜을 지원하기 위한 노드와 통신 방식에 대하여 정의하는 표준이다. 기본 동작원리는 전통적인 동기화 표준 NTP[8]와 비슷하며, 특정 패킷에 대한 입출력 시각을 timestamp로 기록하고 동기화 상대와 그 정보를 교환하는 것이다. IEEE 1588의 기술적 핵심은, 특수 설계된 동기화 회로의 활용을 통한 정확도의 대폭 개선이다. 가장 주목할 만한 활용 분야가 바로 이동통신 용 팜토셀의 주파수 신호 동기화이다. 그림 1에서 팜토셀을 포함한 이동통신 네트워크 구성 및 IEEE 1588을 이용한 동기화 방식을 보여준다. 실내용 팜토셀 장비는 DSL 또는 케이블 모뎀을 통해 인터넷 망에 연결되며 액세스 네트워크 없이 코어 네트워크에 직접 접속되어 사용자 무선단말기에 이동통신 서비스를 제공한다. 코어 네트워크의 타임 서버는 가장 안정된 수준의 시간 및 주파수 기

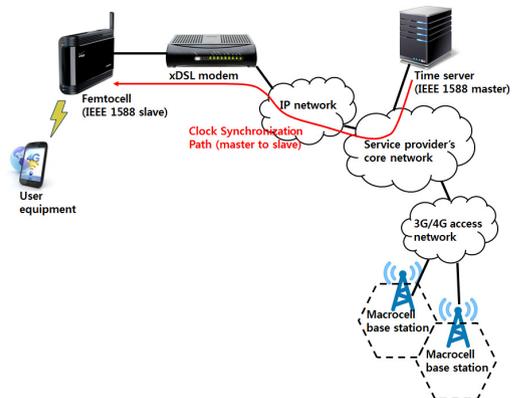


Fig. 1. Network structure of mobile service using femtocells and IEEE 1588 standard

준을 유지하며 IEEE 1588 master로서 동작한다. 펄토셀은 IEEE 1588 전용 회로의 도움을 받아 타임 서버와 통신하고 시간과 주파수를 동기화한다.

두 번째 버전인 IEEE 1588-2008은 여러 가지 요구 조건들을 만족시키기 위해, 다음과 같은 주요 변경 사항을 포함하고 있다.

- 64-bit 정수형 correction field
- SYNC 메시지 전송 주기 단축 (4 ms)
- Transparent clock 개념
- Peer-delay 메커니즘
- ANNOUNCE 메시지

표준 문서에서는 transparent clock 및 peer delay 메커니즘에 대한 추상적인 개념을 정의하고 있으나 그 구체적인 구현 방법은 규정하고 있지 않다. 그 결과 실제로 회로를 구현하여 표준에서 목표로 제시한 성능을 얻었다는 결과가 공개되지 않았고, 각 제조업체 별로 서로 다른 단순한 실험 환경에서만 동기화가 잘 되고 있음을 주장하고 있는 것이 현실이다. 따라서 일반적인 조건에 대하여 최상의 동기화 성능을 얻을 수 있는 동기화 회로의 구현 방법에 대한 연구가 필요하다.

특히 새로운 버전의 IEEE 1588을 지원하기 위한 동기화 회로의 구현에서는 다음의 내용이 정확히 다루어져야 한다. 먼저 정확도를 결정하는 핵심 요소인 timestamp 생성 작업이 네트워크 최하위 수준에서 처리되어야 하므로 이 부분의 회로 구현이 구체적으로 설명되어야 한다. 또한 동기화 오차를 2^{-16} ns 이하로 줄이기 위하여 correction field의 16-bit sub-nanosecond 부분을 하드웨어 연산으로 처리해 주어야 한다. SYNC 메시지의 길이와 전송 주기가 단축되면서 이를 소프트웨어로 처리하는 방식은 CPU의 부담이 매우 크다. 이에 따라 전체 시스템 성능을 떨어뜨리지 않기 위해서는 메시지 생성 및 관독을 담당하는 회로의 구현이 필요하다.

2.2 동기화 회로

IEEE 1588-2008 클록 동기화 회로가 수행해야 하는 기본적인 알고리즘은 그림 2와 같다. 펄토셀 기지국은 동기화 과정에서 slave 역할을 하므로 master가 주기적으로 보내 주는 SYNC 메시지를 받아 내부 오실레이터의 시간 및 주파수를 보정한다. 이 때 master로부터 slave까지 메시지가 전달되는 시간을 추측하기 위해, PDELAY_REQ 메시지를 master 방향으로 보내고 그 응

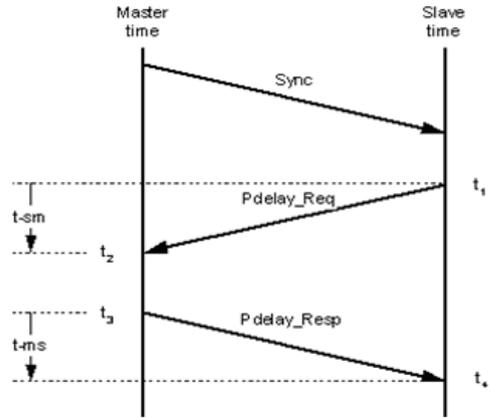


Fig. 2. Basic algorithm of clock synchronization

답으로 PDELAY_RESP 메시지를 받아들여 t-ms를 계산한다. 이 계산에는 양방향의 전송시간이 같다는 가정이 필요한데, 실제로는 양방향의 전송 시간이 비대칭일 뿐 아니라 그 차이는 불규칙하게 변한다.

제안하는 IEEE 1588-2008 클록 동기화 회로는 기존의 동기화 회로와 구별되는 다음의 특징을 가진다. Transparent clock 및 peer-delay 메커니즘을 실제 하드웨어로 구현하였으며, 46 바이트 SYNC 메시지를 생성 및 관독한다. 또한 80 비트 나눗셈 회로를 이용하여 주파수 정확도를 대폭 개선하였다. 표준 문서의 개념은 그대로 구현할 수 있는 수준이 아니며, 실제 구현 과정에서 많은 부분이 생략되거나 구현 가능한 구조로 변형되었다. 동기화 회로는 구체화 및 최적화 과정을 거쳐 그림 3과 같은 구조를 가진다.

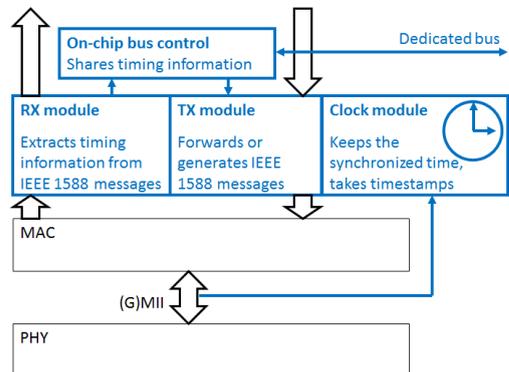


Fig. 3. Clock synchronization circuit to support IEEE 1588-2008 standard

내부는 크게 수신 모듈, 송신 모듈, 시계 모듈, 온칩 버스 제어 모듈로 나누어지며 각각의 동작은 다음과 같다.

수신 모듈은 IEEE 1588 메시지에서 타이밍 정보를 추출해 낸다. 먼저 MAC으로 들어온 이더넷 프레임이 어떤 IEEE 1588 메시지인지 인식하고 각 field로부터 정확한 값을 읽어 들여 내부 계산에 사용한다. 수신 모듈에서 최종적으로 계산해야 하는 것은 master에 대하여 현재 노드의 시간이 얼마나 다른 값을 가지는 지이다. 결과 계산을 위한 메시지 처리 방법은 MAC으로부터 수신된 메시지의 종류에 따라 다르다. 먼저 SYNC 메시지가 확인되면 수신된 메시지의 내용을 동기화 전용 버스에 기록한다. 다른 포트에서는 버스를 단순히 읽음으로써 메시지의 정보를 공유할 수 있게 된다.

PDELAY_RESP 메시지가 확인되면, 관련된 timestamp를 이용하여 peer delay를 계산한다. 그밖에 일반 이더넷 프레임이라고 판정되면, 이것들은 아무런 내용 변경이 없이 MAC으로 통과시킨다.

송신 모듈은 IEEE 1588 메시지를 전달하거나 새로 생성하여 MAC으로 내보낸다. 즉 SYNC, FOLLOW_UP, PDELAY_REQ, PDELAY_RESP 메시지를 표준의 포맷에 맞게 생성하여 적절한 시점에 출력하는 역할을 한다. Field를 채우기 위해 온칩 버스 제어 모듈로부터 정보를 제공받는다. 송신 모듈은 일반적으로 1초 간격으로 SYNC 메시지를, 10초 간격으로 PDELAY_REQ와 PDELAY_RESP 메시지를 전송하는데, 이 간격은 표준 v2를 지원함에 따라 더 작은 값으로 조정 가능하다.

시계 모듈은 이름 그대로 동기화된 시간을 유지하는 것이 주요 기능이며, 이 시간을 기준으로 하여 메시지의 들어가고 나가는 시각을 timestamp로 저장한다. 수신 모듈에서 계산된 주파수 오프셋 값을 이용하여, 이 노드의 시스템 클럭 주기가 master의 시간으로 얼마나 해당하는지를 인식한다. 이 값을 매 주기마다 누적함으로써 master의 현재 시간 값을 추정하는 계산이 바로 시간 동기화의 핵심이다. 시간이 정확히 동기화 되고 나면, 내부 시계가 일정한 시각에 이를 때마다 신호를 발생시킴으로써 주파수 신호를 생성한다.

앞서 설명한 대로 수신 모듈, 송신 모듈, 시계 모듈, 온칩 버스 제어 모듈로 구성되는 동기화 회로는 HDL 시뮬레이션을 통해 기본적인 기능을 시험하고, FPGA에 프로그램 하여 실시간 동작을 검증한다. 펄토셀 기지국 역할을 하는 스위치 시스템을 구현하기 위하여, FPGA

에 동기화 회로를 포함하는 전체 스위치 회로를 프로그램 한다. 동기화 회로는 스위치 각 포트의 패킷 저장 공간(packet buffer)과 MAC 사이에 위치하며 FPGA 외부의 PHY 칩과의 인터페이스를 직접 관찰함으로써 앞서 서술한 기능을 수행한다.

2.3 성능 평가 환경 및 실험 조건

IEEE 1588에서 규정하고 있는 하드웨어 지원을 위해서는 특수한 네트워크 인터페이스 카드(network interface card, NIC)를 설계하여 사용해야 한다. 그림 4의 프로토타입 보드에는 Xilinx FPGA, Marvell과 National Semiconductor의 1000BASE-T PHY 등의 주요 소자들이 조립되어 있다. 두 개의 PHY를 사용하는 이유는 서로 다른 업체의 PHY를 사용했을 때 발생하는 성능 상의 변화를 관찰하고 보상하기 위해서이다. 또한 타이밍 신호를 깨끗하게 추출하기 위하여 SMA 인터페이스를, 호스트에서 내부 로직을 제어하기 위하여 PCI 인터페이스를 각각 사용한다.

하나의 노드를 구성하기 위하여 프로토타입 보드를 PCI 마더 보드에 꽂아 네트워크 인터페이스로 활용하였다. 간단한 리눅스 디바이스 드라이버를 만들어 FPGA 내부의 레지스터를 읽거나 쓰는 작업을 할 수 있다.



Fig. 4. Photograph of the FPGA prototype board

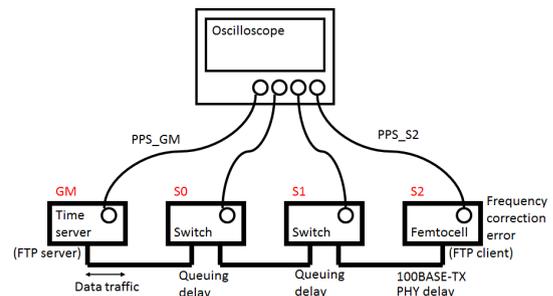


Fig. 5. Experimental setup to evaluate clock synchronization error between the nodes

노드들 간의 네트워크를 구성하기 위하여 보편적으로 사용되는 D-link와 Netgear 사의 Fast Ethernet 스위치를 사용하였다. 노드들의 주파수 신호 사이의 오차를 관찰하기 위하여 디지털 오실로스코프를 사용하였다. 그림 5에서는 실험을 위한 네트워크의 구성을 보여주고 있는데 가장 왼쪽의 노드가 grand master(GM), 가장 오른쪽의 노드가 slave(S2)의 역할을 한다. 오실로스코프는 master의 신호를 트리거 소스로 하고 slave의 신호가 얼마나 흔들리는지 관찰한다. 각각의 보드는 동기화 과정에 참여하는 펄토셀 기지국 및 스위치에 해당하며 케이블의 길이는 각각 100m씩으로 한다. 실험의 주요 인자는 SYNC 메시지 전송 간격, FTP 패킷 길이, 스위치의 IEEE 1588 프로토콜 및 peer delay 매커니즘 지원 여부, PHY 제조사 등이다.

GM 노드는 time server로서 동기화의 기준을 제공하며 slave들은 master와의 메시지 교환을 통해 자신의 시간 및 주파수를 교정한다. 네트워크에 데이터 트래픽을 추가하기 위하여 GM과 S2는 FTP server와 client 역할을 하여 다양한 길이의 양방향 데이터 패킷을 만들어 낸다. 이 데이터 트래픽은 스위치에서 불규칙한 길이의 큐잉 시간 지연을 일으키고 동기화 메시지의 전달을 방해함으로써 동기화 오차를 일으킨다. 또한 100BASE-TX PHY의 제조업체에 따라 지연 시간이 다르기 때문에 노드를 거칠 때마다 오차가 누적될 수 있다. 마지막 S2에서는 내부 오실레이터의 주파수를 GM의 주파수와 최대한 일치시키기 위해 둘의 차이를 계산하는데 여기에서도 계산 과정의 양자화 오차가 발생한다.

2.4 실험 결과 및 분석

네 개의 노드로부터 주파수 신호를 추출하여 관찰하면 전체 시스템의 동기화 수준을 확인할 수 있다. 그림 6은 PPS 네 개의 시간차를 보여주고 있는데, 여기에서 IEEE 1588 프로토콜이 안정적으로 동작하여 상승 시점이 거의 일치되어 있는 것을 볼 수 있다. 그러나 완벽하게 동기화 된 것이 아니므로, 시간 축을 따라 확대해 보면 좌우로 끊임없이 흔들리고 있다.

그림 7은 네트워크상으로 가장 멀리 떨어져 있는 GM과 S2의 타이밍 신호, 즉 PPS를 입력으로 하여 둘의 차이를 관찰한 그림이다. CH1으로 들어온 PPS_GM을 트리거 소스로 하면 CH2로 들어온 PPS_S2가 좌우로 움직이는 것을 볼 수 있는데, 이 때 상승 천이 시점의 값이

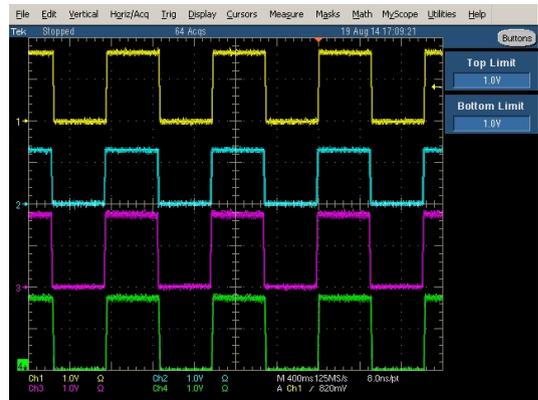


Fig. 6. Oscilloscope screenshot of the frequency signals from all four nodes

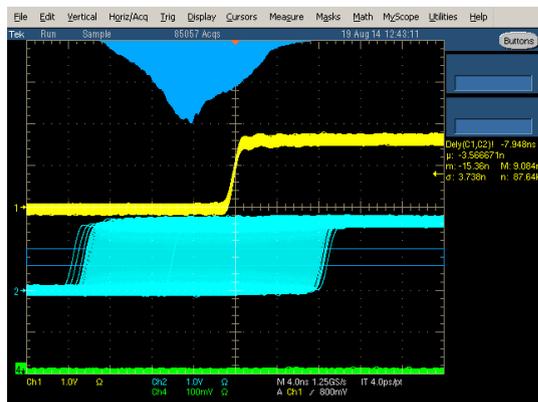


Fig. 7. Oscilloscope screenshot of the frequency signal in the rightmost node

GM과 S2 사이의 동기화 오차에 해당한다. 동기화 오차의 분포를 분석하기 위하여 일정 시간동안 CH2를 누적하면 하늘색으로 표시된 구역이 만들어 진다. 결론적으로 S2의 타이밍 오차는 최대 9.084 ns, 최소 -15.36 ns의 사이에 분포하며, 평균과 표준편차는 각각 -3.567 ns, 3.738 ns이다. 상승 천이 시점의 통계적 분포는 그림의 상단에 표시된 히스토그램과 같다.

시간 오차의 원인은 시간 지연의 비대칭성과 주파수 계산 과정의 양자화 오차로 분석된다. 먼저 가장 큰 오차를 일으킬 수 있는 비대칭적 시간 지연은, 펄토셀 기지국 사이에서 스위치 내부의 패킷 큐잉 지연과 물리 계층 지연 시간이 양쪽 방향에 대하여 서로 다르기 때문에 발생한다. 이를 보정하기 위하여 peer-delay 매커니즘을 지원하는 TC 회로를 구현하였으며, 물리 계층의 지연 시간 측정을 통한 보정 상수를 도입하여 비대칭 오차를 제거

하였다. 양자화 오차는 주파수 계산을 위한 나눗셈 연산에서 발생하는데, 기존의 동기화 회로에서는 비대칭 오차에 비해 매우 작아서 크게 문제가 되지 않았다. 그러나 지연시간 비대칭에 의한 동기화 오차가 제거되고 나면 오차의 주요 성분으로 나타나며, 이를 크게 줄이기 위하여 80-bit 고속 나눗셈 회로를 설계하여 효과를 확인하였다.

팜토셀이 만족해야 할 주파수 신호의 정확도는 가장 엄격한 기준인 Release 6에서 50 ppb로 정의되어 있다. PPS의 경우 50 ppb는 50 ns에 해당하는데, 동기화 오차가 -15.36 ns이므로 3GPP HNB 기준을 만족함을 확인할 수 있다.

3. 결론

본문에서는 팜토셀의 주파수 신호 생성을 위한 IEEE 1588 기반의 회로 및 시스템을 제시하고 실험을 수행하여 그 적용 가능성을 확인하였으며, 그 결론은 다음과 같다.

1. 제안하는 동기화 회로는 peer-delay 메커니즘을 지원하는 transparent clock 구조로써, 46 바이트 SYNC 메시지 생성 및 판독, 80 비트 나눗셈 회로를 이용한 정확한 주파수 보정 등의 새로운 기능을 수행한다.
2. FPGA를 이용한 프로토타입 보드 및 네트워크 시스템을 구축하여 동기화 성능을 측정하였고, master와 slave 간의 시간 오차가 -15.36 ns ~ 9.084 ns의 범위에 분포함을 관찰하였다. 이는 3GPP HNB Release 6의 기준을 만족하므로 제안하는 시스템을 팜토셀 주파수 신호 동기화에 적용할 수 있다.
3. 기존 동기화 방식에서 발생하는 시간 오차의 주요한 원인은 비대칭적으로 발생하는 시간 지연 및 주파수 계산 과정의 양자화 오차로 파악되었으며, 제안하는 동기화 회로의 적용으로 대부분을 제거하였다. 현재까지 분석된 오차 성분 외에 추가적인 성분에 대한 연구가 이루어져야 하며, 특히 오차의 분포가 비대칭적인 형태를 갖는 원인을 밝혀야 할 것이다.

References

- [1] R. Kim, J. Kwak, and K. Etemad, "WiMAX femtocell: requirements, challenges, and solutions," *Communications Magazine, IEEE*, vol. 47, no. 9, pp. 84 - 91, 2009.
DOI: <http://dx.doi.org/10.1109/MCOM.2009.5277460>
- [2] Informa Telecoms & Media, Small Cell Market Status, February, 2013.
- [3] R. Rowe, P. Duffett-Smith, M. Jarvis, and N. Graube, "Enhanced GPS: The tight integration of received cellular timing signals and GNSS receivers for ubiquitous positioning," in *Proc. IEEE/ION Position, Location and Navigation Symposium*, May 2008, pp. 838 - 845.
DOI: <http://dx.doi.org/10.1109/plans.2008.4570111>
- [4] M. K. Hasan, R. A. Saeed, A. H. Abdalla, O. O. Khalifa, S. Islam, and N. Shakernafi, "Inter-cluster Synchronization Scheme For Femtocell Network," in *Proc. International Conference on Computer and Communication Engineering*, July 2012, pp. 147-152.
DOI: <http://dx.doi.org/10.1109/iccce.2012.6271170>
- [5] S. Lien, H. Lee, S. Shih, P. Chen, and K. Chen, "Network Synchronization among Femtocells," in *Proc. IEEE Global Communications Conference (GlobeCom) 2011 Workshop on Femtocell Networks*, Dec. 2011, pp. 248-252.
DOI: <http://dx.doi.org/10.1109/glocomw.2011.6162446>
- [6] I. Hwang, Y. Kang, H. Kim, and S. Kim, "Synchronization Issue for Mobile WiMAX Femtocell," in *Proc. International Conference on ICT Convergence*, November 2010, pp. 563-564.
DOI: <http://dx.doi.org/10.1109/ICTC.2010.5674768>
- [7] IEEE Instrumentation and Measurement Society, *IEEE Standard for a Precision Clock Synchronization Protocol for Networked Measurement and Control Systems*, IEEE Std. 1588-2008, 2008.
DOI: <http://dx.doi.org/10.1109/IEEESTD.2008.4579760>
- [8] D. L. Mills, "Internet time synchronization: the network time protocol," *IEEE Trans. Commun.*, vol.39, no. 10, pp. 1482-1493, Oct. 1991.
DOI: <http://dx.doi.org/10.1109/26.103043>

한 지 호(Jiho Han)

[정회원]



- 2002년 2월 : 서울대학교 전기공학부 공학사
- 2004년 2월 : 서울대학교 전기컴퓨터공학부 공학석사
- 2009년 8월 : 서울대학교 전기컴퓨터공학부 공학박사
- 2009년 10월 ~ 2014년 2월 : 삼성 전자 책임연구원
- 2014년 3월 ~ 현재 : 선문대학교 전자공학과 교수

<관심분야>

집적 시스템 설계, 클록 동기화

박 용 재(Yong-Jai Park)

[정회원]



- 2004년 2월 : 서울대학교 기계항공공학부 공학사
- 2013년 2월 : 서울대학교 기계항공공학부 공학박사
- 2003년 12월 ~ 2005년 4월 : 삼성 전자 반도체
- 2014년 3월 ~ 현재 : 선문대학교 기계ICT융합공학부 교수

<관심분야>

제어, 로보틱스