

0.18 μm CMOS 공정을 이용한 승압형 DC-DC 컨버터 설계

이자경, 송한정*

인제대학교 나노융합공학과 / 인제대학교 나노매뉴팩처링 연구소

Design of a step-up DC-DC Converter using a 0.18 μm CMOS Process

Ja-kyeong Lee, Han-Jung Song*

Department of Nano Engineering, Inje University /

Department of Nanoscience and Engineering, Center for Nano Manufacturing, Inje University

요약 본 논문에서는, 휴대기기를 위한 PWM(Pulse Width Modulation), 전압모드 DC-DC 승압형 컨버터를 제안한다. 제안하는 컨버터는 현재 소형화 되어가고 있는 휴대기기 시장에 적합하도록 1 MHz의 스위칭 주파수를 사용하여 칩 면적을 줄였다. 제안하는 DC-DC 컨버터는 전력단과 제어단으로 이루어지며 전력단은 인덕터, 출력 커패시터, MOS 트랜지스터 등으로 구성되며 제어단은 연산증폭기, 밴드갭 회로, 소프트 스타트 블록, 히스테리시스 비교기와 비접침 드라이버로 구성된다. 설계된 회로는 히스테리시스 비교기와 논오버랩 드라이버를 사용하여 낮은 전압에서 구동되는 휴대기기의 잡음의 영향을 줄이고 출력전압 리플을 감소시켰다. 제안하는 회로는 1-poly 6-metal CMOS 매그나칩/하이닉스 0.18 μm 공정을 사용하여 레이아웃을 진행하였다. 설계된 컨버터는 입력 전압 3.3 V, 출력전압 5 V, 출력전류 100 mA 출력전압 대비 1%의 출력 전압 리플과 1 MHz의 스위칭 주파수의 특성을 갖는다. 본 논문에서 제안하는 승압형 DC-DC 컨버터는 PDA, 휴대폰, 노트북 등 휴대용 전자 기기 시장에 맞는 고효율, 소형화 컨버터로서 유용하게 사용 될 것으로 사료된다.

Abstract This paper proposes a PWM (Pulse Width Modulation) voltage mode DC-DC step-up converter for portable devices. The converter, which is operated with a 1 MHz switching frequency, is capable of reducing the mounting area of passive devices, such as inductor and capacitor, and is suitable for compact mobile products. This step-up converter consists of a power stage and a control block. The circuit elements of the power stage are an inductor, output capacitor, MOS transistors. Meanwhile, control block consist of OPAMP (operational amplifier), BGR (band gap reference), soft-start, hysteresis comparator, and non-overlap driver and some protection circuits (OVP, TSD, UVLO). The hysteresis comparator and non-overlapping drivers reduce the output ripple and the effects of noise to improve safety. The proposed step-up converter was designed and verified in Magnachip/Hynix 0.18 μm 1-poly, 6-metal CMOS process technology. The output voltage was 5 V with a 3.3 V input voltage, output current of 100 mA, output ripple less than 1% of the output voltage, and a switching frequency of 1 MHz. These designed DC-DC step-up converters could be applied to the Personal Digital Assistants(PDA), cellular Phones, Laptop Computer, etc.

Keywords : CMOS DC-DC step-up converter, PMIC, Portable devices, PWM, On chip, Voltage mode

1. 서론

최근 정보통신 기술과, IT기술의 비약적인 발전에 따라 개인 휴대용 전자기기들은 다기능화, 고집적화, 소형

화, 경량화를 점점 요구되고 있다. 그리고 다양한 애플리케이션을 충족시키기 위해, 적은 전력을 소모하며, 일정한 전압을 출력하는 전원 관리 회로(DC-DC변환기)가 필요하게 되었으며, 이에 대한 연구 개발이 이루어지고

본 논문은 2015년 교육부와 한국연구재단의 지역혁신창의인력양성사업의 지원을 받아 수행된 연구임(NRF-2014H1C1A1066686)

*Corresponding Author : Han Jung Song (Inje University)

Tel: +82-55-320-3873 email: hjsong@inje.ac.kr

Received March 15, 2016

Revised (1st May 9, 2016, 2nd May 12, 2016, 3rd May 24, 2016, 4th May 31, 2016)

Accepted June 2, 2016

Published June 30, 2016

있다 [1-2].

기존의 저 전압 DC-DC 컨버터에서는 대체적으로 면적이 크고, 리플과 잡음으로 인해 출력 전압이 떨어지는 형태였다면 이 논문에서는 휴대기기를 위한 Pulse Width Modulation(PWM), 전압모드 DC-DC 승압형 컨버터를 제안한다. 이 컨버터는 휴대기기에 적합하게 인덕터, 커패시터 크기를 줄여 칩 면적을 감소하기 위해, 1 MHz의 스위칭 주파수를 가진다. 높은 스위칭 주파수를 가지게 되면 한번의 스위칭으로 저장하는데 필요한 양이 줄어들기 때문에 인덕터와 커패시터의 크기를 줄일수 있다. 그리고 히스테리시스 비교기와 비-오버랩 드라이버단을 사용해서 낮은 전압에서 구동되는 휴대기기의 잡음의 영향을 줄이고 출력전압 리플을 감소시켰다. 제안하는 승압형 컨버터는 1-poly 6-metal CMOS 공정의 매그나칩/하이닉스 0.18 μm 공정을 사용하여, 설계 하였다. 입력 전압 3.3 V, 출력전압 5 V, 출력전류 100 mA 출력 전압 대비 1 %의 출력 전압 리플과 1 MHz의 스위칭 주파수의 특성 갖는다.

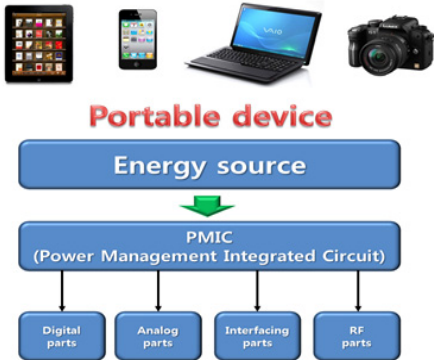


Fig. 1. Portable devices with PMIC chip including DC-DC converter

2. 승압형 DC-DC 컨버터 동작원리

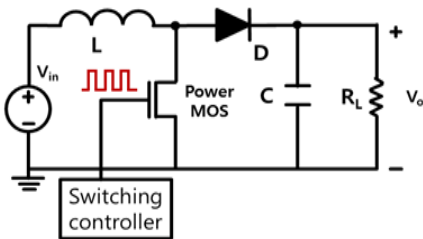


Fig. 2. Basic DC-DC step up converter

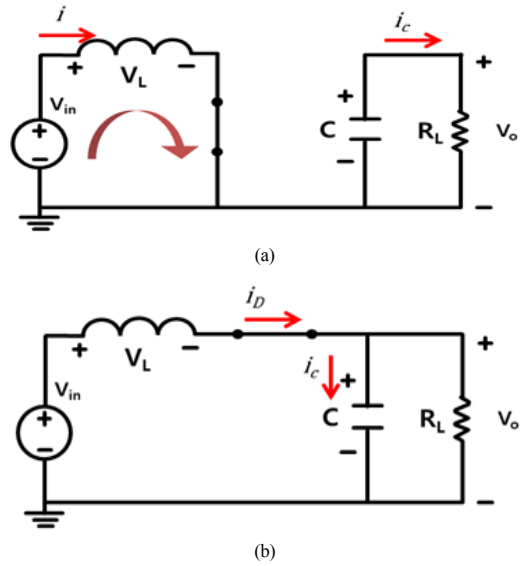


Fig. 3. Principle of a PWM step-up converter (a) State ON (b) State OFF

그림 2는 승압형 DC-DC 컨버터의 단순화 된 회로이다. 이 회로는 인덕터, 커패시터, 다이오드를 포함한다. 인덕터(L) 및 커패시터(C)는 출력 필터를 구성한다. 트랜지스터가 ON이 되면 입력으로부터 전류가 L과 Power MOS를 흐르면서 L에는 에너지가 축적되게 된다. 환류 다이오드 D에는 역바이어스가 되어 OFF가 되고 C는 부하저항 R을 통하여 방전하게 된다.

트랜지스터가 OFF가 되면 L에 축적되었던 에너지가 D를 통하여 출력 측으로 방출하게 되며, 스위칭 주기 T_s 를 한 주기로 하여 이 동작이 반복된다[3-5].

3. PWM 방식의 DC-DC 컨버터 설계

3.1 블록 다이어그램

그림 4는 제안하는 승압형 컨버터의 블록도를 나타내었다. 제안하는 회로는 인덕터, power MOS로 구성되는 입력단과, 커패시터, 저항으로 구성되는 출력단, PWM 신호를 생성하는 컨트롤러 부분으로 이루어진다.

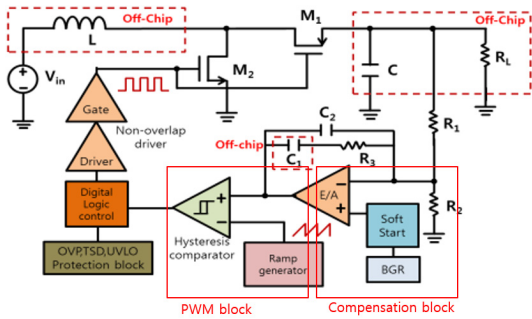


Fig. 4. Proposed PWM DC-DC converter block diagram

3.2 Compensation Block 설계

제안하는 컨버터에서 보상블록은 그림 5와 같이 구성 되고, 1.2 V 전압을 기준전압으로 받아 출력전압과의 오차를 증폭시켜 다음단으로 전달한다. 수동소자 커패시터와 저항으로, 귀환 보상단을 구성하였다.

그림 6은 2개의 폴과 1개의 제로를 형성한 보상단 주파수 응답 그래프이다.

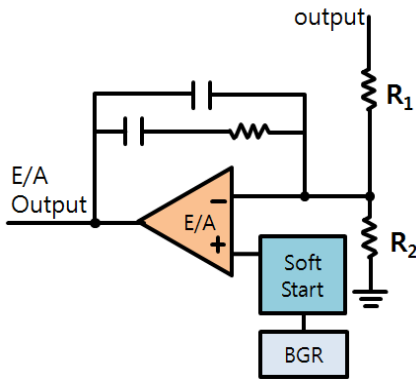


Fig. 5. Compensation block diagram

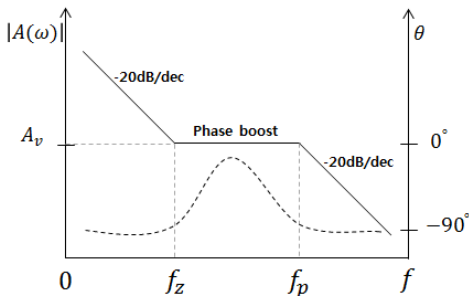


Fig. 6. Compensation block frequency analysis

보상단 회로에서 이득과 주파수 관련수식은 다음과 같다.

$$f_z = \frac{1}{2\pi C_1 R_3} \dots \dots \dots (1)$$

$$f_p = \frac{C_1 + C_2}{2\pi C_1 C_2 R_3} \dots \dots \dots (2)$$

$$A_v = \frac{R_3}{R_1} \dots \dots \dots (3)$$

3.3 PWM(Pulse Width Module) block 설계

그림 7은 PWM 블록 다이어그램으로 귀환 된 보상단의 출력과 ramp generator의 삼각파를 비교기에서 인식하여, 펄스파를 생성한다.

비교기는 잡음의 영향을 덜 받는 히스테리시스 비교기를 사용하여 안정성을 추구하고, 잡음을 개선하고자 하였다.

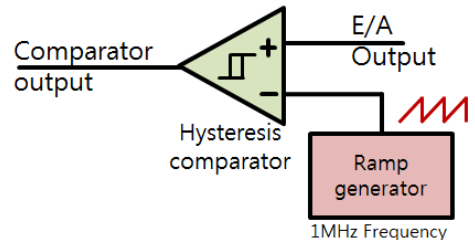


Fig. 7. PWM block diagram

3.4 Ramp generator 설계

그림 8은 히스테리시스 비교기와 증폭기, 전류 미러를 사용한 램프발생기이다. 컨버터가 PWM으로 작동하기 위해서는 동일 주파수를 가지는 램프파를 발생 시켜야 한다.

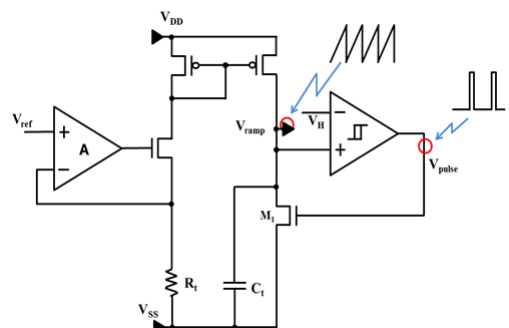


Fig. 8. Ramp generator circuit

4. DC-DC 컨버터 결과 해석

4.1 DC-DC컨버터의 SPICE 모의실험 해석

제안하는 전압모드 PWM DC-DC 컨버터 회로에 대하여 케이던스 프로그램을 이용하여 0.18 μm CMOS 공정 파라미터로 SPICE 회로해석을 실시하였다.

그림 9는 제안하는 PWM DC-DC 컨버터의 출력 전압을 나타내고 있다. 그림에서 보이듯이 약 2.5ms 후, 제안하는 승압형 DC-DC 컨버터는 정상모드로 전환하고, 입력전압 3.3V일 때 출력전압 5V가 출력되는 것을 확인할 수 있었다.

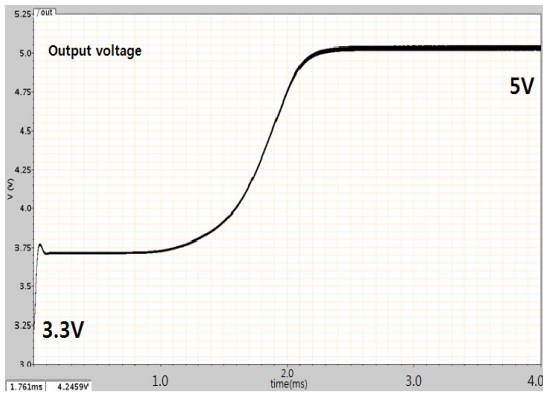


Fig. 9. Simulation result of the output voltage

그림 10은 제안하는 회로의 출력 리플을 나타내고 있다. 출력 리플은 스위칭 주파수가 1 MHz의 조건일 때, 약 40 mV를 나타낸다.

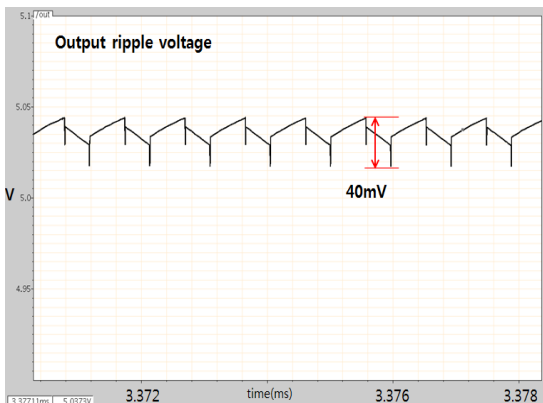


Fig. 10. Simulation result of output voltage ripple

그림 11는 각 블록이 동작 될 때, 각 블록 들로부터 신호가 출력 되는지 여부를 알 수 있는 차 트이다. I_L 신호는 램프발생기의 램프신호출력, Driver 신호는 Compensation Block에서 비교기가 적용된 오차 증폭기로부터의 보상 신호출력, 그리고 PWM신호는 PWM block에서 PWM 펄스를 생성한다.

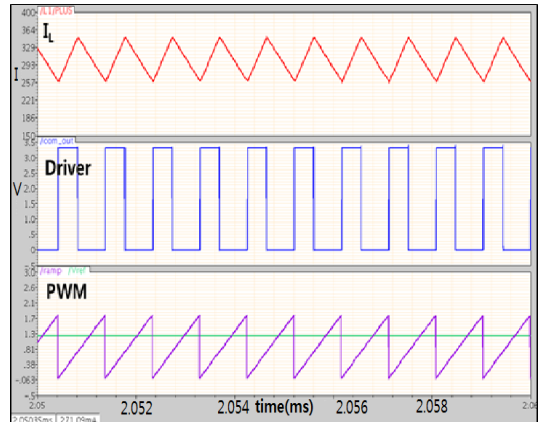


Fig. 11. Simulation results of each block

그림 12는 램프 발생기의 시뮬레이션 결과로 파형에서 볼 수 있듯 커패시터의 용량과 커패시터에 흐르는 전류에 따라 램프신호가 천천히 증가하면서 램프신호가 일정 전압 이상이 되면 클럭 신호가 켜지면서 램프신호가 0으로 돌아가는 것을 볼 수 있다. 또한 램프 발생기의 파라미터를 최적화하여 주파수 변화가 적음을 확인할 수 있다.

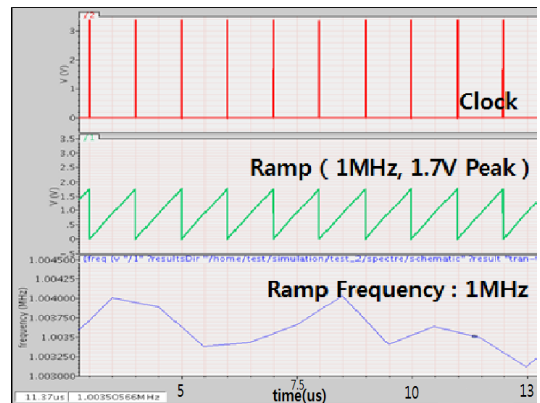


Fig. 12. Ramp generator simulation result

표 1에 제안하는 컨버터의 목표 스펙과 시뮬레이션 결과값을 비교하였다. 입력전압은 3.3 V이며, 출력 전압은 5 V를 목표로 하였으며, 또한 소형화를 위해 스위칭 주파수는 1 MHz로 동작한다. 출력 전류는 100 mA로 하였다.

Table 1. Summary table of the converter

| Parameter | Proposed spec | Simulation | Units |
|-----------------------|---------------|------------|-------|
| Supply voltage | 3.3 | 3.3 | V |
| Output voltage | 5 | 5 | V |
| Output voltage ripple | 50 | 40 | mV |
| Load current | 100 | 100 | mA |
| Switching frequency | 1 | 1 | MHz |
| Duty ratio | 0.34 | 0.34 | - |

4.2 DC-DC 컨버터의 최종 레이아웃

그림 13는 매그나칩/하이닉스 0.18 μm CMOS 공정으로 1-poly 6-metal을 사용하였으며, 컨트롤 블록, 보호회로 블록, 파워모스로 3부분으로 설계하였다. 총 크기는 1.59 mm \times 1.13 mm이다.

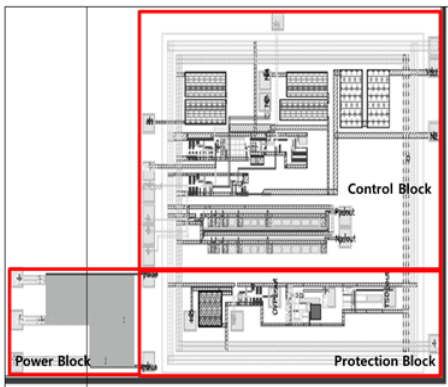
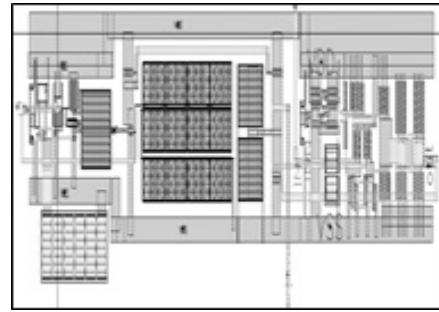
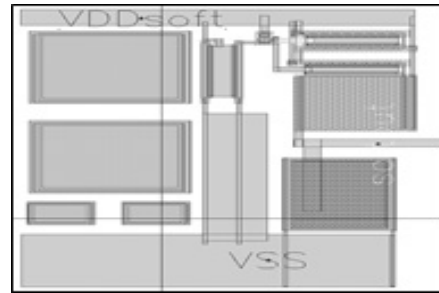


Fig. 13. Proposed DC-DC converter IC layout

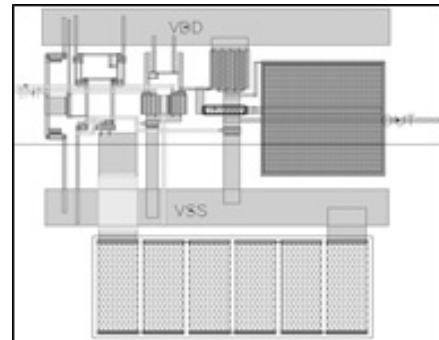
그림 14(a)는 램프발생기의 레이아웃이며 크기는 40 $\mu\text{m}\times$ 12 μm 이다.(b)는 소프트 스타트의 레이아웃이며 크기는 41 $\mu\text{m}\times$ 54 μm 이다. (c)는 보상블럭단의 E/A(오차증폭기)의 레이아웃이며 크기는 96 $\mu\text{m}\times$ 74 μm 이다.



(a)



(b)



(c)

Fig. 14. Layout of each block (a) ramp generator layout (b) soft start layout (c) Error AMP layout

5. 결론

본 논문에서는 Magnachip의 0.18 μm CMOS 공정을 이용하여 DC-DC 승압형 컨버터를 설계, 레이아웃을 진행하였다. 설계된 칩은 3.3 V 입력 전압에 출력 전압 5 V가 나타났고, 출력 전압 리플은 40 mV가 나타나는 것을 확인 할 수 있었다. 이에 따른 입출력 전력의 변환효율은 95 %로 나타난다. 제안하는 승압형 컨버터는 소프트-스타터와 비-오버랩 드라이버를 인버터 체인수를 늘려 시스템의 안정성을 향상시켰으며, 히스테리시스 비교기를

사용하여 노이즈의 영향을 덜 받게 하였다. 또한 제안된 드라이버는 피크 전류 및 출력 전압 리플을 감소시키며 설계된 파워MOS는 칩의 면적 또한 감소시킨다. 설계된 칩은 휴대기기에 적용하기 위해 낮은 입력 전압에서 구동가능하고, 고효율을 가지며, 제안하는 DC-DC 승압형 컨버터는 PMIC 시스템에 널리 사용될 것으로 사료된다.

References

- [1] L. M. Piao, "A study on Design of PMIC of SEPIC/BOOST Topology with Integrated current sensing circuit", Inha University Master degree, 2011.
- [2] Said Oucheriah, Liping Guo, "PWM-Based Adaptive Sliding-Mode Control for Boost DC - DC Converters," IEEE Transactions on industrial electronics, vol. 60, no. 8, pp. 3291-3294, 2013.
DOI: <http://dx.doi.org/10.1109/TIE.2012.2203769>
- [3] Hee-Jun Kim(2012), Basic analysis of switching power supply, Seoul, P&A school.
- [4] J. K. Kim, "Design of high-efficiency Buck DC-DC converter for reduction of control circuit loss," Hanyang University Master degree, 2011.
- [5] R. Jacob Baker, H. W. Li, D. E. Boyce, CMOS Circuit Design, Layout, and Simulation, IEEE Press.
- [6] Gray, Hurst, Lewis, "Meyer Analysis and Design of Analog Integrated Circuits," John Wiley& sons, Ltd
- [7] TEXAS INSTRUMENTS, Comparator with Hysteresis Reference Design, 2013.
- [8] Eric Magne Solie, "Soft Start Precharge Circuit for DC Power Supply," U.S. Patent 6 998 829, 2006.
- [9] F. F. Ma, W. Z. Chen and J. C. Wu, "A Monolithic Current-Mode Buck Converter With Advanced Control and Protection Circuits," IEEE Trans. On Power Electronics, vol. 22, pp. 1836-1846, 2007.
DOI: <http://dx.doi.org/10.1109/TPEL.2007.904237>

이 자 경(Ja-kyeong Lee)

[준회원]



- 2008년 2월 : 인제대학교 나노공학부 (공학사)
- 2015년 8월 ~ 현재 : 인제대학교 일반대학원 나노융합공학과 (공학석사)

<관심분야>
전기전자

송 한 정(Han-Jung Song)

[정회원]



- 1986년 2월 : 한양대학교 전자공학과 (공학사)
- 1988년 2월 : 한양대학교 전자공학과 (공학석사)
- 2000년 2월 : 한양대학교 전자공학과 (공학박사)
- 2004년 3월 ~ 현재 : 인제대학교 나노공학부 정교수

<관심분야>
전기전자