Journal of the Korea Academia-Industrial cooperation Society
Vol. 17, No. 7 pp. 42-48, 2016

http://dx.doi.org/10.5762/KAIS.2016.17.7.42
ISSN 1975-4701 / eISSN 2288-4688

0.35 um CMOS 공정을 이용한 플라이백 컨버터용 피크검출기의 집적회로 설계

한예지[1], 송한정[2*]
[1]인제대학교 에너지융합학과, [2]인제대학교 에너지융합학과/나노융합공학부/ 나노매뉴팩처링 연구소

Integrated Circuit of a Peak Detector for Flyback Converter using a 0.35 um CMOS Process

Ye-Ji Han[1], Han-Jung Song[2*]
[1]Department of Fusion Technology for Energy, Inje University
[2]Department of Fusion Technology for Energy, Inje University/Department of Nanoscience & Engineering, Inje University/Center for nano Manufactoring, Inje University

요 약 본 논문에서는 플라이백 DC-DC 컨버터에 사용되는 출력전압 정보를 보다 정확하게 감지하는 피크검출기를 집적회로로 설계하였다. 제안하는 피크검출기의 회로는 하나의 op-amp와 세 개의 트랜지스터로 이루어져 있다. 제안하는 회로는 단순한 구조로 이루어져 있기 때문에 제안하는 회로는 출력전압을 감지하는 과정에서 지연시간을 최소화 할 수 있다. 회로에서 op-amp와 몇 개의 트랜지스터를 사용함으로써, 제안하는 피크검출기가 종래의 커패시터와 다이오드로 설계된 피크검출기를 대신해 칩의 집적화가 가능해지고, 플라이백 컨버터의 모듈을 구성하는 소자가 트랜지스터로 대체되고 칩의 면적이 줄어들어 가격을 줄일 수 있다. 제안하는 회로는 0.35 um CMOS 공정을 이용하여 칩으로 제작하여 측정하였고, 칩 측정결과 모의실험결과와 잘 일치함을 보였다. 시뮬레이션 결과 사인파의 입력신호를 출력신호가 최대 0.3 ~ 3.1 %의 오차 범위 내에서 피크전압을 유지하는 것을 확인하였다. 칩 측정결과 모의실험결과와 잘 일치함을 보였다. 제안하는 회로의 결과를 통하여 종래의 피크검출기 회로의 좋지 않은 레귤레이션을 향상시키기 위하여 높은 플라이백 컨버터의 동작을 보일 수 있다. 플라이백 컨버터의 출력전압을 정확하게 감지하여 안정적인 컨버터 동작을 할 수 있을 것으로 사료된다.

Abstract In this paper, a high-precision peak detector circuit that detects the output voltage information of a fly-back converter is proposed. The proposed design consists of basic analog elements with only one operational amplifier and three transistors. Because of its simple structure, the proposed circuit can minimize the delay time of the detection process, which has a strong impact on the precision of the regulation aspect of the fly-back converter. Furthermore, by using an amplifier and several transistors, the proposed detector can be fully integrated on-chip, instead of using discrete circuit elements, such as capacitors and diodes, as in conventional designs, which reduces the production cost of the fly-back converter module. In order to verify the performance of the proposed scheme, the peak detector was simulated and implemented by using a 0.35 m MagnaChip process. The gained results from the simulation with a sinusoidal stimulus signal show a very small detection error in the range of 0.3~3.1%, which is much lower than other reported detecting circuits. The measured results from the fabricated chip confirm the simulation results. As a result, the proposed peak detector is recommended for designs of high-performance fly-back converters in order to improve the poor regulation aspect seen in conventional designs.

Keywords : Chip measurement, CMOS, Flyback converter, Peak detector, Integrated circuit

본 논문은 2015년 교육부와 한국연구재단의 지역혁신창의인력양성사업의 지원을 받아 수행된 연구임(NRF-2014H1C1A1066686)
*Corresponding Author : Han Jung Song (Inje University)
Tel: +82-55-320-3873 email: hjsong@inje.ac.kr
Received March 4, 2016 Revised (1st July 1, 2016, 2nd July 4, 2016)
Accepted July 7, 2016 Published July 31, 2016

1. 서론

최근 전기기기의 사용이 늘고 스마트기기, 전자기기에는 다양한 크기와 결과로 구동되는 장치들로 구성되어 있다. 전기를 사용하기 위해 대부분의 장치는 DC-DC 컨버터를 통하여 공급전압을 각 장치에 맞게 공급되게 한다. 장치가 필요로 하는 전압을 안정적으로 공급해야 장치의 오동작 또는 고장을 방지 할 수 있다. DC-DC 컨버터는 스위칭 레귤레이터로써 출력전압을 피드백 받아서 그 다음 주기의 펄스폭 변조 (PWM : Pulse Width Modulation)을 결정한다. PWM은 컨버터의 출력전압을 결정하므로 출력저압을 정확하게 피드백하는 것이 중요하다. DC-DC 컨버터는 크게 절연형(isolated)과 비절연형(non-isolated)으로 나뉜다. 비절연형 컨버터는 출력전압을 직접 피드백 받으므로 정확하게 출력전압을 감지하여 정확한 PWM 주기를 생성할 수 있다. 그러나 주로 플라이백(flyback) 형태로 이루어지는 절연형 컨버터는 입력과 출력이 절연되어 있으므로 다양한 출력전압 감지기법들이 연구 되고 있다[1-3]. 따라서 본 논문에서는 플라이백 절연형 컨버터의 출력전압을 정확하게 감지하기 위한 피크검출기 회로를 제안한다.

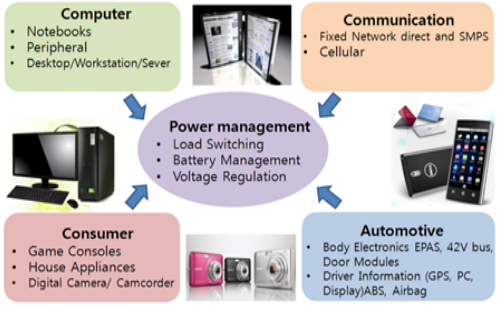


Fig. 1. Various applications using DC-DC converters

2. 피크검출기 방식의 플라이백 DC-DC 컨버터

2.1 플라이백 절연형 컨버터의 동작원리

절연형 컨버터에 있어서 대표적인 회로중의 하나라고 할 수 있는 플라이백(flyback) 컨버터는 비절연형 컨버터 중 벅·부스트 컨버터와 기본특성이 동일하다. 또한 이 컨버터는 회로가 간단하고 입출력사이에 삽입된 절연 트랜스포머가 출력필터의 인덕터 역할을 겸하고 있어서 저가격의 중소용량의 스위칭 전원으로서 폭넓게 이용되고 있다. 그림 2는 기본 플라이백 컨버터회로 이다.

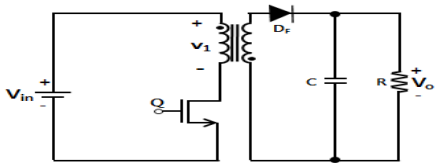


Fig. 2. Basic circuit of the flyback DC-DC converter

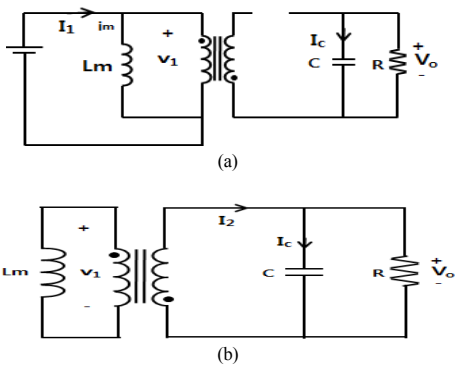


Fig. 3. Circuit operation of the flyback converter (a) Q : ON (b) Q : OFF

스위치 Q가 ON 되면 트랜스포머의 1차 측으로 전류 I_1이 흐르는데 이 전류는 모드 자화 인덕턴스 L_m으로 흘러 L_m에는 에너지가 축적된다. 또한 1차 측 권선에는 입력전압이 유기된다. 한편 2차 측 권선에는 흑점의 방향에 의해 1차 측과 반대 극성의 전압이 유기되므로 다이오드 D_F는 역 바이어스가 되어 OFF 된다. 다음 Q가 OFF 되면 2차 측 권선에는 전 상태와 반대 극성의 전압이 유기되어 D_F를 도통시킴으로써 트랜스포머의 자화 인덕턴스 L_m에 축적되었던 에너지를 출력 측으로 방출시킨다. 이 설명의 그래프를 그림 4에 나타내었다 [4].

그림 2의 기본적인 플라이백 컨버터는 2차 측 전압정보를 간접적으로 감지하기 때문에 출력전압에 대한 신뢰성이 좋지 않다. 이러한 출력전압의 신뢰성을 높이기 위하여 간접적으로 감지한 피드백 전압 $V_o + V_F$가 V_o이 되는 지점을 정확하게 감지하여야 한다. 따라서, 그림 5와 같이 피크검출기 블록을 통하여 출력파형을 정확하게 감지하여 파워 트랜지스터의 게이트로 귀환하는 피크검출기 기반 플라이백 컨버터 방식이 많이 선호되고 있다.

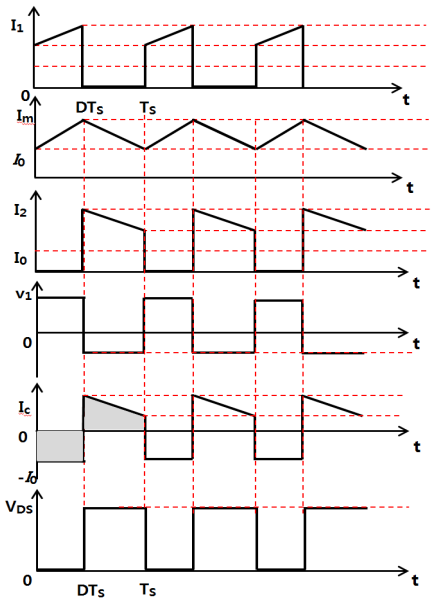


Fig. 4. Wave forms of the flyback converter

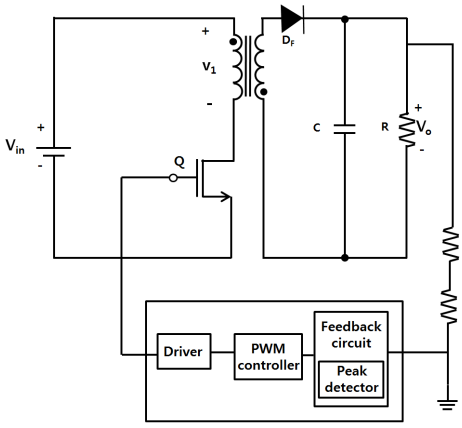


Fig. 5. Peak detector based flyback converter

2.2 피크검출기 회로 및 동작원리

피크검출기는 입력파형 중 가장 높은 피크를 감지하고 그 값을 유지시키는 회로이다. 연산증폭기의 +단자를 통하여 입력전압이 인가되고 다이오드가 피드백 루프를 끊고, 커패시터가 입력전압의 최댓값을 유지한다. 그림 6은 다이오드와 커패시터로 이루어지는 기본적인 피크 검출기의 구조를 보인다. 그림에서 보이듯이, 입력 신호의 최초 피크값이 출력에서 감지되어 계속적으로 유지됨을 보인다. 이 경우, 입력의 단일 피크 값에 대한 검출만 이루어진다는 단점이 있다.

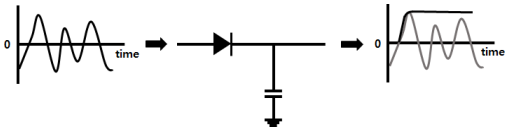
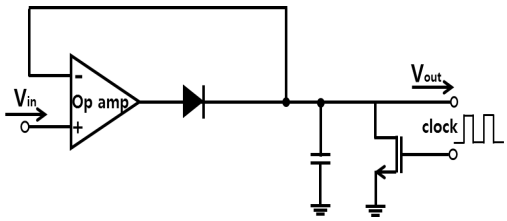
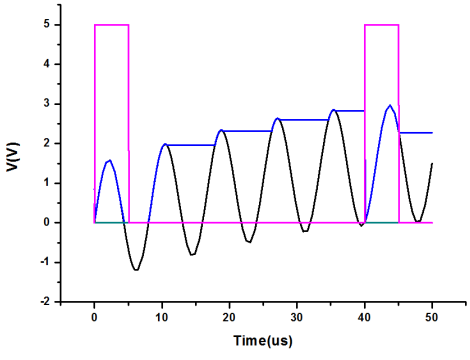


Fig. 6. Basic operation of the simple peak detector

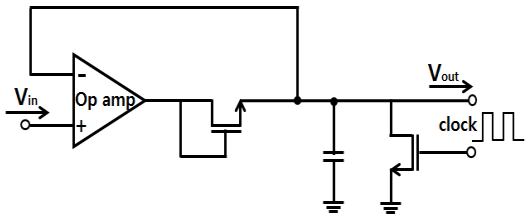
그림 7(a)는 이를 보완한, 다이오드와 커패시터 및 클럭 신호로 구동되는 제어 게이트의 하이브리드로 이루어지는 회로이다. 그림 7(a)에 시뮬레이션을 위하여 입력전압은 주기와 진폭이 다른 두 사인파를 합성하여 점점 높이가 높아지는 형태의 사인파를 구현하여 입력하였다. 그림 7(b)의 시뮬레이션 결과에서 알 수 있듯이 사인파의 피크가 높아짐에 따라 출력전압 V_{PK}는 그 피크지점을 따라가 유지한다. 리셋 신호가 ON이 되면 ON이 된 구간동안 커패시터를 방전시켜 출력전압은 0이 된다. 리셋 신호가 다시 OFF가 되면 출력전압은 입력전압의 피크를 따라가 유지시킨다. 그림 7(c)는 다이오드 대신에 집적화에 유리한 MOS 트랜지스터를 다이오드 연결형태로 사용한 하이브리드 회로이다. 그림 7(d)에 나타난 그림 7(c)의 시뮬레이션 결과 역시, 동일한 파형을 보이고 있다. 상기 두 회로의 경우, 커패시터 와 다이오드 등의 면적 등을 고려할 때, 집적회로화 하기에 어려움이 있다.



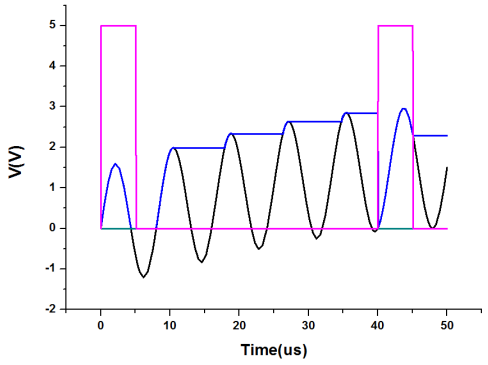
(a) Clock operated peak detector with diode



(b) Simulation result of the circuit (a)



(c) Clock operated peak detector with diode-connected MOS



(d) Simulation result of the circuit (c)

Fig. 7. Clock based hybrid peak detectors

3. 제안하는 집적화된 피크검출기 설계

3.1 피크검출기의 SPICE 모의실험 해석

그림 8에 제안하는 피크검출기의 회로도를 나타내었다. 다이오드 대신에 다이오드 연결 구조의 MOS 트랜지스터를 사용하였고, 커패시터 대신에 MOS 트랜지스터의 소오스와 트레인을 연결하여 게이트 사이의 절연층으로 이루어지는 MOS 커패시터를 사용하였다. 본 구조는 반도체 집적회로로 구현하기에 용이하다.

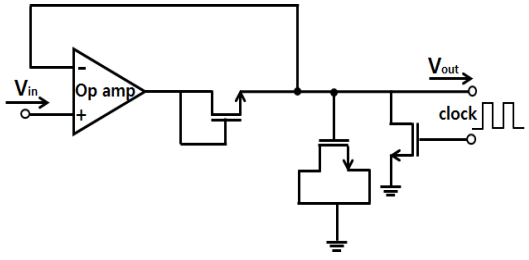


Fig. 8. The proposed peak detector for integrated circuit

입력신호가 인가되면 증폭률이 1인 연산증폭기(buffer) 통해 출력단 커패시터에 충전된다. 피드백 루프의 역방향 다이오드로 인하여 피드백 신호는 피드백 되지 못하고 오차증폭기는 출력 값을 유지시킨다. 컨버터 제어기에 적용 시 스위칭 주기마다 피크점이 다르기 때문에 이전 주기의 피크가 더 높다면 피크검출기는 피크를 감지하지 못한다. 그러므로 출력단에 스위치 MOS 트랜지스터를 병렬로 연결하여 매 스위칭 주기마다 파형을 방전시켜 리셋한다.

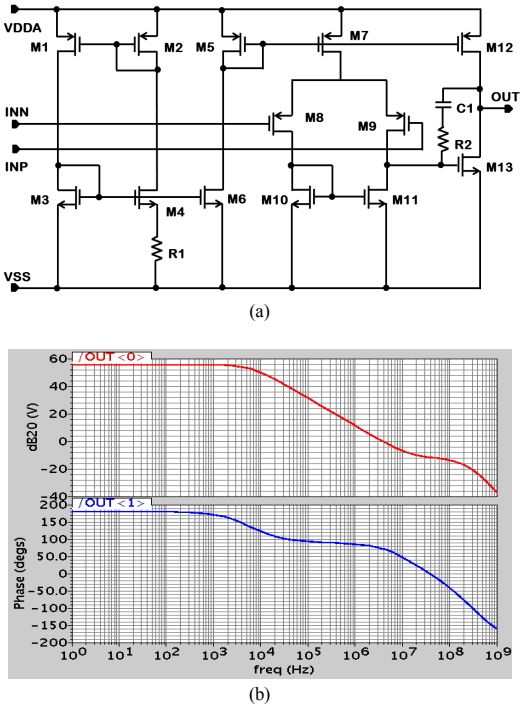
Table 1. SPICE parameters of 0.35 um CMOS process

Parameter	Units	Device
		NMOS
TOX	nm	14.646
VTHO	mV	791.77
nch	$1/cm^3$	106.43E-12
JS	A/m^2	455.3E-9
MJ	-	366.3E-3
MJSW	-	101.7E-3
CGSO	F/m	167.68E-12
CGDO	F/m	167.68E-12
CJ	F/m	786.2E-6
CJSW	F/m	261.3E-12

제안하는 피크검출기의 집적회로 설계에 사용한 0.35 um CMOS 공정의 SPICE 파라미터를 표 1에 나타내었다. SPICE 모의실험결과, 정상적인 피크검출기의 출력 특성을 얻었다. 결과적으로 다이오드와 커패시터를 대신해서 MOS 트랜지스터를 사용함으로써 칩의 집적화가 가능해진다. 즉 칩 사용 면적이 줄어듦의 장점을 들 수 있다. 다이오드를 대신하는 N형 MOS 트랜지스터는 폭과 길이 비 즉, W/L = 2um/1um의 크기를 가지고, 커패시터를 대신하는 N형 MOS 트랜지스터의 폭과 길이 비 즉, W/L = 30 um/30um의 크기를, 펄스파를 받아들이는 N형 MOS 트랜지스터ㄴ의 폭과 길이 비, 즉 W/L = 500nm/600nm의 크기를 가진다.

그림 9(a)sms 제안하는 피크검출기에 사용된 연산증폭기 (op amp)의 집적회로를 위한 회로도이다. 2단 증폭 구조로서, 1단은 차동증폭기, 2단은 ㄷ공통 소스 증폭기 형태를 띈다. 그림 9(a)에서 보듯이, 위상여유를 위하여 1단의 출력과 2단 출력 사이에 저항과 커패시터로 이루어진 보상회로를 삽입하였다. M1-M4, R1을 통해 바이어스 전압을 제공하며, C1과 R2는 밀러보상으로 첫 번째 폴과 두 번째 폴을 조절하여 위상마진을 갖게 한다. 위상마진이 없으면 위상반전으로 불안정한 회로가 되어

발진하거나 파형이 잘릴 수 있기 때문에 적어도 45도의 위상마진을 가지도록 설계한다. 오차증폭기의 이득은 1000 이하로 낮고, 위상마진은 넓게 설계하는 것이 좋다. 그림 9(b)의 op amp 결과 이득은 55.4dB이고 위상마진은 71.8°의 결과를 확인 할 수 있다.



(a)

(b)

Fig. 9. (a) Circuit diagram of the op amp (b) Gain and phase result of the op amp

그림 10에 제안하는 피크검출기의 SPICE모의실험결과를 나타내었다. 매 클럭마다, 입력파형의 피크값을 감지해내는 정상적인 피크검출기의 출력을 보이고 있다.

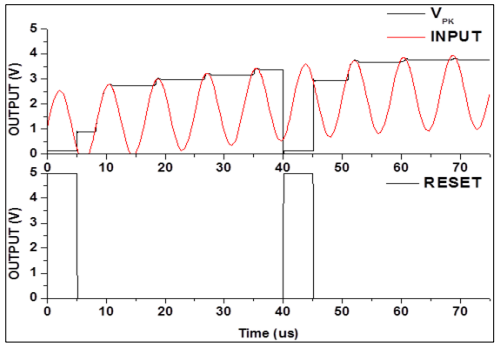


Fig. 10. Result of the proposed circuit

그림 11에 피크검출기에서 입력전압 형태에 따른 출력전압의 오차율을 나타내었다. 입력전압을 사인파로 인가하였을 때 출력전압 오차율은 최소 0.3 %, 최대 3.1 %로 나타나는 것을 확인 할 수 있다. 입력전압을 구형파로 인가하였을 때 출력전압 오차율은 최소 2.5 %, 최대 4.7 %로 나타나는 것을 확인 할 수 있다.

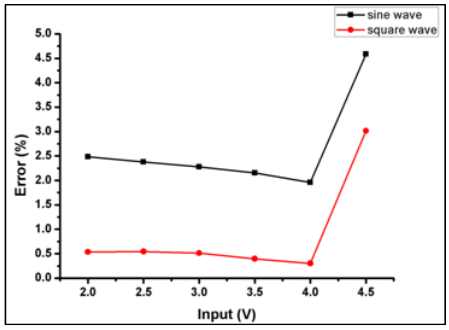
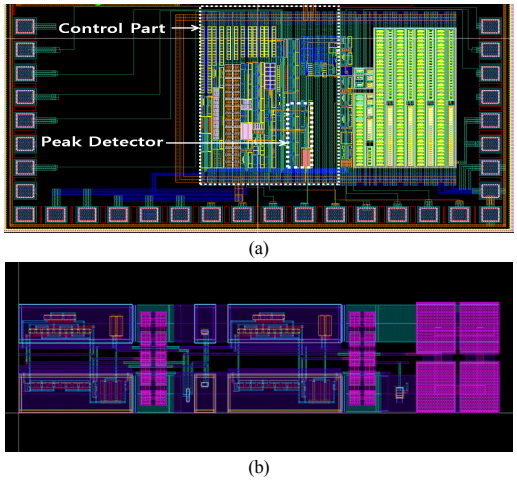


Fig. 11. Comparison of error rate in different input signal

4. 피크검출기 칩 제작 및 측정

제안하는 회로는 0.35 um CMOS 공정으로 설계되었다. 그림 12에 피크검출기 레이아웃을 보였다.

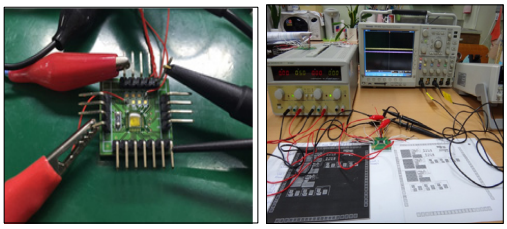


(a)

(b)

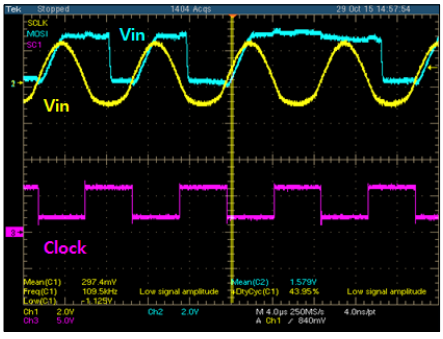
Fig. 12. (a) Chip layout (b) magnified figure of the proposed peak detector

그림 13에 제작된 칩의 패키지 사진과 측정시스템을 나타내었다. PCB 기판에 탑재된 피크검출기 칩은 디지털 오실로스코프를 통하여 측정하였다.

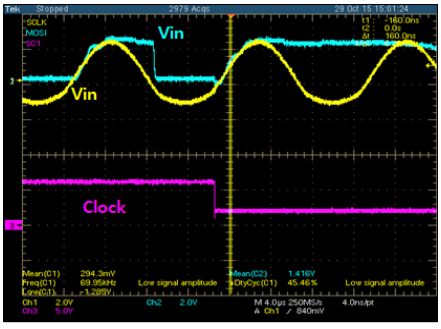


(a) (b)

Fig. 13. (a) PCB circuit with peak detector
(b) Measurement system for peak detector



(a)



(b)

Fig. 14. Measured result of the peak detector
(a) Peak detecting output 1
(b) Peak detecting output 2

그림 14에 제작된 칩의 오실로스코프 측정결과를 보인다. 그림14의 측정 결과에서, 입력 신호가 ON이 되면 Vpeak 신호가 방전되고 OFF가 되면 Vpeak 신호가 Vsine 신호를 따라가는 것을 확인한다.

정상적인 피크값의 검출기능을 보이고 있으며, 그림 10의 모의실험결과와 일치한다.

4. 결 론

본 논문에서는 플라이백 컨버터용 피크검출기를 집적회로로 설계하였다. 0.35um CMOS SPICE 파라미터를 이용하여 회로설계 및 레이아웃, 칩 제작이 이루어졌다. 시뮬레이션 결과에서 입력신호를 출력신호가 최대 3.1%의 오차를 가지고 피크점을 유지하는 것을 확인하였다. 제작된 칩 측정 결과, 모의실험에서 얻은 피크검출기 특성와 동일한 특성을 얻었다. 제안하는 회로를 통하여 플라이백 컨버터의 출력전압을 정확하게 감지하여 안정적인 컨버터 동작을 할 수 있을 것으로 사료된다.

References

[1] Ying-Ting Lin, Tsorng-Juu Liang, Kai-Hui Chen “IC Design of Primary-Side Control for Flyback Converter,” Proceedings of Future Energy Electronics Conference (IFEEC), 2013 1st International, pp. 449-453, 2013.
DOI: http://dx.doi.org/10.1109/ifeec.2013.6687548

[2] Che-Wei Chang, Ying-Yu Tzou, “Primary-Side Sensing Error Analysis for Flyback Converters,” IEEE 6th International Power Electronics and Motion Control Conference, Hsinchu, Taiwan, 2009.
DOI: http://dx.doi.org/10.1109/IPEMC.2009.5157443

[3] Zeyu Wang, Xinquan Lai, Huisen He "High precision control technique for constant current regulation in primary-side regulation systems" Electronics Letters, pp. 1870-1872, 2014.
DOI: http://dx.doi.org/10.1049/el.2014.3331

[4] Hee-Jun Kim(2012), Basic analysis of switching power supply, Seoul, P&A school

[5] Flyback topology-Accurate Primary Side Sensing [Online]. http://www.camsemi.com/pdfs-technical/CamSemi_BN-3004_accurate_PSS.pdf

[6] Google searching peak detector [online] https://www.youtube.com/watch?v=ic_yEUV7Y3c

한 예 지(Ye-Ji Han) **[준회원]**

- 2011년 2월 : 인제대학교 나노공학부 (공학사)
- 2016년 2월 ~ 현재 : 인제대학교 일반대학원 에너지융합학과 (공학석사)

<관심분야>
전기전자

송 한 정(Han-Jung Song) **[정회원]**

- 1986년 2월 : 한양대학교 전자공학과 (공학사)
- 1988년 2월 : 한양대학교 전자공학과 (공학석사)
- 2000년 2월 : 한양대학교 전자공학과 (공학박사)
- 2004년 3월 ~ 현재 : 인제대학교 나노공학부 정교수

<관심분야>
전기전자, 반도체 소자 및 회로설계