

수중기지국 수중 음향 통신을 위한 DUC/DDC 설계

김선희

상명대학교 시스템반도체공학과

Design of DUC/DDC for the Underwater Basestation Based on Underwater Acoustic Communication

Sunhee Kim

Department of System Semiconductor Engineering, Sangmyung University

요약 최근 해양 자원 개발뿐만 아니라 지구 온난화에 따른 해양 환경 모니터링 및 해양 재난 대비 등을 위하여 수중 무선 통신에 대한 연구가 요구되고 있다. 대부분의 수중 무선 통신에서는 수중에서의 매질 특성 및 환경 변화 특성을 고려하여 수십 KHz 대역의 음파를 이용하며, 특히 DSP를 비롯한 프로세서를 기반으로 하여 모뎀 연구가 진행되고 있다. 본 연구에서는 수중 관측 및 제어를 위한 수중 음향 통신 시스템 중 수중기지국과 수중기지국 간의 음향 통신을 위한 Digital Up Converter(DUC)와 Digital Down Converter(DDC)를 연구하였다. 수중 음향 통신 시스템은 사용 환경의 제약 때문에 소형 및 저전력 시스템을 추구한다. 따라서, 본 연구에서는 DUC 및 DDC 전용 하드웨어 모듈을 설계하였다. 수중 음향 통신 시스템의 4개의 링크를 지원하며, 각각 샘플링 레이트 및 주파수를 변환하였다. Verilog-HDL를 사용하여 설계하였으며, ModelSim 환경에서 수중 음향 통신 시스템의 베이스밴드 신호를 이용하여 동작을 검증하였다.

Abstract Recently, there has been an increasing need for underwater communication systems to monitor ocean environments and prevent marine disasters, as well as to secure ocean resources. Most underwater communication systems adopted acoustic communication with a consideration of attenuation, absorption, and scattering in conductive sea water, and developed fully digital modems based on processors. In this study, a digital up converter (DUC) and a digital down converter (DDC) was developed for an underwater basestation based on underwater acoustic communication systems. Because one of the most important issues in underwater acoustic communication systems is low power consumption due to environmental problems, this study developed a specific hardware module for DUC and DDC. It supported four links of underwater acoustic communication systems and converted the sampling rate and frequency. The system was designed and verified using Verilog-HDL in ModelSim environment with the test data generated from baseband layer parts for an underwater base station.

Keywords : cic filter, digital down converter, digital up converter, underwater acoustic communication, underwater basestation

1. 서론

최근에는 해양 자원 개발뿐만 아니라 지구 온난화에 따른 해양 환경 모니터링 및 해양 재난 대비 등을 위하여 수중 통신에 대한 연구가 활발히 진행되고 있다[1-3]. 미국 WHOI Acoustic Communications Group은 다수의

수중 이동체 배-부표-수중탐사체-잠수정을 연결하는 음파 통신 시스템을 구축하였으며[4], 유럽연합의 지원을 받고 있는 SUNRISE 프로젝트에서는 음향을 사용하는 Underwater WSN을 기반으로 하여 Underwater IoT를 연구하고 있다[5]. 일본 JAMSTEC는 인공 위성 추적 부표를 이용하여 실시간 바다 정보를 제공, 분석하면서 수

*Corresponding Author : Sunhee Kim(Sangmyung Univ.)

Tel: +82-41-550-5357 email: happyshkim@smu.ac.kr

Received March 30, 2017

Accepted May 12, 2017

Revised May 8, 2017

Published May 31, 2017

중 통신 네트워크 기술을 연구하고 있다[6]. 국내에서는 호서대학교를 중심으로 한 연구단에서 수중 관측 및 제어 위한 수중기지국 기반 수중 음향 통신 시스템을 연구하고 있다[7]. 이와 같이 수중 무선 통신 연구에서는, 광학이나 전파기파가 아닌, 1 KHz - 100 KHz 대역의 음파를 중심으로 연구되고 있다[4-8].

음파 대역은 지상 무선 통신에서 주로 사용하는 주파수 대역에 비하여 상당히 낮은 주파수 대역으로, 수중 음파 통신을 위한 신호 처리를 디지털 회로로 충분히 구현을 할 수 있다. 따라서, 베이스밴드와 전송대역 간 주파수 변환시 대부분 디지털 직접 변환(direct conversion) 방식을 사용하며 특히, DSP 등 프로세서를 기반으로 수중 음파 통신 모델이 연구되고 있다[9-11].

본 논문에서는 호서대학교 연구단의 수중 음향 통신 시스템에 기반하여, 수중기지제어국과 수중기지국 간의 음향 통신을 위한 Digital Up Converter (DUC)와 Digital Down Converter(DDC)를 연구하였다. 수중 음향 통신 시스템은 설치 환경의 제약 때문에 소형, 저전력 시스템을 추구한다. 또한, 호서대학교 연구단의 수중 음향 통신 시스템은 OFDM 변조를 사용하며, 데이터 송수신이 동시에 이루어지는 점을 고려하여 DUC/DDC 전용 하드웨어를 설계하였다. 2장에서 수중기지국 기반 수중 음향 통신 시스템의 주파수 운용에 대해 설명한 후 DUC/DDC 하드웨어 구조에 대해 설명하겠다. 3장에서는 설계 시뮬레이션 결과를 보이고, 마지막으로 4장에서 간단히 결론을 맺겠다.

2. DUC/DDC 구조

2.1 수중 음향 통신 시스템의 주파수 운용

수중기지국 기반 수중 음향 통신 시스템[7]은 수중기지제어국, 수중기지국, 그리고 수중센서노드로 구성된다. 그림 1은 수중 음향 통신 시스템의 주파수 운용을 보여주는데, A 그룹은 수중기지제어국과 수중기지국 간의 통신 채널이고, B 그룹은 수중기지국과 수중센서노드 간의 통신 채널이다. 수중기지제어국과 수중기지국 간에는 1개의 하향링크(Downlink, DL)와 3개의 상향링크(Uplink(UL): UL0, UL1, UL2)가 사용된다. 10 Km까지 통신이 가능하도록 20 KHz 보다 낮은 주파수에 DL, UL0 및 UL1을 할당하였고, 1 Km 이내의 고속 전송 환경 활용을 위하여 UL2를 할당하였다. 상향링크와 하향

링크가 분리되어 있기 때문에 데이터 송수신이 동시에 가능하다.

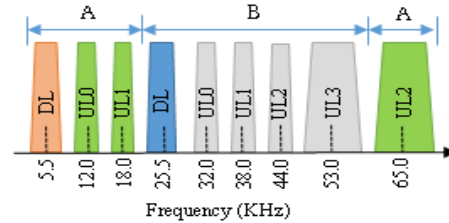


Fig. 1. Frequency allocation for the underwater basestation based on underwater acoustic communication

Table 1. Baseband sampling rate, DAC sampling rate, and passband frequency according to links for transmission

	Baseband Sampling Rate (F_B)	DAC Sampling Rate (F_{S_DAC})	Passband Frequency (F_P)
DL	5 Ksps	1 Msps	5.5 KHz
UL0	5 Ksps	1 Msps	12 KHz
UL1	5 Ksps	1 Msps	18 KHz
UL2	10 Ksps	1 Msps	65 KHz

2.2 DUC 구조

2.2.1 DUC 개요

수중기지제어국과 수중기지국 간의 통신을 위하여 베이스밴드(Baseband) 신호를 전송대역(Passband) - 5.5 KHz(DL), 12 KHz(UL0), 18 KHz(UL1), 65 KHz(UL2)-으로 변환한다. 직접 디지털 합성(direct digitally synthesized, DDS) 주파수 변조를 위하여 베이스밴드 신호의 샘플링 레이트를 DDS 전에 DDS의 샘플링 레이트로 높였다. DDS의 샘플링 레이트(F_{S_DAC})는 DAC의 샘플링 레이트와 동일하게 설정하였으며, 베이스밴드 신호의 샘플링 레이트(F_B)는 베이스밴드 신호의 데이터 레이트와 동일하게 하였다. 링크별 샘플링 레이트와 전송대역 주파수(F_P)를 표1에 정리하였다.

그림 2에서 보는 바와 같이 DUC는 I/Q 채널별 베이스밴드 신호의 샘플링 레이트를 올리는 샘플링 레이트 업 컨버전(Sampling Rate Up-Conversion) 블록과 신호의 주파수 대역을 올리는 주파수 업 컨버전 블록으로 구성된다.

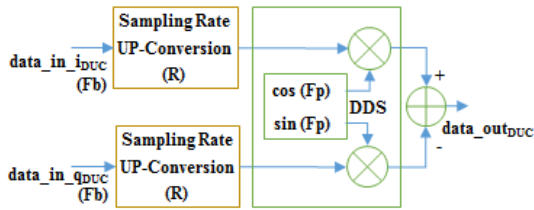


Fig. 2. Block diagram of the digital up converter

2.2.2 샘플링 레이트 업 컨버터

베이스밴드 신호의 샘플링 레이트를 높이면 새로운 샘플링 주파수에 따라 베이스밴드 신호의 스펙트럼이 반복되면서 이미지 신호가 발생한다. 이러한 이미지 신호를 제거하기 위해서는 저주파 통과 필터(Low Pass Filter, LPF)가 필요하다. 본 논문에서는 그림 3과 같이 LPF 기능을 포함하는 cascaded integrator- comb(CIC) 인터폴레이터 사용하여 샘플링 레이트 업 컨버터를 구성하였다.

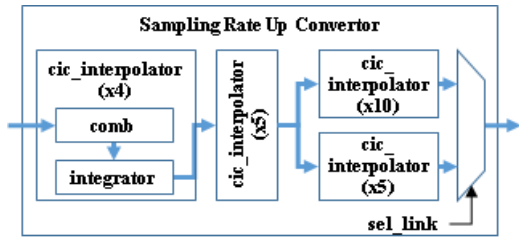


Fig. 3. Block diagram of the sampling rate up converter

CIC 필터는 일반적인 필터와 다르게 별도의 필터 계수 없이 덧셈기만으로 회로를 구성할 수 있어 설계 복잡도, 사이즈 및 파워 관점에서 효율적이다[12]. CIC 필터는 2개의 기본 블록, 인테그레이터(integrator)와 콤(comb)으로 구성되는데 기본 블록을 연결하는 순서에 따라 인터폴레이터 혹은 데시메이터(decimator)가 된다. CIC 인터폴레이터는 F_{OUT}/R 로 동작하는 N개의 콤 블록과 F_{OUT} 로 동작하는 N개의 인테그레이터 블록을 차폐대로 연결한다. (F_{OUT} : 출력 신호의 샘플링 주파수, F_{IN} : 입력 신호의 샘플링 주파수, R: 입력 신호의 샘플링 주파수와 출력 신호의 샘플링 주파수의 비율, F_{OUT}/F_{IN})

표 1에 정리되어 있는 바와 같이, DL, UL0 및 UL1은 5 Ksps에서 1 Msps로 샘플링 레이트를 200배 높이고, UL2는 10 Ksps에서 1 Msps로 샘플링 레이트를 100배 높인다. 본 논문에서는 그림3에서 보는 바와 같이 3단계에 걸쳐 샘플링 레이트를 변경하였다. 모든 링크에 대해

공통적으로 1단계에서는 4배, 2단계에서는 5배 샘플링 레이트를 증가시켰다. 3단계에서는 UL0, UL1 및 DL에 대해서는 10배 샘플링 레이트를 증가시키고, UL2에 대해서는 5배 샘플링 레이트를 증가시킴으로써, 최종적으로 각각 200배, 100배 증가시켰다.

2.2.3 주파수 업 컨버터

베이스밴드 신호를 전송 대역으로 높이기 위하여 그림 4와 같이 정현파형(sinusoidal wave)을 저장하는 메모리와 메모리 주소 생성기, 메모리 주소 오프셋 생성기, 신호 부호 결정 회로, 그리고 곱셈기로 구성된 주파수 변환 회로를 설계하였다.

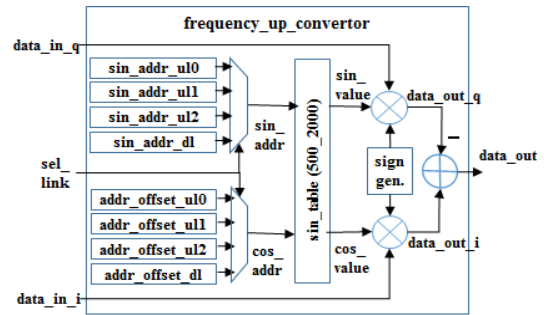


Fig. 4. Block diagram of the frequency up converter

I-채널 데이터(data_in_i)와 Q-채널 데이터(data_in_q)는 각각 cosine/sine 신호로 변조되는데, cosine/sine 파형은 1/4 주기 sine 파형을 시간축 이동 및 신호 부호 변환을 통해 얻을 수 있다. 따라서, 파형 저장 메모리에는 1/4 주기 sine의 절대값만 저장하였다. 또한, 1 Msps로 동작하면서 네 개의 링크가 공통으로 사용할 수 있도록 $(2\pi)/2000$ 간격으로 sine 값을 저장하였다.

링크에 따라 sine의 위상 변화량이 다르므로, 메모리 주소 생성기는 링크별로 sine 값 선택을 위한 메모리 주소를 생성한다. cosine과 sine의 관계에 따라 cosine 값 선택을 위한 메모리 주소값은 sine 메모리 주소값에서 일정 간격을 더하여 결정된다. 입력된 데이터와 cosine/sine을 각각 곱하고, 입력 데이터의 부호와 cosine/sine의 각각의 부호에 따라 최종 I/Q 채널 데이터의 부호를 결정한다. 따라서 최종 출력은 다음 식 (1)과 같다.

$$\begin{aligned} \text{data_out} = & (\text{data_in_i}) * \cos(2\pi * F_p * t) \\ & - (\text{data_in_q}) * \sin(2\pi * F_p * t) \end{aligned} \quad (1)$$

Table 2. Passband frequency, ADC sampling rate, and baseband sampling rate according to links for receiving

	Passband Frequency (F_p)	ADC Sampling Rate (F_{S_ADC})	Baseband Sampling Rate (F_b)
DL	5.5 KHz	500 Ksps	5 Ksps
UL0	12 KHz	500 Ksps	5 Ksps
UL1	18 KHz	500 Ksps	5 Ksps
UL2	65 KHz	500 Ksps	10 Ksps

2.3 DDC 구조

2.3.1 DDC 개요

DDC는 DUC와 반대로 전송대역 주파수 신호를 베이스밴드 신호로 낮추어야 한다. 디지털 직접 변환 수신기(direct conversion receiver) 구조로 구성하기 위하여 ADC의 샘플링 레이트(F_{S_ADC})에 맞추어 전송대역 정현파를 생성하고, 이를 이용하여 베이스밴드로 낮추었다. 그리고 다시 베이스밴드 신호의 데이터율로 낮추었다. 표 2에 수신부에 대한 채널별 조건을 정리하였으며, 전체적인 구조는 그림 5와 같다.

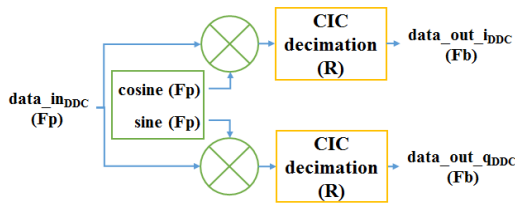


Fig. 5. Block diagram of the digital down converter

2.3.2 주파수 다운 컨버터

전송 대역 신호를 베이스밴드로 낮추기 위하여 그림 6과 같이 정현파형을 저장하는 메모리와 메모리 주소 생성기, 메모리 주소 오프셋 생성기, 신호 부호 결정 회로, 그리고 곱셈기로 구성된 주파수 변환 회로를 설계하였다.

주파수 업 컨버터에서와 마찬가지로, 파형 저장 메모리에는 $1/4$ 주기 sine의 절대값만 저장하며, 링크별로 sine 값 선택을 위한 메모리 주소를 생성한다. 단, ADC가 500 Ksps로 동작하기 때문에, $(2\pi)/1000$ 간격으로 sine 값을 저장한다. cosine 값 선택을 위한 메모리 주소 값은 sine 메모리 주소값에서 일정 간격을 더하여 결정된다. 입력된 데이터를 I-채널 데이터와 Q-채널 데이터로 분리되기 위하여 각각 cosine/sine을 곱하고, 입력 데이터의 부호와 cosine/sine의 각각의 부호에 따라 최종 I-채널 데이터와 Q-채널 데이터의 부호를 결정한다.

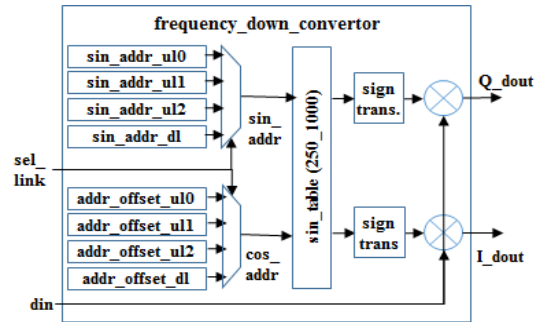


Fig. 6. Block diagram of the frequency down converter

2.3.3 샘플링 레이트 다운 컨버터

주파수 다운 컨버전을 거친 신호는 ADC 샘플링율로 샘플링 되어 있다. 이 신호의 샘플링율을 데이터율로 낮추려면 다운 샘플링을 해야 하는데, 이 과정 중에 앨리어싱(aliasing)이 발생되므로 안티 앨리어싱(anti-aliasing) 필터가 필요하다.

본 논문에서 사용한 CIC 데시메이터는 CIC 인터폴레이터와 마찬가지로 LPF 기능을 포함한 다운 샘플러이다. CIC 데시메이터는 CIC 인터폴레이터와는 반대로, F_s 로 동작하는 N개의 인테그레이터 블록과 F_s/R 로 동작하는 N개의 콤 블록이 차례대로 연결되는 구조이다.

표 2에 정리되어 있는 바와 같이, DL, UL0 및 UL1는 500 Ksps에서 5 Ksps로 샘플링 레이트를 $1/100$ 로 낮추고, UL2는 500 Ksps에서 10 Ksps로 샘플링 레이트를 $1/50$ 로 낮춘다. 본 논문에서는 그림 7에서 보는 바와 같이 3단계에 걸쳐 샘플링 레이트를 변경하였다. 모든 링크에 대해 공통적으로 1단계와 2단계에서는 $1/5$ 로 샘플링 레이트를 낮추었다. 3단계에서는 UL0, UL1 및 DL에 대해서는 $1/4$ 로 샘플링 레이트를 낮추고, UL2에 대해서는 $1/2$ 로 샘플링 레이트를 낮춤으로써, 최종적으로 각각 $1/100$ 과 $1/50$ 로 낮추었다.

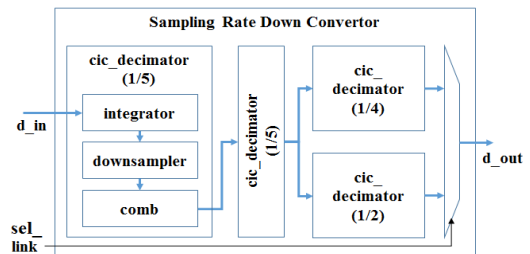


Fig. 7. Block diagram of the sampling rate down converter

3. DUC/DDC 시뮬레이션 결과

DUC 및 DDC는 Verilog-HDL을 이용하여 설계하였으며 ModelSim을 이용하여 기능 시뮬레이션을 하였다. 테스트를 위해서는 수중 음향 통신 시스템의 OFDM 변조된 신호를 이용하였다. 시스템 클럭으로 1 MHz를 사용하였으며 각 블록의 입력과 출력 데이터는 모두 16 비트로 설정하였다.

3.1 DUC 시뮬레이션 결과

그림 8은 UL0에 대한 샘플링 레이트 업 컨버터 블록의 시뮬레이션 결과이다. 입력 신호 $data_in$ 은 5 Ksps 신호이며, 동작 클럭이 1 MHz이기 때문에 200 클럭마다 데이터 값이 변한다. 3단계 인터폴레이터(1단계 출력 Int_1st , 2단계 출력 Int_2nd , 3단계 출력 Int_3rd)를 거치면서 샘플링을 업 컨버전 회로의 출력 신호는 1 Msps로 변하였고, CIC 인터폴레이터에 의하여 신호가 저주파 대역 필터링이 되었다.



Fig. 8. Simulation results of the sampling rate up converter for UL0

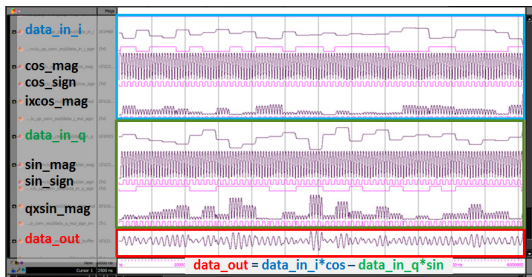


Fig. 9. Simulation results of the frequency up converter for UL0

그림 9는 UL0에 대한 주파수 업 컨버전 블록의 시뮬레이션 결과이다. I-채널 데이터($data_in_i$)는 cosine 신호로 합성되고, Q-채널 데이터($data_in_q$)는 sine 신호로

합성된다. cosine 신호(cos_mag , cos_sign)와 sine 신호(sin_mag , sin_sign)는 90도 위상 차이가 있음을 확인할 수 있다. 최종 신호($data_out$)는 I-채널 회로 출력과 Q-채널 회로 출력의 합이 된다.

그림 10(a), (b), (c)는 각각 UL1, UL2, DL에 대한 DUC 시뮬레이션 결과이다. 각각의 링크에 대하여 I/Q-채널 입력 데이터($data_in_i$, $data_in_q$)와 주파수 합성 후의 데이터($data_out_i$, $data_out_q$), 그리고 최종 데이터($data_out$)를 보여준다.

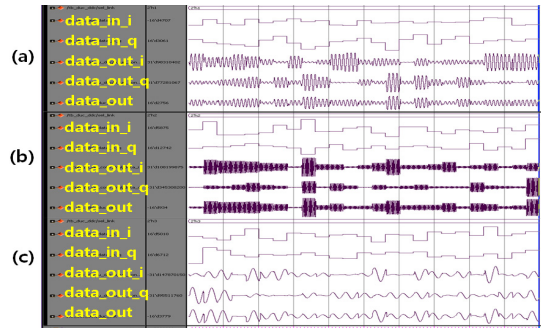


Fig. 10. Simulation results of the DUC for (a) UL1, (b) UL2, and (c) DL

3.2 DDC 시뮬레이션 결과

그림 11은 UL0에 대한 주파수 다운 컨버터의 시뮬레이션 결과이다. 수신된 데이터($data_in$)는 cosine 신호와 sine 신호로 곱해져서 각각 I-채널 데이터($data_out_i$)와 Q-채널 데이터($data_out_q$)로 분리된다.

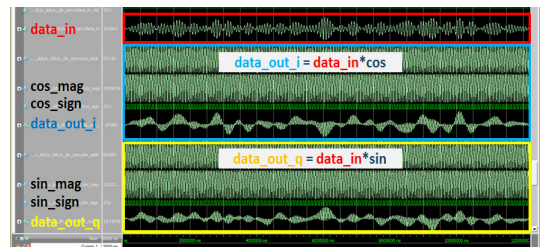


Fig. 11. Simulation results of the frequency down converter for UL0

그림 12은 UL0에 대한 샘플링 레이트 다운 컨버터의 시뮬레이션 결과이다. $data_in$ 신호는 500 KHz 마다 샘플링되어 있으며, 전송대역 주파수 성분이 아직 남아 있다. 3 단계 CIC 데시메이터 (1단계 출력 dec_1st , 2단계 출력 dec_2nd , 3단계 출력 dec_3rd)를 거치면서 입력된

신호의 전송대역 주파수 성분은 사라지며, 샘플링 레이트도 신호의 데이터율로 변화되었다.

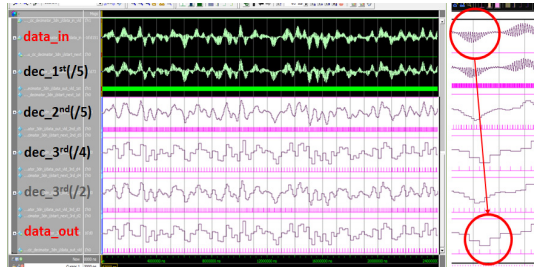


Fig. 12. Simulation results of the sampling rate down converter for UL0

그림 13(a), (b), (c)는 각각 UL1, UL2, DL에 대한 DDC 시뮬레이션 결과이다. 각각의 링크에 대하여 수신된 신호(data_in), I/Q-채널로 분리된 신호(data_i, data_q), 그리고 최종 I/Q-채널 데이터(data_out_i, data_out_q)를 보여준다.

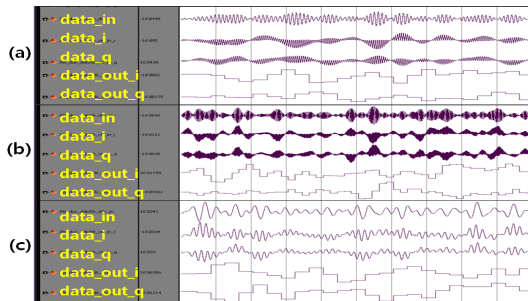


Fig. 13. Simulation results of the DDC for (a) UL1, (b) UL2, and (c) DL

4. 결론

본 논문에서는 수중 통신망 중 수중기지제어국과 수중기지국 간의 통신을 위한 DUC 및 DDC를 설계하였다. Verilog-HDL을 사용하여 설계하였으며 ModelSim을 이용하여 동작을 검증하였다. 수중음향 통신 시스템의 OFDM 변조된 신호를 이용하여, DUC는 OFDM 변조된 신호를 1 Msps로 샘플링 레이트를 높이면서, 링크에 따라 각각 전송대역 5.5 KHz, 12 KHz, 18 KHz, 그리고 65 KHz로 주파수 대역을 높이는 것을 확인하였다. 반대로 DDC는 500 Kps로 샘플링 된 전송 대역 신호를

베이스밴드 대역 신호로 낮추면서 링크에 따라 5 Kps 또는 10 Kps로 샘플링 레이트를 낮추는 것을 확인하였다. 본 연구를 통해 개발된 DUC와 DDC를 향후 수중기지제어국 및 수중기지국의 모뎀 시스템과 통합하여 수중관측 및 제어에 활용할 계획이다.

References

- [1] Yong-woo Choi, Jun Hyeok Hwang, Dong Chan Park, Suk Chan Kim, "A Study on a Low Power Underwater Communication Modem for Implementation of Underwater Sensor Networks", *Journal of the Korean Society of Marine Engineering* vol. 39, no.3, pp. 268-273, 2015.
DOI: <https://doi.org/10.5916/jkosme.2015.39.3.268>
- [2] Dongsoo Lee, Sangmin Lee, Sung-Joon Park, "DSP-Based Micro-Modem for Underwater Acoustic Communications", *The Journal of The Korean Institute of Communication Sciences*, vol.39, no.3, pp. 275-281, 2014.
DOI: <https://doi.org/10.7840/kics.2014.39C.3.275>
- [3] Byung-Lok Cho, Gi-Yoon Maeng, "Alamouti MIMO-OFDM-based analysis in the vertical channel of the underwater communication", *Journal of the Korea Academia-Industrial cooperation Society*, vol. 16, no. 8 pp. 5571-5578, 2015.
DOI: [10.5762/KAIS.2015.16.8.5571](https://doi.org/10.5762/KAIS.2015.16.8.5571)
- [4] The Acoustic Communications Group at WHOI, <http://acomms.whoi.edu> (accessed Mar, 26, 2017).
- [5] Sensing, monitoring and actuating on the Underwater world through a federated Research InfraStructure Extending the Future Internet - SUNRISE, http://fp7-sunrise.eu/Files/OpenCalls/Announcement_Open_Call_2_SUNRISE.pdf (accessed Mar, 26, 2017).
- [6] JAMSTEC, Japan Agency for Marine-Earth Science and Technology, <http://www.jamstec.go.jp/e/> (accessed Mar, 26, 2017).
- [7] Jin-Seon Hoo, Cho-Yong Kap, Im-Tae Ho, Ma-Hyun, Ko-Hak Lim, "Studies on the structure and operating frequency for the underwater base-station based on underwater acoustic communication systems", *Proceedings of Symposium of the Korean Institute of communications and Information Sciences*, pp. 448-449, 2015.
- [8] Akyildiz Ian F, Pompili Dario, Melodia Tommaso, "Underwater acoustic sensor networks: research challenges", *Ad Hoc Networks*, vol. 3, no. 3 pp. 257-279, 2005.
DOI: <https://doi.org/10.1016/j.adhoc.2005.01.004>
- [9] Yong-woo Choi, Jun Hyeok Hwang, Dong Chan Park, Suk Chan Kim, "A Study on a Low Power Underwater Communication Modem", *Journal of the Korean Society of Marine Engineering*, vol. 39, no. 3, pp.268-273, 2015.
DOI: <https://doi.org/10.5916/jkosme.2015.39.3.268>
- [10] Dongsoo Lee, Sangmin Lee, Sung-Joon Park, "DSP-Based Micro-Modem for Underwater Acoustic Communications," *The Journal of The Korean Institute of Communication Sciences*, vol. 39, no. 3, pp. 275-281, 2014.

DOI: <https://doi.org/10.7840/kics.2014.39C.3.275>

- [11] H. Yan, L. Wan, S. Zhou, Z. Shi, J.-H. Cui, J. Huang, and H. Zhou, "DSP based receiver implementation for OFDM acoustic modems," *Physical Commun.*, vol. 5, no. 1, pp. 22-32, Mar. 2012.
DOI: <https://doi.org/10.1016/j.phycom.2011.09.001>
- [12] Vaishnavi, R., Elamaram, V., "Implementation of CIC filter for DUC/DDC", *International Journal of Engineering and Technology*, vol. 5, no. 1, pp. 357-365, 2013.

김 선 희(Sunhee Kim)

[정회원]



- 2002년 2월 : 이화여자대학교 정보통신학과 (공학석사)
- 2002년 2월 ~ 2005년 2월 : 전자통신연구원 연구원
- 2005년 3월 ~ 2012년 5월 : 전자부품연구원 선임연구원
- 2016년 2월 : 이화여자대학교 전자공학과 (공학박사)

- 2016년 4월 ~ 2016년 8월 : 서울아산병원 의생명연구소 박사후연구원
- 2016년 9월 ~ 현재 : 상명대학교 시스템반도체공학과 조교수

<관심분야>

무선 통신 SoC, 수중 통신