

3채널 지연선을 가진 디지털주파수판별기의 설계에 관한 연구

김승우*, 최재인, 진희철
국방기술품질원

A Study on the Design of Digital Frequency Discriminator with 3-Channel Delay Lines

Seung-Woo Kim*, Jae-In Choi, Hui-cheol Chin
Defense Agency for Technology and Quality

요약 본 논문에서는 전자전장비에 사용할 수 있는 주파수 분석의 정확도가 높으면서 소형화된 디지털주파수판별기 설계방안을 제안하였다. 전자전 장비는 레이더 신호로부터 주파수, 펄스폭, 펄스도착시간, 신호세기, 도달 방향각, 펄스 내 신호변조 등의 정보를 분석할 수 있어야 한다. 전자전장비는 레이더의 매우 좁은 펄스(100ns 이하) 신호를 분석 할 수 있어야 한다. 따라서 전자전장비는 특별한 형태의 수신기 구조가 필요하며, 주파수 측정을 위하여 순시주파수측정방식 구조의 설계가 일반적으로 사용된다. 이 중 대표적으로 사용되는 방식이 디지털주파수판별기다. 기존 디지털주파수판별기는 회로 소자가 개별 부품으로 구성되어 부피와 중량이 크며, 고가인 단점이 있다. 이러한 단점을 보완하기 위해, 기존의 디지털주파수판별기는 4개의 지연선(1λ, 4λ, 16λ, 64λ)을 사용하는 반면, 제안한 디지털주파수판별기는 3개의 지연선(1λ, 4λ, 16λ)을 사용하였으며, 국내에서도 비약적인 발전을 하고 있는 마이크로 집적회로 기법으로 설계하였다. 주파수 정확도를 향상하기 위한 방법으로 신호세기 검출과 온도보정을 실시하였다. 제안한 디지털주파수판별기는 실험결과 1.5MHz 이하의 높은 주파수정확도를 가지는 것을 확인하였다. 이것은 국외 도입되는 디지털주파수판별기보다 우수한 성능을 가진다고 볼 수 있다.

Abstract In this paper, we propose a DFD (Digital Frequency Discriminator) design that has better frequency discrimination and a smaller size. Electronic warfare equipment can analyze different types of radar signal such as those based on Frequency, Pulse Width, Time Of Arrival, Pulse Amplitude, Angle Of Arrival and Modulation On Pulse. In order for electronic warfare equipment to analyze radar signals with a narrow pulse width (less than 100ns), they need to have a special receiver structure called IFM (Instantaneous Frequency Measurement). The DFD (Digital Frequency Discriminator) is usually used for the IFM. Because the existing DFDs are composed of separate circuit devices, they are bulky, heavy, and expensive. To remedy these shortcomings, we use a three delay line (1λ, 4λ, 16λ) in the DFD, instead of the four delay line (1λ, 4λ, 16λ, 64λ) generally used in the existing DFDs, and apply the microwave integrated circuit method. To enhance the frequency discrimination, we detect the pulse amplitude and perform temperature correction. The proposed DFD has a frequency discrimination error of less than 1.5MHz, affording it better performance than imported DFDs.

Keywords : Electronic INTelligence, Frequency Discriminator, Integrated Circuit, Modulation, Power Amplitude

1. 서론

정보전으로 표현되는 현대 전자전에서 신호정보 (SIGINT : SIGnal INTelligence)의 분석은 매우 중요한

부분이다. 신호정보는 전자정보(ELINT:Electronic INTelligence)와 통신정보(COMINT : COMMunication INTelligence)로 분리되며, 전자정보는 레이더 신호를 측정하고 분석하여 무기체계의 특성을 파악하는데 이용된다. 전자전

*Corresponding Author : Seung-Woo Kim (Defense Agency for Technology and Quality)

Tel: +82-54-469-6522 email: swkim@dtaq.re.kr

Received February 9, 2017

Revised (1st February 27, 2017, 2nd March 16, 2017)

Accepted June 9, 2017

Published June 30, 2017

장비는 레이더 신호의 정보를 분석할 수 있어야 하며, 특히 주파수, 펄스폭, 펄스도착시간, 신호세기, 도달 방위각, 펄스 내 신호변조 등을 분석하여야 한다. 다중 펄스의 획득이 요구되는 전자전장비는 매우 좁은(100ns 이하) 펄스폭을 가진 레이더 신호를 측정하여야 한다. 따라서 주파수 정보와 펄스 내 신호변조 정보를 획득하기 위하여 전자전장비는 특별한 형태의 수신기 구조가 필요하며, 주파수 측정을 위하여 순시주파수측정방식(IFM : Instantaneous Frequency Measurement) 구조의 설계가 일반적으로 사용된다. 이 중 대표적으로 사용되는 방식이 디지털주파수판별기(DFD: Digital Frequency Discriminator)이다[1].

전자전장비의 핵심 부품인 디지털주파수판별기는 선진국의 엄격한 기술통제 품목으로 기술적 접근이 어렵다. 또한 기존 미국의 디지털주파수판별기 제품의 경우 소자가 개별부품으로 구성되어 부피와 중량이 크며, 주파수 정확도 및 펄스 압축 기법의 검출 성능이 우수하지 못하였다[2].

본 논문에서는 소형화되고 작은 크기로 높은 정확도를 가지는 3채널 지연선을 가진 디지털주파수판별기를 설계하고 구현하였다. 설계된 디지털주파수판별기는 신호세기를 구분하여 노이즈 신호로 인한 신호 탐지에러를 예방할 수 있으며, 온도보정과 주파수 보정 기능을 추가하여 높은 정확도를 가질 수 있도록 설계하였다. 또한 PMOP(Phase Modulation On Pulse)과 FMOP(Frequency Modulation On Pulse) 수신신호를 검출할 수 있는 기능을 삽입하여 효율성을 높였으며, 국외 도입되는 디지털주파수판별기보다 우수한 성능을 가질 수 있도록 하였다.

2. 기술동향 및 이론적 분석

본 장에서는 주파수 측정기의 기술동향과 이론적 배경을 기술하였다.

2.1 주파수 판별기의 기술동향

주로 사용되는 주파수 측정기 방식은 슈퍼헷 방식 위그 튜너(YIG tuner)구조의 주파수 계수기(frequency counter)와 슈퍼헷 방식으로 입력 신호를 하향 변환하여 FFT(Fast Fourier Transform)를 수행하는 FFT 수신기가

있다. 또한 순시주파수 측정을 위한 디지털주파수판별기 방식이 있다[3]. 주파수측정기 구현 방법에 따른 주요 특성을 Table. 1에 비교 하였다.

주파수계수기형의 경우 측정되는 주파수정확도는 상당히 뛰어나지만 상대적으로 주파수 측정시간이 오래 소요되어 일반적으로 계측기 부분에 많이 사용된다. FFT 수신기는 주파수계수기에 비해 측정 정확도는 다소 떨어지지만 주파수 측정시간이 빨라 군사용 장비에 일부 적용되는 방식이다. 최근 다양한 무기체계가 개발되고 있으며, 이러한 무기체계에 신속한 대응을 위해 직접변환 방식의 주파수측정기의 필요성이 증가하고 있다[4].

Table 1. Frequency measurement equipment[3]

| Division | Frequency Counter | FFT receiver | DFD |
|-------------------------|----------------------|---------------------------------|------------------------------|
| Method | down-conversion | down-conversion | IFM |
| Measurement velocity | dozens[ms] | several hundred[us]~several[ms] | with in 500[ns] |
| Measurement Pulse width | CW | several[ms] ~ CW | 100 [ns]~CW |
| Accuracy | with in 100 [Hz] | with in 50 [kHz] | 3[MHz] |
| Application | Measuring Instrument | Communication ES equipment | Electronic Warfare equipment |
| Size | Large | Midium | Small |

직접변환방식은 수신된 고주파를 별도의 주파수 변환 없이 직접 기저대역(baseband) I/Q 신호로 변환하여 측정하는 방식으로 앞서 2가지 방식에 비해 측정속도가 상당히 개선된 방식으로 다채널 지연라인을 경유하는 고주파신호가 주파수에 따라 위상이 바뀌는 원리를 이용하여 고속 주파수를 측정하는 방법이다.

2.2 국·내외 기술적 동향

디지털주파수판별기의 경우 영국의 FILTRONIC, 미국의 ANAREN, AKON, 남아공의 AVITRONIX 등 다수의 회사가 있으며, 발전된 초고주파 집적회로 기술을 적용하여 위상 코릴레이터의 초소형화 및 ASIC을 적용한 digitizer를 개발하여 제품에 적용하고 있다[5]. 이것은 미국과 유럽의 방대한 방위산업 시장규모로 인하여 많은 수요와 다양한 형태의 제품이 요구되고, 투자가 일

찍부터 이루어져 가능하였다고 판단된다.

반면 국내에서 주파수측정장치에 대한 연구 및 개발 실적은 미비한 실정이며, 1990년 초반 아날로그 순시주파수측정 수신방식을 적용한 주파수측정기 개발이 시작되었다. 당시 국내의 취약한 초고주파부품 기술기반 영향으로 사용되는 부품을 전량 수입하였으며, 고주파회로의 집적화 기술이 적용되지 않아 개별소자를 사용함에 따라 가격, 부피, 무게가 현 시점의 외국사 제품과 비교할 때 큰 차이가 있었다. 이후 2000년 초반부터 디지털 방식의 주파수측정기개발이 활성화되기 시작하였다. 주파수측정기를 구성하고 있는 주요부품을 대부분 수입에 의존하고 있는 실정으로 이로 인해 완성품 크기가 상대적으로 클 수밖에 없고 부품의 해외 의존도가 높아 완전한 기술자립이 이루어지지 않고 있다[6].

2.3 이론적 배경

전파의 위상차를 측정하여 전파의 주파수를 측정하는 디지털주파수판별기는 지연소자를 통과한 신호의 위상이 주파수에 따라 변화하는 원리를 이용한다. 입력되는 RF신호는 전력분배기를 이용하여 분리하고 동일한 길이의 케이블을 적용하여 위상 차이를 측정하면 주파수 변화에 관계없이 위상차는 항상 “0”을 출력하게 된다. 반면에 분리된 신호 중 하나의 라인에 지연선을 삽입하고 두신호의 위상차를 측정하면 식 (1)과 같은 위상 차이를 나타내게 된다.

$$RF_{ref} = A \cos(\omega t + \phi_0) \quad (1)$$

$$RF_{delay} = A \cos(\omega(t + \tau) + \phi_0)$$

$$\Rightarrow \phi = \omega \cdot \tau = 2\pi \cdot \text{Freq} \cdot \tau$$

이 원리를 이용하면 지연선을 통한 위상 차이를 측정하여 입력되는 신호의 주파수를 측정할 수 있다. 지연선의 길이가 측정하고자 하는 주파수 대역에서 2π 이내에 존재한다면 측정된 위상 차이를 이용하여 주파수를 측정할 수 있다. 하지만 측정하고자 하는 장치의 대역폭이 넓은 경우 측정되는 주파수의 정확도와 해상도가 낮아 지연선의 길이를 증가시킬 필요가 있다. 지연선의 길이를 증가시켜 Fig. 1에서와 같이 4개의 파장이 존재한다면 해상도는 증가하나 동일한 위상 값이 다수 존재하여 모호성 문제가 발생된다. 4λ 지연선에서 발생하는 모호성

은 1 λ 에서 측정된 데이터를 이용하여 4 λ 에서의 가장 근접한 주파수를 선택하는 방법을 통해 해결할 수 있다.

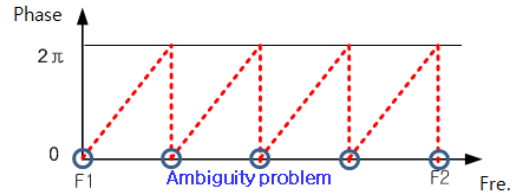


Fig. 1. Ambiguity problem depend on increase of delay line length

주파수산출은 다채널 지연소자에서 측정된 위상으로 부터 연산한다. 다채널 위상지연 소자는 3~8채널로 구성되며 위상지연이 가장 큰 채널을 이용하여 주파수 정확도를 추출하고 길이가 순차적으로 줄어드는 각 채널의 위상을 이용하여 모호성을 해결한다. 주파수측정기의 핵심회로는 Fig. 2와 같이 지연소자, 코릴레이터, 연산회로 등으로 구성된다.

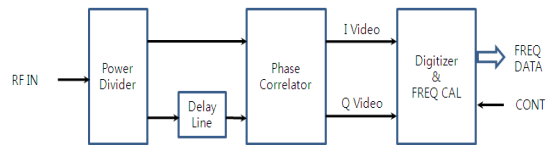


Fig. 2. Digital frequency discriminator block diagram

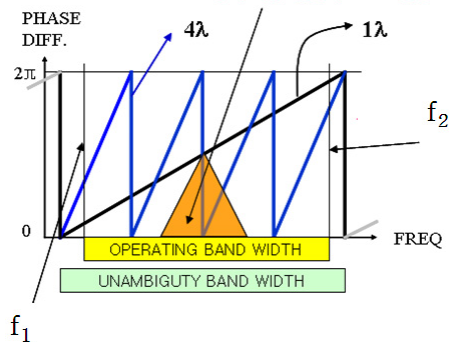


Fig. 3. Setting delay line of digital frequency discriminator

지연선을 통한 모호성 해결 및 정확도 산출 개념은 Fig. 3과 같이 나타낼 수 있다[7-8]. 디지털주파수판별기의 지연선을 선정할 때 모호성 구간의 대역폭을 고려해서 실제 사용 대역폭 보다 조금 크게 선정해야함을 알 수 있다.

3. 디지털주파수판별기의 설계 및 구현

본 장에서는 주파수 측정기의 중점 설계 부분과 구현 방안에 대하여 기술한다.

3.1 설계 개요

광대역 디지털주파수판별기의 설계는 2장의 이론적 배경에서와 같이 90°와 180° 하이브리드를 복합적으로 이용한 하이브리드 방식과 90° 하이브리드와 mixer를 이용한 mixer 방식이 있다. 본 논문에서는 하이브리드 방식 적용 시 실용화 하는데 어려움이 있어, I/Q mixer 방식의 구조로 설계하였으며 구성방식은 Fig. 4와 같다 [9-10].

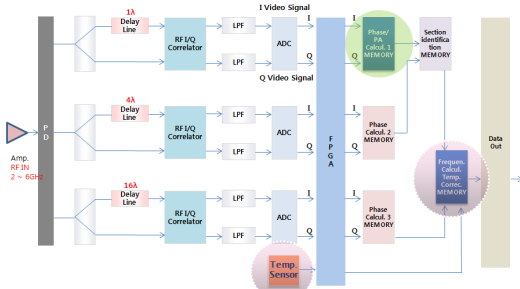


Fig. 4. DFD block diagram

3.2 핵심 구성품 설계

디지털주파수판별기는 RF 모듈과 디지털 모듈로 구성되며 RF 모듈은 RF 입력부와 코릴레이터부로 구성되고, 디지털 모듈은 위상 연산부와 주파수 연산부로 구성된다.

RF 입력부는 RF amp, divider 및 지연선으로 구성되며, 광대역 RF 입력 신호를 증폭한 후 두 개의 divider를 통해 채널별로 신호를 분리하여 지연 경로 및 직접 경로로 전송해 주는 역할을 한다. 코릴레이터부는 I, Q 코릴레이터 및 LPF로 구성되며 입력신호의 위상차를 I, Q 비디오 신호로 변환하는 역할을 한다. 위상연산부는 ADC, FPGA, 위상연산 메모리(flash type)로 구성되며 입력 I, Q 비디오 신호를 디지털 신호로 변환하여 위상연산을 수행한다. 주파수 연산부는 구간 판별 메모리, I/O 출력 제어 모듈로 구성되며 각 채널의 위상 연산결과를 이용하여 주파수를 출력한다. 주요 핵심 구성품에 대한 설계 방안은 다음과 같다.

3.2.1 RF 모듈

RF 모듈은 3-way divider, 2-way divider, amplifier, 90° coupler, mixer, LPF 및 지연선으로 구성된다. 광대역 코릴레이터는 디지털주파수판별기의 핵심 구성품이다. 코릴레이터는 지연선에 의해 발생하는 주파수별 위상변화량을 검출하기 위해 입력된 초고주파신호를 I와 Q의 아날로그 비디오 신호로 변환하는 기능을 수행한다. RF 모듈은 1λ, 4λ, 16λ의 3채널에 대해 I/Q mixer 방식으로 구현하였다. amplifier와 mixer를 제외한 부품들은 스트립라인으로 설계하여 부피와 무게를 줄였다.

3-way divider와 2-way divider는 마이크로스트립 형태로 설계하였다. 또한 분배과정에서의 손실을 상쇄하고 충분한 이득을 얻도록 3-way divider의 전·후단에 4개의 증폭기를 사용하였으며 최대 입력레벨을 고려하여 증폭기를 설계하였다. Correlator는 고주파신호를 합성하여 동위상 신호(in-phase)와 그 신호가 90° 천이된 신호(quad-phase)를 출력한다. 출력된 I 및 Q 비디오 신호는 고조파 신호를 제거하기 위해 LPF와 연결된다. RF 모듈의 block diagram은 Fig. 5와 같다.

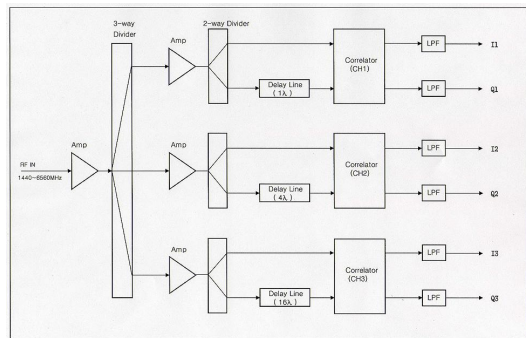


Fig. 5. RF module block diagram

코릴레이터 블록은 RF 성분과 local 성분의 고주파 신호를 입력받아 두 신호를 합성하여 동위상 신호인 I 비디오 및 90° 천이된 Q 비디오 신호를 출력한다. 코릴레이터는 mixer 2개와 인쇄회로기판에 strip line으로 설계된 2-way divider, 90° coupler로 구성된다. 2-way divider는 외부에서 입력되는 RF 신호를 분배하여 2개의 balanced mixer의 RF 입력포트로 전송하며, 3dB 90° coupler는 외부에서 입력되는 local 신호를 동위상 신호와 90° 천이된 신호로 분리하여 2개의 balanced mixer의 local 입력포트로 전송한다. 그리고 2개의

balanced mixer에서는 RF 및 local 신호, 90° 천이된 local 신호를 합성하여 I, Q 비디오 신호를 출력한다. 2-way divider와 90° coupler는 마이크로스트립 형태로 설계하였다.

RF 모듈에서 가장 많은 공정이 필요한 핵심부분인 3 채널 지연선의 길이는 설계 주파수 파장을 기준으로 1λ, 4λ, 16λ로 하였다. 1:4 비율을 기준으로 모호성이 발생하지 않는 채널별 위상 허용오차는 최대 ±45° (= ±180/4)이며, 16λ 지연선을 이용하여 최소 5120 MHz 대역폭을 표현해야 하므로 위상 1°당 주파수 오차는 다음과 같이 계산할 수 있다.

$$\text{- 위상 } 1^\circ\text{당 주파수 오차 : } 5120\text{MHz} \div 16\lambda \div 360^\circ = 0.8888 \text{ MHz}$$

디지털주파수판별기(2.0GHz ~ 6.0GHz)을 1λ, 4λ, 16λ로 설계할 경우 주파수 판별 알고리즘과 bandwidth 설정을 표현하면 Fig. 6과 같다.

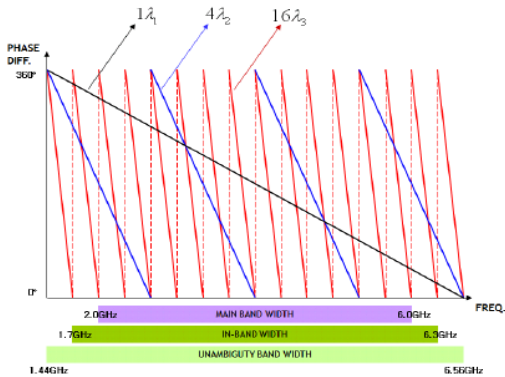


Fig. 6. Phase variation with changing delay line length

실제 주파수 정확도를 결정 하는 것은 가장 긴 지연선이다. 나머지 지연선은 구간을 판단하기 위한 용도로 사용되며 최대 허용 오차를 판단하는 기준으로 사용된다. 디지털주파수판별기의 지연선 길이 결정은 식 (2)와 같이 정의할 수 있다.

$$f_U - f_L = 5120\text{MHz}, f_U = n \times f_L \quad (2)$$

즉 최대 주파수가 최저 주파수의 정수배가 될 때 설계가 용이하며, 이에 따라 각 지연선 길이에 다른 구간 판단을 위한 오차 허용범위는 식 (3)과 같이 정의할 수 있다.

$$\pm \Delta\phi = \frac{360}{\lambda_2/\lambda_1} / 2$$

$$\pm \Delta\phi = \pm 45^\circ, \lambda_2/\lambda_1 = 4 \quad (3)$$

식 (3)은 지연선 길이에 따라 구간 판단을 위한 위상 허용 오차를 나타낸 식이다. 만약 1λ, 4λ, 16λ의 3단계로 구성할 경우 1:4:16의 지연선 길이에 대하여 각각 1:4에서 4배, 4:16에서 4배의 차이가 나게 된다. 이를 통해 최대 지연선의 구간 판별 에러 방지를 위한 위상오차 최대 허용범위는 360/4=90도 즉 ±45도이며, 만약 1:5:30으로 설계할 경우 1λ와 5λ 사이에서는 ±36, 5λ와 30λ 사이에서는 ±30도 이내의 위상오차가 발생하면 정상적인 사용이 가능하다.

이론상으로는 설계 주파수를 1λ로 하는 지연선의 길이로 결정하면 된다. 그러나 이론적으로 1λ의 위상을 측정기로 정확히 측정하여 지연선을 제작하더라도 실제 지연선 길이가 긴 것처럼 데이터가 분석된다. 이는 지연선 길이에 더하여 RF 입력부 및 코릴레이터부의 소자 특성이 같이 적용되기 때문으로 판단된다. 따라서 실제 A/D 데이터를 수집하여 1λ의 길이를 결정하는 과정이 필요하다. 1λ의 길이는 설계 주파수보다 약간 짧게 설계를 해야 한다. 즉 1λ가 아닌 0.85λ 정도가 측정 되도록 설정해야 한다. 너무 긴 경우 모호한 구간이 발생하기 때문에 오히려 사용이 불가능하며, 너무 짧을 경우 해상도가 낮아지게 된다. 마찬가지로 이유로 4λ, 16λ도 약간 짧게 지연선 길이가 결정 되어야 한다. 설계한 지연선의 형상은 Fig. 7과 같고 특성은 아래와 같다.

- 제작길이 : 1λ, 4λ, 16λ (설계 주파수 기준)
- 위상오차 : 10 deg. max.(16λ 지연선 기준)
- 온도별 위상오차 : 40 deg. max.(16λ 기준)
- 케이블 외경 : 0.047
- 입력 VSWR : 1.5:1 max.

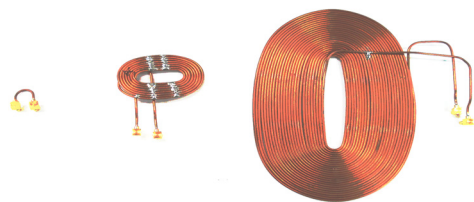


Fig. 7. Shape of delay line(example)

3.2.2 디지털 모듈

디지털주파수판별기 내 디지털 모듈은 ADC부와 FPGA부, flash 메모리부로 구성된다. 여기서 ADC부는 RF 모듈의 코릴레이터 I,Q비디오 출력을 디지털로 변환하는 역할을 하며, TI 사의 8bit ADC를 이용하여 구현하였다. FPGA부는 ADC 인터페이스 및 주파수 연산을 위한 flash 메모리 인터페이스로직으로 구현하였으며, Altera사의 Cyclone II Device를 이용하여 설계하였다. Flash 메모리부는 각 채널에 대한 위상 및 주파수 연산을 수행하며, Spansion사의 8 Mbyte flash 메모리를 이용하여 구현하였다.

3.3 주파수 정확도 향상 기법 설계

본 논문에서 설계한 디지털주파수판별기는 사용되는 대역이 넓은 관계로 내부에 사용되는 부품의 LOT별 특성 및 온도변화에 따른 특성 변화가 일정부분 발생하게 된다. 이러한 부품의 이득이나 위상 편차를 정교하게 보정해 줄 필요성이 있다. 본 장에서는 다양한 주파수 정확도 향상의 방법들을 제안하였다.

3.3.1 주파수 특성 보정

주파수 특성 보정은 광대역 주파수 특성을 보정하는 방안이므로 주파수에 따른 특성을 파악하기 위하여 각 채널에서 1,280[MHz]~ 6,400[MHz]까지 1[MHz] 단위로 I/Q 데이터를 측정한다. 측정된 I/Q 데이터에 offset 값을 보정을 위해 해당 주파수의 ideal phase와 비교 및 보정데이터를 생성한다. 측정 데이터의 offset 보정 및 polynomial fitting 그래프는 Fig. 8과 같다.

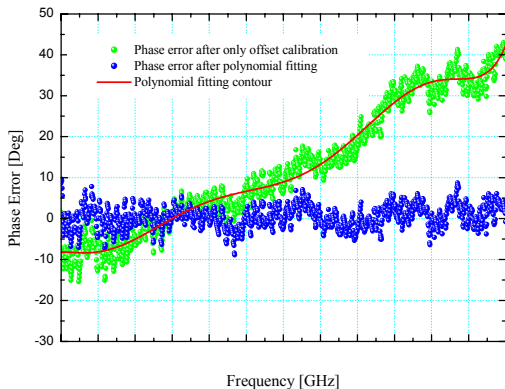


Fig. 8. Offset compensation for measured data

3.3.2 온도 특성 보정

디지털주파수판별기에 소요되는 코릴레이터 내부 부품의 온도변화에 따른 위상 특성 변화와 지연선(MICRO COAX사의 UT85-AL-TP-LL)이 온도변화에 따른 위상 특성 변화에 의해 저온 및 고온에서 주파수 측정 오차가 증가한다. 따라서 온도가 변화되어도 주파수 측정 정확도가 항상 일정한 성능을 갖기 위해 별도의 보정이 필요하다.

디지털주파수판별기 지연선의 온도 및 주파수의 특성은 Fig. 9 그래프에 나타내며, -20도이하와 80도 이상에서 오차가 많이 발생한다.

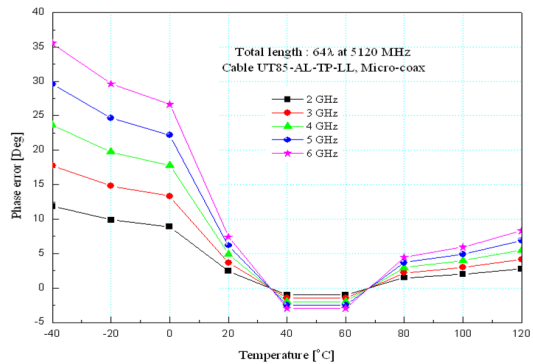


Fig. 9. The characteristics of delay line

저온(-40도, -20도, 0도), 상온(25도), 고온(40도, 80도)에 대해 주파수 별로 주파수 오차를 측정하였으며, 저온에서 측정 오차가 많이 발생함을 알 수 있다. 온도에 따른 주파수 측정 오차 값은 주파수 연산판의 온도보정 메모리 블록에 각 온도별로 보정 데이터를 장입하여 온도 센서 입력 값에 따른 상수 보정을 하도록 구현하였다.

온도 보정 후 저온과 고온에서 주파수 정확도를 측정 한 결과 아래 Fig. 10과 같이 주파수 정확도가 개선되었음을 알 수 있다. 전체 RMS 오차는 보정 전 3.50MHz에서 보정 후 1.25MHz로 개선됨을 확인하였다.

| Division | -40°C | | -20°C | | 0°C | | 25°C | | 40°C | | 85°C | |
|-----------|--------------------|-------------------|--------------------|-------------------|--------------------|-------------------|--------------------|-------------------|--------------------|-------------------|--------------------|-------------------|
| | Error [MHz] Before | Error [MHz] After | Error [MHz] Before | Error [MHz] After | Error [MHz] Before | Error [MHz] After | Error [MHz] Before | Error [MHz] After | Error [MHz] Before | Error [MHz] After | Error [MHz] Before | Error [MHz] After |
| 2 | -11.5 | -3.7 | -9 | -3.6 | -5 | -2.5 | 0 | 0 | 0.8 | 0 | 0 | 0 |
| 2.5 | -9.4 | -1.6 | -7 | -1.6 | -3.5 | -1 | 0.3 | 0.3 | 0.8 | 0 | 0.3 | 0.3 |
| 3 | -9.5 | -1.7 | -8 | -2.6 | -3.5 | -1 | 0.3 | 0.3 | 0.8 | 0 | 0.3 | 0.3 |
| 3.5 | -8.9 | -1.1 | -6.5 | -1.1 | -3.5 | -1 | 0.3 | 0.3 | 0.8 | 0 | 0.3 | 0.3 |
| 4 | -8.1 | -0.3 | -6.5 | -1.1 | -3.5 | -1 | -1.2 | -1.2 | -0.2 | -1 | -1.1 | -1.1 |
| 4.5 | -8.7 | -0.9 | -4.5 | 0.9 | -2.5 | 0 | -0.7 | -0.7 | -0.2 | -1 | -0.9 | -0.9 |
| 5 | -7.6 | 0.2 | -4.5 | 0.9 | -2.5 | 0 | 0.3 | 0.3 | 0.8 | 0 | 0.3 | 0.3 |
| 5.5 | -6.9 | 0.9 | -4.5 | 0.9 | -2.5 | 0 | 0.3 | 0.3 | 0.8 | 0 | 0.3 | 0.3 |
| 6 | -5 | 2.8 | -2.5 | 2.9 | 0 | 2.5 | 0.3 | 0.3 | 0.8 | 0 | 0.3 | 0.3 |
| RMS Error | 8.57 | 1.82 | 6.20 | 1.99 | 3.21 | 1.35 | 0.52 | 0.52 | 0.71 | 0.47 | 0.53 | 0.53 |

Fig. 10. Improving frequency measurement accuracy by temp. compensation

3.3.3 신호세기 검출로 정확도 향상

디지털주파수판별기를 사용하는 시스템 입장에서 주변 전파환경 또는 디지털주파수판별기를 제외한 시스템 내부 부품의 고장으로 인한 측정된 주파수 정보가 타당하지 여부를 사전에 알 수 있다면 시스템 운영 측면에서 오분석에 의한 적 오탐지 확률을 줄일 수 있다. 일반적인 전자전 및 레이더 시스템에서는 이러한 디지털주파수판별기의 안정적인 동작을 위하여 디지털주파수판별기로 입력되는 RF신호를 충분히 크게 만들어 주는데 이러한 역할을 전력제한증폭기가 수행하게 된다. 전력제한증폭기의 특성 저하나 주변에 강한 noise 신호원이 존재할 경우에는 디지털주파수판별기의 정확도가 나빠지게 된다. 디지털주파수판별기로 입력되는 입력 power 레벨에 따른 디지털주파수판별기의 주파수 측정 정확도를 Fig. 11에서 보여준다. 입력 power가 낮으면 주파수 측정 정확도가 저하됨을 확인할 수 있다. 디지털주파수판별기에서는 주파수 정보를 측정하기 위해 I/Q신호를 이용하여 측정하게 되는데 입력되는 신호세기별로 I/Q VIDEO 값의 범위가 달라지는 점을 이용하여 신호세기를 검출할 수 있다.

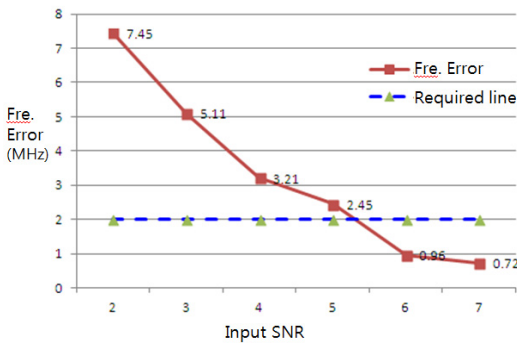


Fig. 11. Frequency accuracy with input power

4. 실험 및 고찰

디지털주파수판별기의 세부성능인 동작주파수 범위, 주파수 정확도, 입력 최소 펄스폭, 입력신호세기 및 소모 전력을 측정하기 위한 시험 구성은 Fig. 12와 같다. RF 신호발생기로부터 신호원을 생성하여 디지털주파수판별기로 주입시키고 디지털주파수판별기 동작제어를 위해 전용 시험치구를 제작했다. 전용 시험치구에 제어 PC를

연결하여 측정된 결과 data를 분석할 수 있다.

전용 시험치구는 디지털주파수판별기 치구, 위상모의기, A/D 처리판으로 구성하였다. 여기서 디지털주파수판별기 치구는 제어 PC를 통해 디지털주파수판별기 제어를 위한 interface 기능(RS-232 신호 입력을 로컬 버스 신호로 변환)을 한다. 제작된 디지털주파수판별기의 주파수정확도를 측정된 결과는 Fig. 13이며 주파수 오차는 1.16MHz RMS를 가지는 것으로 측정되었다.

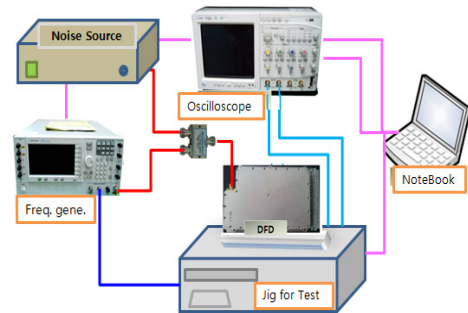


Fig. 12. Configure the frequency measurement performance test

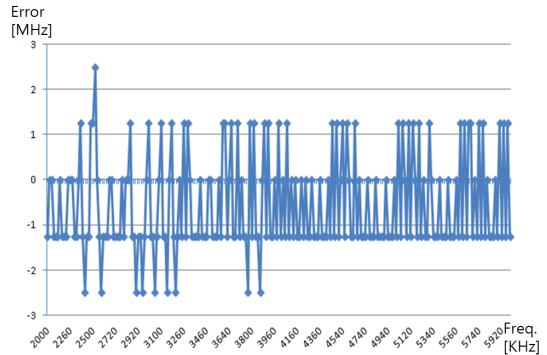


Fig. 13. Measurement of frequency accuracy

설계된 디지털주파수판별기와 기존(미국 A사) 디지털주파수판별기 주요 성능 지표를 비교한 결과는 Table 2와 같으며, 주파수 정확도 측면에서 성능이 개선되었음을 알 수 있다. 주파수 범위 및 대역폭은 동일한 상태로 설계하였으며, 정확도는 3MHz에서 1.5MHz로 개선되었음을 알 수 있다.

Table 2. DFD performance comparison

| Division | existing DFD | Designed DFD |
|----------------|---------------|----------------|
| Fre. Range | 2-6[GHz] | 2-6[GHz] |
| Band Width | 5120[MHz] | 5120[MHz] |
| accuracy (RMS) | CW | With in 3MHz |
| | Pulse(min) | With in 1.5MHz |
| Resolution | 12 bit binary | 12 bit binary |
| VSWR | With in 2:1 | With in 2:1 |
| Size[mm] | 228*178*32 | 200*150*25 |

5. 결론

기존 디지털주파수판별기는 회로 소자가 개별부품으로 구성되어 부피와 중량이 크며, 고가인 단점이 있다. 본 논문에서 제안한 디지털주파수판별기는 설계를 위해 1λ, 4λ, 16λ의 지연선을 사용하였고, 국내에서도 비약적인 발전을 하고 있는 MIC(Microwave Integrated Circuit) 기법을 적용하였으며, 주파수 연산회로에 고집적회로소자를 적용하여 소형화 및 경량화로 설계하였다. 주파수 정확도 향상 기법으로 신호세기 검출 방법과 온도보정을 실시하였다. 첫째 신호세기 검출은 전력제한증폭기의 특성저하나 주변에 강한 노이즈 신호원이 있을 때 디지털주파수판별기의 주파수 정확도가 낮아지므로, 입력되는 신호세기별로 I, Q VIDEO값의 범위의 유효영역을 설정해서 신호의 세기에 따른 주파수 측정값의 신뢰성을 높일 수 있도록 하였다.

둘째 온도의 변화에 따라 지연선의 위상특성이 변화되고 이것이 주파수 정확도에 영향을 주므로 -40℃~80℃에서 지연선의 위상변화 특성을 보상할 수 있는 회로를 구현하여 주파수 정확도를 향상시켰다.

설계된 디지털주파수판별기의 주파수 정확도는 기존 3MHz RMS에서 1.5MHz RMS로 향상되었으며, 정재파비는 1.89:1에서 1.35:1로 향상되었다. 향후 순시주파수 측정이 필요한 장비의 개발시 본 논문을 참고할 수 있을 것으로 기대한다.

References

- [1] L. O. Eber, H. H. Soule, "Digital Generation of Wideband IFM Waveforms", *IEEE Int. Radar Conf.*, pp. 170-175, 1975.
DOI: <https://doi.org/10.1049/cp.2013.0383>
- [2] Wide Band System, Inc. "Digital frequency discriminator", *Techanical Product Bulletin*, No. 104, 1999.

- [3] C. H. Guk, "A study on implementation of Digital Frequency Discriminator using 4 channel delay line", *Ajou University*, 2009.
- [4] J. B. Y. Tsui, "Instantaneous frequency measurement receiver with digital processing", *U. S. Patent 4633516*, Dec. 30, 1986.
- [5] Anaren, Inc. EW Products: Anaren IFM List, Available Form : <https://www.anaren.com/products/ew-products> (accessed Feb., 27, 2017)
- [6] C. Y. Kim, et al, "The Quality Report on Initial Mass Product Phase for KUH-1 Surion", *Defense Agency of Technology and Quality*, pp. 168-191, Apr. 2014.
- [7] AK Singh, Subba Rao, "Detection, Identification & Classification of Intra Pulse Modulated LPI Radar Signal using Digital Receiver", *IJETAE*, 2012.
- [8] J. B. Y. Tsui, "Microwave Receivers With Electronic Warfare Applications", *Florida, Krieger Publishing Co.*, pp. 183-188, 1992.
- [9] Richard Wiegand, "Radar Electronic Counter -measures System Design", *Artech House*, 1991.
- [10] James Tsui, "Microwave Receivers with Electronic Warfare Applications", *John Wiley & Sons*, 1986.

김 승 우 (Seung-Woo Kim)

[정회원]



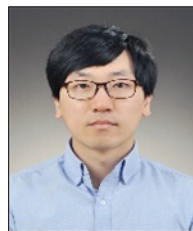
- 2003년 2월 : 부산대학교 전자공학 학과 (전자공학석사)
- 2013년 8월 : 부산대학교 전자공학 학과 (전자공학박사)
- 2003년 4월 ~ 현재 : 국방기술품질원 선임연구원

<관심분야>

안테나, 전자전장비, 신뢰성공학

최 재 인 (Jae-In Choi)

[정회원]



- 2008년 2월 : 경북대학교 전자공학 학과 (공학석사)
- 2015년 2월 : 경북대학교 전자공학 학과 (공학박사)
- 2015년 9월 ~ 현재 : 국방기술품질원 선임연구원

<관심분야>

정보통신, 전자전장비

진 희 철(Hui-cheol Chin)

[정회원]



- 2008년 2월 : 부산대학교 전자전기통신공학전공 (학사)
- 2014년 2월 : 포항공과대학교 전자전기공학부 (전자장 및 초고주파 박사)
- 2014년 8월 ~ 현재 : 국방기술품절원 선임연구원

<관심분야>

전자파 수치해석, RCS, EMP, 안테나, 전자전장비