

에스터리스크(*) 배열구조 기반 전력저감 수배전반

김미숙, 박동삼*
인천대학교 대학원 기계공학과

Asterisk(*) Array structure based power reduction power distribution board

Mi-Suk Kim, Dong-Sam Park*

Department of Mechanical Engineering, Incheon National University

요약 오늘날 전력수요 급증에 따른 전력소비량이 증가하고 있어 전력손실을 줄일 수 있는 에너지 저감을 위한 설계 또는 설비 대체로 전력의 고품질화가 필요하다. 배전반이란 한전의 발전설비로부터 전기를 공급받아 각 건물에 필요한 설비에 계통별 또는 용도별로 나누어 주는 기계장치이다. 배전반은 일반적으로 외함, 개폐기, 전력용 도체, 제어부분으로 구성된다. 본 연구는 배전반내의 메인 요소인 통전을 위한 전력용 도체에 관한 것이다. 실효교류저항 측정시험을 통해 기존방식 판상도체의 수직 배열구조가 비효율적 구조임을 입증해 본다. 실효교류저항이 많이 증가하면 표피효과로 인해 상대적으로 도체의 단면적이 커지게 된다. 본 연구는 표피효과를 줄여 실효교류저항을 최소화시키는 에스터리스크(*) 배열구조를 기반으로 설계하여 에너지 절약과 원자재 절감을 연구하였다. 본 연구의 핵심기술 원리는 에스터리스크 배열구조를 적용하여 도체저항 감소기술 기반 에너지 절감 수배전반이다. 수배전반의 교류전력 공급용 판상도체 각각(rst 또는 abc)의 상에서 발생한 자기장이 상호작용으로 상쇄 소멸될 수 있도록 한 판상도체 배열구조에 관한 것으로 효과로는 판상도체에서 유도성 리액턴스의 발생량이 줄어들면서 유효단면적이 증가, 실효교류저항을 줄인다.

Abstract With the increase in power consumption due to the surge in the demand for power, it is necessary to improve the quality or design of the power (supply) for the purpose of reducing the energy consumption and so reduce the power loss. The switchboard is a mechanical device that receives electricity from the electricity generation facilities of KEPCO and divides it into the facilities required for each building. Switchboards generally consist of enclosures, switches, power conductors, and control components.

This study deals with energized power conductors, which constitute the main element in the switchboard. Through the measurement of the effective ac resistance, it was confirmed that the vertical array structure of the conventional type plate conductor is inefficient. If the effective AC resistance increases significantly, the sectional area of the conductor becomes relatively large due to the skin effect. In this study, we studied the energy and material savings that could be obtained using the asterisk (*) array structure, which minimizes the effective ac resistance by reducing the skin effect. The core technology principle of this study is the energy saving switchgear based on conductor resistance reduction technology utilizing the asterisk array structure. The present invention involves a plate-shaped conductor arrangement structure capable of canceling out the magnetic field generated on each of the plate conductors (rst or abc) of the AC power supply in the power distribution panel by mutual action. The effect of this structure is to reduce the amount of inductive reactance due to the increase in the cross-sectional area and reduction of the effective AC resistance.

Keywords : Asterisk, Array structure, Resistance, Reducing, the skin effect

*Corresponding Author : Dong-Sam Park(Incheon National Univ.)

Tel: +82-32-835-8418 email: dspark@inu.ac.kr

Received October 23, 2017

Revised October 31, 2017

Accepted November 3, 2017

Published November 30, 2017

1. 서론

오늘날 전력수요 급증에 따른 전력소비량이 증가하고 있어 전력손실을 줄일 수 있는 에너지 저감을 위한 설계 또는 설비 대체로 전력의 고품질화가 필요하다. 배전반이란 한전의 발전설비로부터 전기를 공급받아 각 건물에 필요한 설비에 계통별 또는 용도별로 나누어 주는 기계 장치이다. 아파트의 경우 한전에서 전기가 인입되면 고압배전반을 거쳐서 저압배전반을 지나서 각동의 지하의 분전반으로 가게 되고 지하의 분전반에서는 각각의 세대에 있는 계량기함으로 가게 되고 계량기함에서 세대분전반으로 가게 되는 것이다. 이러한 분전반에 전원을 공급해주는 것이 배전반이다. 배전반은 일반적으로 외함, 개폐기, 전력용 도체, 제어부분으로 구성된다. 본 연구는 배전반내의 메인 요소인 통전을 위한 전력용 도체에 관한 것이다. 실효교류저항 측정시험을 통해 기존방식 판상도체의 수직 배열구조가 비효율적 구조임을 입증해 본다. 실효교류저항이 많이 증가하면 표피효과로 인해 상대적으로 도체의 단면적이 커지게 된다. 본 연구는 표피효과를 줄여 실효교류저항을 최소화시키는 에스터리스크(*) 배열구조를 기반으로 설계하여 에너지 절약과 원자재 절감을 연구하였다.

2. 본론

2.1 기존 수직형 배열구조

기존방식 수직형 판상도체 배열을 살펴보면 <Fig. 1>과 같이 도체 A1, B1, C1가 수직으로 배열된 구조이고 도체간의 이격거리는 절연지지에자의 크기와 분기도체의 절연거리 등 환경적인 이유로 이격거리가 정해져 있으므로 이격거리가 넓고 도체간에 발생한 자기장이 상쇄될 수 없는 불균형 구조이다.[1]

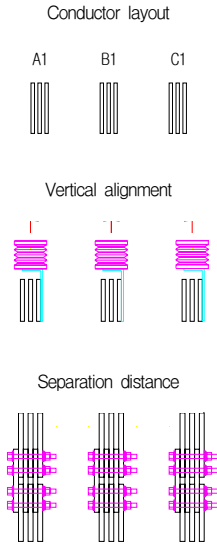


Fig. 1. Vertical plate conductor array

2.2 에스터리스크 배열구조 판상도체 원리

본 연구는 <Fig. 2>와 같이 에스터리스크 구조로 도체를 배치함으로 도체 R, S, T에서 발생한 자기장이 상호작용으로 서로 상쇄 소멸되는 구조이다.[2][3]

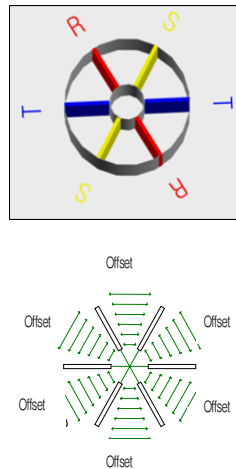


Fig. 2. Asterisk array structure

이를 등가회로로 표현하면 <Fig. 3>와 같다. 에스터리스크 배열구조는 도체 a2, b2, c2에서 발생한 각각의 저항(좌측)이 합성(우측)되는 원리이다.

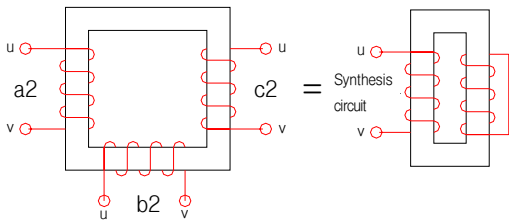


Fig. 3. Reactance Equivalent circuit

본 연구의 핵심기술 원리는 에스터리스크 배열구조를 적용하여 도체저항 감소기술 기반 에너지 절감 수배전반이다. 수배전반의 교류전력 공급용 판상도체 각각(rst 또는 abc)의 상에서 발생한 자기장이 상호작용으로 상쇄소멸될 수 있도록 한 판상도체 배열구조에 관한 것으로 효과로는 판상도체에서 유도성 리액턴스의 발생량이 줄어들면서 유효단면적이 증가, 실효교류저항을 줄인다.(AC 실효전압과 실효전류로 측정된 Resistance)

Bus bar에서 실효교류저항이 증가되는 이유는 표피효과 때문이다. 본 연구는 표피효과를 줄이므로 실효교류저항이 줄어든 원리이다. 즉 표피효과를 줄인다. 표피효과란 도체 외측으로 전자가 분포되어 흐르는 현상이다. (표피효과 정도를 나타내는 방법으로 표피작용 저항비와 유효단면적이 있다.)

도체를 대형형인 에스터리스크로 배열함으로 자기장 상쇄효과가 발생한다. 도체 r s t 상 (a b c) 에서 발생된 자기장이 상호작용으로 상쇄되면 투자율(μ)이 줄어들어 Inductance(L)가 적어진다. 그러므로 Reactance(X)가 줄어든다. 연구결과 도체에 무효단면적을 유발시키고 관련하여 유효단면적을 축소시키는 Reactance의 발생을 억제시킴으로 표피효과를 줄일 수 있다.

3. 실험과정

3.1 저항측정

도체의 저항을 줄여 전력손실을 최소화하는데 목적을 둔다. 부스바 1m 구간을 <Table 1>과 같이 교류에서 아래와 같은 규격으로 DC저항과 AC저항을 측정해 보았다.

Table 1. Busbar 1m section resistance measurement

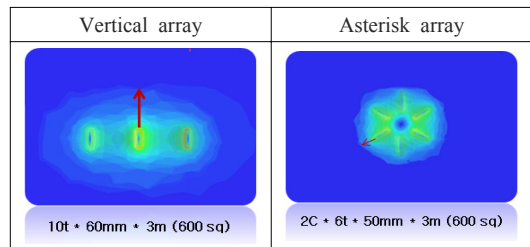
size (mm)	DC ($\mu\Omega$)	AC 60Hz ($\mu\Omega$)	Increase resistance ($\mu\Omega$)	AC/DC (%)
8t 40	62.3 (60°C)	75	12.7	+20%
6t 100	33.2 (60°C)	54.5	21.3	+64%
10t 100	17.6 (26°C)	41.5	23.9	+135%
12t 125	11.6 (23°C)	38.7	27.1	+233%
12t 125*2	5.84 (24°C)	34.8	29	+499%

<Table 1> 측정치에서 DC측정 대비 AC저항 증가율 측정해 보았다. 그 결과 교류에서 저항이 증가하는데 도체의 두께와 폭, 주파수와 관계가 있다. 따라서 도체의 배열구조와도 밀접한 연관이 있다고 가정하고 연구하였다.

3.2 Maxwell 자기장해석 적용

<Table 2>는 인가전류 3상 60Hz 1600A 조건에서 수직형 배열과 에스터리스크 배열의 600sq 부스바 시료로 시험한 값이다. <Table 3>은 0~10ms구간에서 2ms마다 자기장을 측정된 값이다. 수직형 배열과 에스터리스크 배열의 자기장 형성상태를 비교한 사진이다. 시간단위는 1ms(millisecond) = 1/ 1000초, 자기장단위는 $Mx = 10^{-8}$ 웨버 (Wb) (1 가우스의 자기장속에 수직으로 놓여 있는 1 제곱센티미터 크기의 평면의 총 자속은 1 맥스웰이다)

Table 2. Vertical array & Asterisk array Mx value



<Table 3>과 같이 측정 결과, 평균 자기장 Mx값이 각각 기존 수직형 배열은 8.027 Mx, 에스터리스크 배열 구조는 5.056 Mx이다. 이는 각각 기존 수직형 배열은 부스바 폭의 1.5배 자기장의 영역, 에스터리스크 배열 구조는 부스바 폭의 1배정도로 자기장이 형성되었다. 에스터리스크형 배열구조가 자기장의 형성상태가 최소화됨을 볼 수 있다.

Table 3. Magnetic field formation state measured in 2ms interval

Time	0 ms	2 ms	4 ms	6 ms	8 ms	10 ms	Average Mx
Vertical array							
	6.264	7.346	9.877	5.229	10.304	6.147	8.027
Asterisk array							
	4.455	5.172	5.431	4.992	4.879	5.409	5.056

3.3 자기장 상호 상쇄 소멸구조

: Reactance(X_L) 발생억제

<Fig. 4>의 도체 R S T상에서 발생된 자기장이 상호 작용으로 서로 상쇄되며 수식(1),(2)과 같이 자기장(B)의 세기가 적어지고 투자율(μ_0)이 줄어들고 Inductance(L)가 적어진다. 그러므로 Reactance(X_L)가 줄어든다.[4]

$$\text{자기장(B)} : B = \mu_0 \frac{N}{L} I = \mu_0 \frac{N}{L} \left(\frac{V}{R} \right)$$

(μ_0 : 투자율, N: 코일 수, L: 길이, I: 전류, R: 저항, V: 전압)

$$\text{인덕턴스(L)} : L = \frac{\Phi}{I}$$

(L의 단위는 H(헨리), N: 감은수, Φ : 쇄교자속, I의 단위는 A(암페어)) (1)

$$\text{Reactance}(X_L) : X_L = 2\pi f L = \omega L$$

$$(2\pi f = \omega, \omega: \text{각주파수(mega)}) \quad (2)$$

즉, 자기장 과 투자율, 인덕턴스 와 투자율, 리액턴스 와 인덕턴스는 비례관계이다.

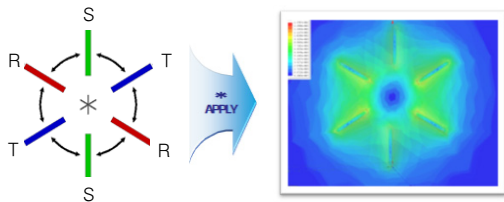


Fig. 4. Asterisk(*) array structure apply

분석결과, 자기장 상호 상쇄 소멸구조로 자기장의 세기가 최소화 되고 투자율이 줄어들어 Inductance(L), Reactance(X_L)가 줄어든다.

4. 실험과정

4.1 저항 측면 측정시험

<Fig. 4>의 대전류시험기(High current tester)로 부스바의 온도가 포화될 때 3상의 1600A, 2000A, 3200A, 4000A 전류를 인가하여 오실로스코프(oscilloscope)로 전압과 전류의 위상을 측정하여 저항을 측정하였다.



Fig. 4. High current tester & oscilloscope

그 결과 <Table 2>와 같이 에스터리스크 배열구조의 실효교류저항 절감률(%)은 기존 대비 개발기술의 실효 교류저항이 각각 14%, 33%, 43%,57% 절감되었다.

Table 2. Effective AC resistance reduction ratio compared to existing (%)

Allowable current capacity (A)	1,600A	2,000A	3,200A	4,000A
Vertical array Effective AC resistance ($\mu\Omega$)	41.5	38.7	31.5	30.6
Asterisk array Effective AC resistance ($\mu\Omega$)	35.5	26	17.8	13
Reduced effective AC resistance ($\mu\Omega$)	6	12.7	13.7	17.6
Improved quantity (%)	14%	33%	43%	57%

4.2 소비전력 측정시험

<Fig. 4>의 시험기로 부스바 (600sq) 3m 구간의 절감 피상전력을 (3)수식을 적용해 구해보면 <Table 3>과 같이 에스터리스크 배열구조의 부스바 (600sq) 3m 구간의 절감 피상전력은 41 % 효율이다.

$$\begin{aligned}
 P &= V I = I^2 * R \\
 (\text{소비전력} &= \text{전압} * \text{전류} = \text{전류}^2 * \text{저항}) \\
 S &= \sqrt{P^2 + Q^2} \tag{3}
 \end{aligned}$$

Table 3. Reduced apparent power

3 phases 1600A 60Hz		measurement
Vertical array: 10t * 60 * 3m (600 sq)	Busbar size	600 sq
	Applied current (I)	1,608 A
	Active power(P)	2.15 kW
	Reactive power(Q)	2.64 kvar
	Apparent power(S)	3.57kVA
Asterisk array 2 * 6t * 50 * 3m (600 sq)	Busbar size	600sq
	Applied current (I)	1,606 A
	Active power(P)	1.12 kW
	Reactive power(Q)	1.73 kvar
Apparent power(S)		2.10 kVA
Reduced apparent power (efficiency 2.10 / 3.57 = 0.58)		41%

4.3 위상 측정시험

오실로스코프를 이용해 모선배치에 따른 비교시험으로 전압 및 전류의 위상을 측정해 보았다. 1600A BUS BAR 3M 동일규격 시료로 위상을 측정된 결과이다. <Fig. 5>는 기존방식인 수직형 배열구조의 3상 전력 벡터도이고 <Fig. 6>에스터리스크 배열구조의 3상 전력 벡터도이다. 수직형 배열구조는 전압 및 전류의 위상이 대체로 불균형을 이루고 있으며 T상의 위상은 90°를 초과하고, 전압 불균형이 심하다. 반면의 <Fig. 6>의 에스터리스크 배열구조는 전압 및 전류의 위상이 대체로 균형을 이루고 있음을 볼 수 있다. 즉, 에스터리스크 배열구조의 3상 전력벡터도가 균형을 이루어 자기장이 상호작용으로 상쇄 소멸되어 도체 구간의 저항 상승분이 저감되고 리액턴스의 박셀이 억제되어 도체에서 손실되는 전력을 줄이는 효과가 발생한다. [1]

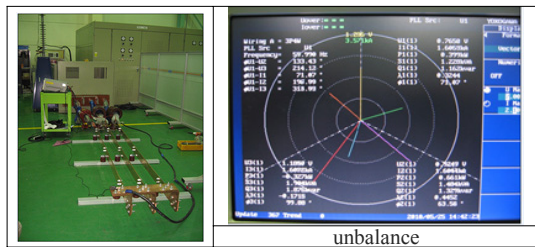


Fig. 5. Vertical array: 3-phase power vector diagram

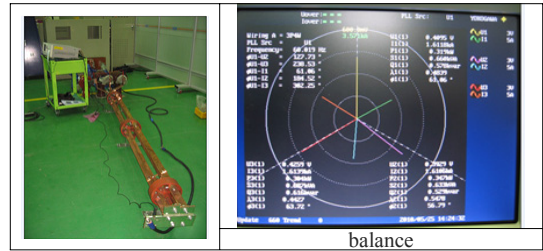


Fig. 6. Asterisk array :3-phase power vector diagram

5. 연구결과

도체(Bus bar)에서 실효교류저항이 증가되는 이유는 표피효과 때문이다. 방사형 도체구조는 표피효과를 줄이므로 실효교류저항이 줄어드는 원리이다. 표피효과란 도체 외측으로 전자가 분포되는 흐르는 현상으로 도체에서 전류가 흐르는 단면적을 줄이게 되므로, 저항을 증가시키게 된다. 따라서 표피효과는 전력손실에 영향을 준다. 도체 R S T상에서 발생된 자기장이 상호작용으로 상쇄되며 투자율(i)이 줄어들고 (4)수식과 같이 Inductor(L)가 적어지고 Reactance(X_L)가 줄어든다. Reactance(X_L)가 감소하면 실효교류저항이 적어지는 비례관계이다.

$$X_L = 2\pi fL$$

(X_L: Reactance, f : frequency, L : Inductor) (4)

Reactance가 도체에 표피효과를 유발시키는 근본 원인이다. Reactance(X_L)을 최소화하고 도체의 유효단면적을 최대화 한 기술이다. 연구결과, Reactance는 도체에 무효단면적을 유발시키고 연관하여 유효단면적을 축소시키는 원인이다. 이러한 원리로 개발 기술에서는 저항의 발생이 억제됨으로 낭비전력을 절감한다. 본 기술은 교류회로에서 도체의 저항이 적게 상승하도록 한 기술이다.

6. 에스터리스크 판상도체 적용 시제품

아래 <Fig. 7>과 같이 3상 3선 또는 3상 4선 교류회로에서 도체의 배열을 대칭구조인 에스터리스크 구조로 배열한 시제품이다.[5][6]

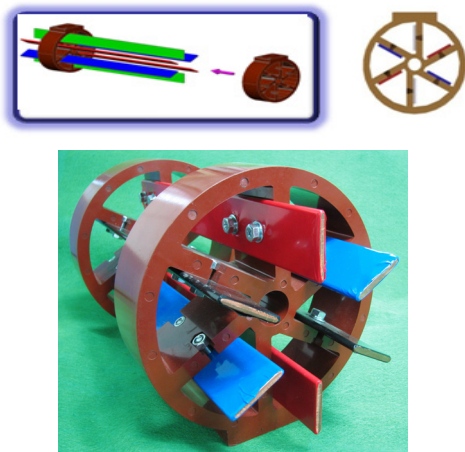


Fig. 7. Asterisk array structure prototype

<Fig. 8>과 같이 저압배전반 내부에서 주차단기와 분기회로를 연결하는 MAIN구간의 판상도체에 개발기술을 적용하였으며 각각의 상에서 발생된 자기장이 서로 상쇄되어 소멸함으로써 리액턴스 발생량이 기존방식과 비교하여 대폭 감소함으로써 도체에서 손실되는 전력을 줄여 에너지 절감효과 및 저감된 도체저항만큼 단면적 활용도를 높여 원자재를 절감한 제품이다.

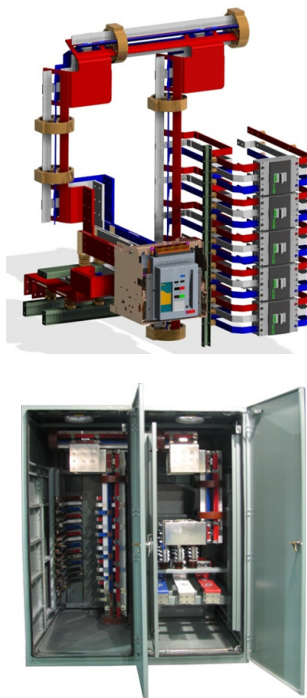


Fig. 8. Application of asterisk array application

7. 결론

에스터리스크 배열구조는 첫째, 평균 자기장 Mx 값이 각각 기존 수직형 배열은 8.027 Mx , 에스터리스크 배열 구조는 5.056 Mx 이다. 이는 각각 기존 수직형 배열은 부스바 폭의 1.5배 자기장의 영역, 에스터리스크 배열 구조는 부스바 폭의 1배정도로 자기장이 형성되었다. 에스터리스크형 배열구조가 자기장의 형성상태가 최소화됨을 볼 수 있다. 둘째, 저항 측정시험에서 기존 대비 에스터리스크 배열구조가 실효교류저항이 각각 14%, 33%, 43%, 57% 절감되었다. 셋째, 소비전력 측정시험에서 기존 대비 에스터리스크 배열구조의 부스바 (600sq) 3m 구간의 절감 피상전력은 41 % 효율을 가진다. 넷째, 위상 측정시험에서 에스터리스크 배열구조는 전압 및 전류의 위상이 대체로 균형을 이룬다.

즉, 에스터리스크 배열구조는 자기장 상호상쇄로 리액턴스 발생을 억제한다. 도체 R S T 상에서 발생된 자기장이 상호작용으로 상쇄되며 투자율(μ)이 줄어들고 Inductor(L)가 적어지고 Reactance(X_L)가 줄어든다. ($X_L=2\pi fL$) Reactance는 도체에 표피효과를 유발시키는 근본 원인이다. Reactance를 최소화하고 도체의 유효 단면적을 최대화한 기술이다.

Reactance가 감소하면 실효교류저항이 적어지고 유효단면적이 증가한다. 도체(Bus bar)에서 실효교류저항이 증가되는 이유는 표피효과 때문이다. 에스터리스크 배열구조는 표피효과를 줄이므로 실효교류저항이 줄어든 원리이다. 리액턴스가 감소되면 도체 중심부에 전류가 흐르기 어렵게 하는 원인이 적어짐으로 도체의 유효 단면적이 증가하는 것이다.

연구결과, Reactance는 도체에 무효단면적을 유발시키고 연관하여 유효단면적을 축소시키는 원인이다. 이러한 원리로 개발제품에서는 저항의 발생이 억제됨으로 낭비전력을 절감한다. 본 기술은 교류회로에서 도체의 저항이 적게 상승하도록 한 기술이며 소비전력을 줄일 수 있고 저항감소로 도체의 효율을 개선할 수 있다.[7][8]

References

- [1] Kim, Mi-Suk, "Energy saving switchgear based on symmetric array structure of 3 phases AC bus bar", Thesis (Master), Hanyang University, 2012.

- [2] Datta, A., Narayanan, G. "Measurement of Parasitic Inductances in the Bus-Bar Assembly of a High Power Voltage Source Converter", JOURNAL- INSTITUTION OF ENGINEERS (INDIA) SERIES B, vol. 97 no. 4, pp 537-547, 2016.
- [3] Rummel, K., John, A., "Insulation of the Coil and Bus Bar Ends During Assembly of W7-X", IEEE, vol. 16 no. 2, pp. 751-754, 2006.
DOI: <https://doi.org/10.1109/TASC.2006.870534>
- [4] MOAR, "Inductance of Coil", 2017.9.25. <http://www.electronics-tutorials.ws/inductor/inductance.html>.
- [5] Seo, Jung-Min, "Analysis of Temperature Rise due to Eddy Current Loss When Large Current Flows in Electric Switchboard", Thesis (Master), Hanyang University, 2000.
- [6] Ministry of Science and ICT, "A Survey on Cu Clad Al Busbar for Electric Power Supply", pp. 64, 1996.
- [7] Lee, Ho-Beom, Choi, Kwan-woo, Son, soon-Yong, "Usefulness analysis of radial non-cartesian trajectory in the high-resolution MRA", KAIS, pp. 6284-6289, 2013.
DOI: <http://dx.doi.org/10.5762/KAIS.2013.14.12.6284>
- [8] Pyo, Seong-Min, Han, Sang-Min, Lee, Dong-Hyo, Kim, Young-Shik, "A Dual-Band Asymmetrical Metamaterial Antenna for Orthogonal Radiation Patterns", KAIS, pp. 2246-2252, 2009.

박 동 삼(Dong-Sam Park)

[정회원]



- 1981년 2월 : 서울대학교 기계설계학과 (공학사)
- 1983년 2월 : 서울대학교 기계설계학과 (공학석사)
- 1992년 3월 : 서울대학교 기계설계학과 (공학박사)
- 1993년 3월 ~ 현재 : 인천대학교 기계공학과 교수

<관심분야>
기계/재료, 정밀가공

김 미 숙(Mi-Suk Kim)

[정회원]



- 2012년 8월 : 한양대학교 공학대학원 (기계공학석사)
- 2018년 2월 : 한양대학교 일반대학원 (기계공학박사)
- 2009년 7월 ~ 2014년 2월 : ㈜블랙스인더스트리 선임연구원
- 2014년 3월 ~ 현재 : 인하공업전문대학 기계과 교수

<관심분야>
기계/재료, CAD/CAM