

## 비정질구조의 ZTO 박막에서 커패시턴스와 이동도 분석

오데레사  
청주대학교 반도체공학과

### Analysis of Capacitance and Mobility of ZTO with Amorphous Structure

Teresa Oh  
Division of Semiconductor Engineering, Cheongju University

**요약** 반도체의 전도성은 주로 캐리어에 의해서 결정된다. 전도성이 높아지려면 캐리어의 수가 많고 에너지 내의 트랩 준위를 만들어서 캐리어들이 낮은 에너지로도 금지대역을 넘어설수 있도록 하는 도핑기법을 주로 사용한다. 캐리어들은 결정질 결합구조를 갖으며, 계면불일치에 의하여 전도성이 떨어지는 경향도 있지만 대체적으로 고농도 도핑은 이동도를 높이는 대표적인 방법에 속한다. 하지만 비정질 결합구조에서도 전도성이 높아지는 현상이 나타나며, 본 연구에서는 트래핑현상과는 다른 터널링 현상에 의한 공간전하제한 전류가 흐르면서 전도성이 향상되고 이동도가 높아지는 현상에 대하여 관찰하였다. 비정질구조에서는 캐리어수가 낮고 저항이 높아지며, 커패시턴스의 on/off 특성이 향상되면서 이동도가 높아지는 것을 확인하였다. ZTO 박막은 150도에서 열처리한 경우 커패시턴스의 on/off 특성이 향상되었으며, 충전과 방전하는 실험에서는, 충전과 방전되는 형상에 있어서 시간차이가 있었으며, n형과 p형의 구분이 없었으며, 공핍층과 같은 비정질 결합구조를 보여주었다. 비정질 결합구조는 전위장벽으로 볼 수 있으며, 전위장벽은 공간전하제한전류가 흐르게 되는 원인이기도 하며, 터널링현상에 의한 전도현상이 나타나는 원인이 된다. 따라서 비정질구조에서 이동도가 증가하는 현상이 나타났으며, 캐리어가 희박함에도 불구하고 전도성이 증가하는 것을 확인하였다.

**Abstract** The conductivity of a semiconductor is primarily determined by the carriers. To achieve higher conductivity, the number of carriers should be high, and an energy trap level is created so that the carriers can cross the forbidden zone with low energy. Carriers have a crystalline binding structure, and interfacial mismatching tends to make them less conductive. In general, high-concentration doping is typically used to increase mobility. However, higher conductivity is also observed in non-orthogonal conjugation structures. In this study, the phenomena of higher conductivity and higher mobility were observed with space charge limiting current due to tunneling phenomena, which are different from trapping phenomena. In an atypical structure, the number of carriers is low, the resistance is high, and the on/off characteristics of capacitances are improved, thus increasing the mobility. ZTO thin film improved the on/off characteristics of capacitances after heat treating at 150°C. In charging and discharging tests, there was a time difference in the charge and discharging shapes, there was no distinction between n and p type, and the bonding structure was amorphous, such as in the depletion layer. The amorphous bonding structure can be seen as a potential barrier, which is also a source of space charge limiting current and causes conduction as a result of tunneling. Thus, increased mobility was observed in the non-structured configuration, and the conductivity increased despite the reduction of carriers.

**Keywords** : Resistance, Capacitance, Junction, Depletion Layer, ZTO

---

Corresponding Author: Teresa Oh(Cheongju Unive.)

Tel: +82-31-670-5193 email: hspark@hknu.ac.kr

Received March 12, 2019

Revised April 3, 2019

Accepted June 7, 2019

Published June 30, 2019

## 1. 서론

반도체소자의 크기가 작아지고 얇아지면서 누설전류의 문제 혹은 신호간섭의 문제가 대두된다[1]. 반도체의 소형화시스템은 투명한 박막의 개발에 이르게 되었으며, ZnO 계열의 투명 반도체물질로 AZO, ZTO, IGZO, SnO<sub>2</sub> 등에 대한 연구가 활발히 이루어지고 있다[2]. 이러한 반도체기술은 점점 소형화되면서 박막형태가 되어 투명해지면서 그 응용범위는 다양해져가고 있다. 반도체소자의 특성은 결정구조에서도 알 수 있으며, 고농도 도핑을 하여 반도체물질의 에너지 갭 내부에 준 트랩준위를 만들어 줌으로써 캐리어들이 낮은 에너지만으로도 트랩준위를 넘어서 여기 될 수 있도록 과잉 캐리어를 주입하여 전하들의 이동도를 개선시키는 트래핑 방법을 주로 사용한다[3,4]. 과잉 캐리어의 도핑은 결정질구조에서 소자의 전도성을 개선시킬 수 있는 방법이며, 비정질 구조의 반도체에 대한 연구도 일부 이루어져 왔으나 상대적으로 많지는 않다[5]. 반도체에서 전하들의 전도메카니즘은 트래핑현상과 터널링 현상 2가지로 설명이 된다. 비정질 구조에서의 이동도를 높이는 기술은 일반적이지는 않지만 비정질도가 높을 경우 터널링 현상에 의하여 이동도가 높아지는 효과가 나타난다는 보고가 있다[6,7].

본 연구에서는 반도체 박막의 특성이 pn접합계면의 이온화 특성에 따라서 공핍층이 되고 비정질 구조가 되는 계면특성에 대하여 연구하였다.

## 2. 실험방법

실리콘 웨이퍼는 증착하기에 앞서 클리닝을 실시한 뒤, ZTO 박막을 증착하기 위해서 Ar 가스를 사용하였으며, 유량은 20 sccm을 사용하여 10분간 마그네트론스퍼터링 시스템을 이용하여 증착하였다. p형의실리콘 웨이퍼위에 ZTO를 증착 후 50 °C, 150 °C, 200 °C에서 열처리를 진공상태에서 각각 하였으며, 박막의 전기적인 분석으로 커패시턴스를 측정하고 홀측정을 이용하였다. 저항, 캐리어농도, 이동도와 홀 계수간의 상관관계로부터 박막의 결합구조 상태를 비교 분석하였다. 캐리어의 농도와 이동도의 관계, 커패시턴스의 전기적인 특성이 결합구조에 미치는 영향에 대하여 조사하였다.

## 3. 결과 및 토론

Fig. 1은 홀측정으로부터 얻은 열처리온도가 다른 ZTO 박막의 저항을 나타낸다. 100도 열처리한 박막에서 저항이 100 Ω이상 높았으나 나머지 박막에서는 10 Ω이하로 대체로 낮게 나타나는 것을 알 수 있다. 열처리를 하지 않은 박막은 8 Ω정도이며, 다른 박막들은 50 °C, 150 °C, 200 °C 열처리한 박막은 0.4 Ω이하로 매우 낮았다.

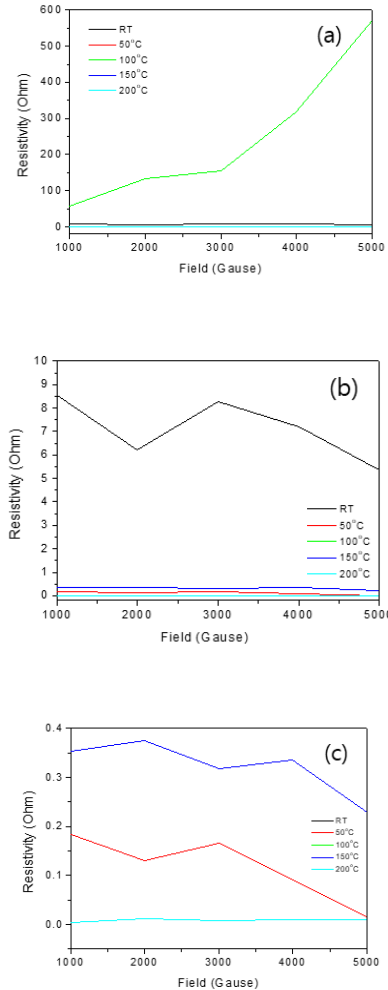


Fig. 1. Resistance of ZTO thin films with various annealing temperatures, (a) about ~100 ohm, (b) about ~1 ohm, (c) about ~0.1 ohm.

Fig. 2는 열처리온도가 다른 박막에 따른 캐리어농도를 나타낸다. 저항이 가장 낮은 200 °C 열처리한 박막에서 캐리어농도가 가장 높다.

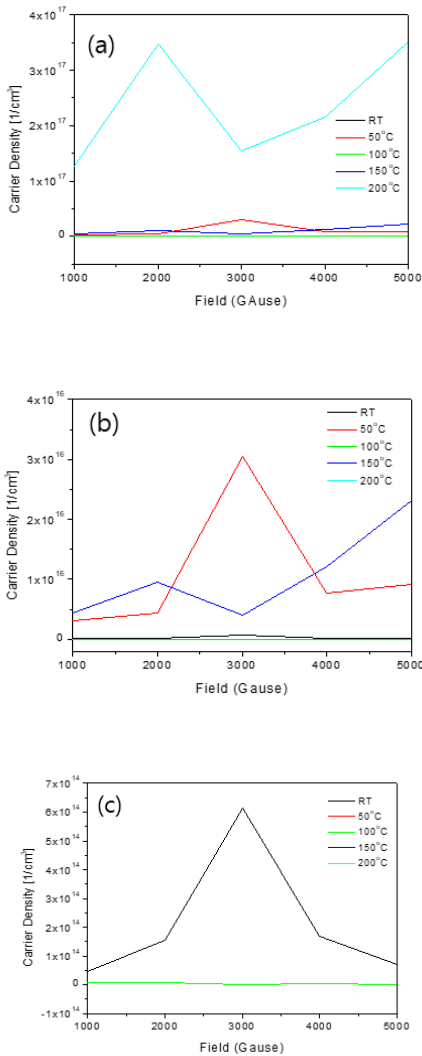


Fig. 2. Carrier density of ZTO thin films with various annealing temperature of, (a) 200 °C, (b) 50 °C and 150 °C, (c) 100 °C.

Fig. 2(c)를 보면 100 °C에서 열처리한 경우 캐리어농도는 가장 낮았다. 캐리어농도가 낮기 때문에 저항이 높아진 것을 알 수 있다.

Fig. 3은 이동도를 나타낸다. 3000 Gause를 기준으로 100 °C에서 열처리한 ZTO 박막에서 이동도가 가장 크다. 캐리어농도가 낮아서 저항이 큰 ZTO 박막에서 이동도가 큰 이유는 캐리어가 매우 적으면서도 비정질 구조를 갖고 있기 때문이며, 비정질도가 매우 우수하기 때문에 캐리어가 희박한 경우임에도 이동도는 증가된 것이라고 할 수 있다.

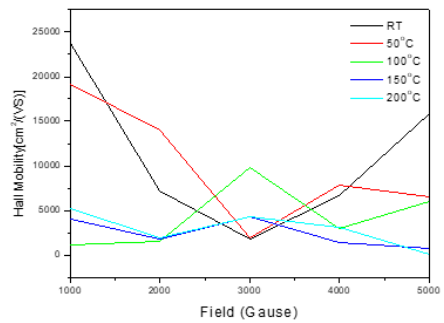


Fig. 3. Hall mobility of ZTO thin films with various annealing temperature.

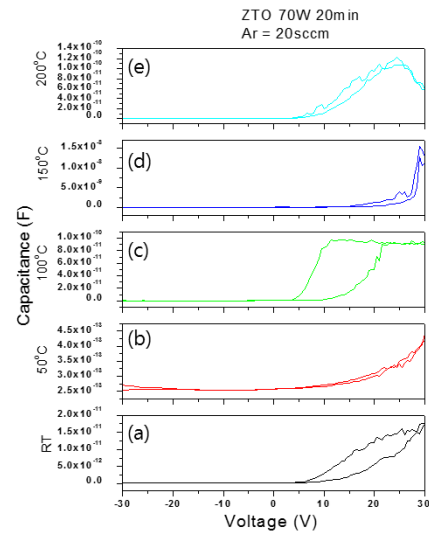
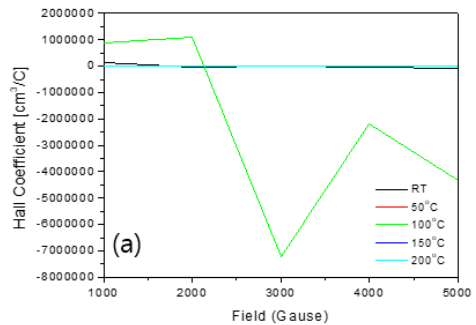


Fig. 4. Capacitance of ZTO thin films with various annealing at, (a) not annealing, (b) 50 °C, (c) 100 °C, (d) 150 °C, (e) 200 °C.



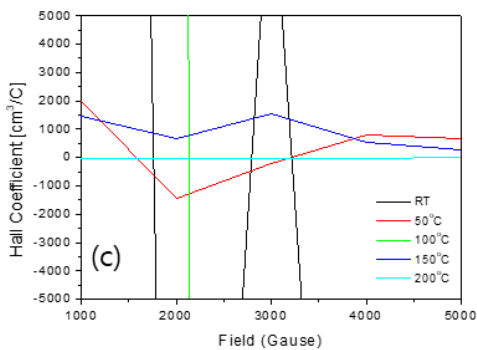
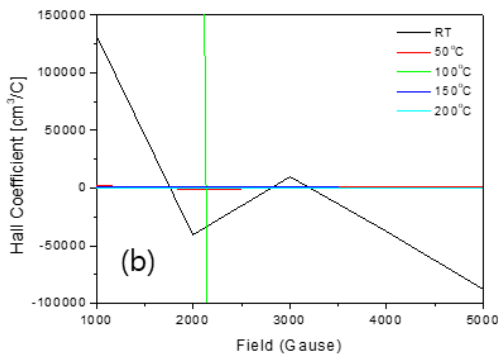


Fig. 5. Hall coefficient, (a) 100 °C annealed ZTO film, (b) RT, (c) 50 °C, 150 °C and 200 °C to research the conduction properties of ZTO and correlation between the hall mobility.

Fig. 4는 열처리온도에 따른 ZTO의 캐패시턴스를 보여주는데 캐패시턴스의 형상에서 on/off 특성을 살펴보면 100 °C에서 열처리한 ZTO 박막에서 스위칭 특성은 우수하게 나타난다. 또한 극성에 따른 충전과 방전시간의 차이가 가장 크게 나타나는 것을 알 수 있다. 이 또한 ZTO 박막이 100 °C 열처리할 때 우수한 비정질특성을 나타내기 때문이다. 캐리어 스퀘터링현상이나 그레인 바운더리에서 스퀘터링 현상이 나타나지 않고 공간전하제한전류에 해당하는 캐리어드가 있어서 이동도를 높이고 캐패시턴스가 증가하게 된 원인이 된다.

Fig. 5는 홀계수인데 홀계수를 통하여 ZTO 박막이 p형인지 n형인지 알 수 있다. 그런데 100 °C에서 열처리한 p형과 n형의 특성을 모두 갖는 것으로 나타나며, 어느 한 곳으로 특징지을 수 없다. 하지만 캐리어 농도가 높은 50 °C에서 열처리한 박막과 200 °C에서 열처리한 ZTO 박막은 n형의 특성을 갖는 것을 알 수 있다.

이상에서 살펴본 바와 같이 150 °C에서 열처리한 ZTO 박막은 비정질 결정구조를 갖는 많은 특성들을 보여주고 있으며, 저항이 높고 캐리어 농도가 낮으며, 이동도가 높으면서도 n형과 p형의 반도체 특성을 모두 갖는 것은 비정질도가 우수한 결정구조에서 나타나는 특징들이다. 따라서 박막의 두께가 얇고 작은 반도체 소자에서 이동도를 증가시키는 방법은 비정질구조의 특성을 이용하여 캐리어의 농도를 최대한 낮게 설계하는 것이 유리하다는 것을 알 수 있었다.

#### 4. 결론

반도체소자가 작아지고 얇아짐에 따라서 전도성과 이동도에 미치는 요소성분들에 대하여 분석하고 조사하였다. 일반적으로 이동도를 향상시키기 위해서는 캐리어 농도를 높게 하지만 본 연구에서는 비정질구조의 ZTO 박막에서 캐리어 농도가 매우 낮음에도 불구하고 이동도는 가장 높아지는 것을 확인하였다. 전자홀 쌍의 재결합에 의해서 캐리어의 농도가 낮아지면 공간전하제한 전류에 의해서 전위장벽이 생기며, 전위장벽에 의하여 확산전류가 발생하면서 전도성이 높아지고 이동도가 향상되는 것을 확인하였다.

#### References

- [1] Teresa. Oh, "Analysis of Electrical Characteristics of Oxide Semiconductor of ZnO, SnO<sub>2</sub> and ZTO," Korean Journal of Materials Research, vol. 25, No. 7, pp. 347-351, 2015.  
DOI: <https://doi.org/10.3740/MRSK.2015.25.7.347>
- [2] Teresa. Oh, "Tunneling Condition at High Schottky Barrier and Ambipolar Transfer Characteristics in Zinc Oxide Semiconductor Thin Film Transistor," Material Research Bulletin, vol 77, pp.1-7, 2016.  
DOI: <https://doi.org/10.1016/j.matresbull.2015.11.038>
- [3] Kyonghwan Oh and Oh-Kyong Kwon, "Threshold-Voltage-Shift Compensation and Suppression Method Using Hydrogenated Amorphous Silicon Thin-Film Transistors for Large Active Matrix Organic Light-Emitting Diode Displays," Japanese Journal of Applied Physics, vol. 51, pp. 03CD01, 2012.  
DOI: <https://doi.org/10.7567/JJAP.51.03CD01>
- [4] John Robertson, Robert M. Wallace, "High-K materials and metal gates for CMOS applications," Materials Science and Engineering R, vol. 88, pp.1-41, 2015.  
DOI: <https://doi.org/10.1016/j.mser.2014.11.001>

- [5] T. Oh and C. H. Kim "Study on Characteristic Properties of Annealed SiOC Film Prepared by Inductively Coupled Plasma Chemical Vapor Deposition," *IEEE Trans. Plasma Science*, vol. 38, pp. 1598-1602, 2010.  
DOI: <https://doi.org/10.1109/TPS.2010.2049665>
- [6] Narendra Kumar, Satyendra Kumar, Jitendra Kumar and Siddhartha Pandaa, "Investigation of Mechanisms Involved in the Enhanced Label Free Detection of Prostate Cancer Biomarkers Using Field Effect Devices," *Journal of The Electrochemical Society*, vol. 164, no. 9, pp. B409-B416, 2017.  
DOI: <https://doi.org/10.1149/2.0541709jes>
- [7] T. Oh and C. K. CHoi "Comparison between SiOC thin film fabricated by using plasma enhance chemical vapor deposition and SiO<sub>2</sub> thin film by using fourier transform infrared spectroscopy," *Journal of the Korean Physical Society*, vol. 56, pp. 1150-1155, 2010.  
DOI: <https://doi.org/10.3938/jkps.56.1150>
- 

오데레사(Teresa Oh)

[정회원]



- 2000년 2월 : 제주대학교 박사
- 2000년 3월 ~ 2005년 12월 : 제주대학교 시간강사 (전자공학과)
- 2005년 3월 ~ 2005년 8월 : 창원대학교 연구교수
- 2005년 9월 ~ 현재 : 청주대학교 반도체공학과 교수

<관심분야>

디스플레이, 박막트랜지스터, LED, 정보통신