

XRD 패턴에 의한 비정질구조와 I-V 특성분석

오데레사
청주대학교 반도체공학과

Analyze of I-V Characteristics and Amorphous Structure by XRD Patterns

Teresa Oh

Division of Semiconductor Engineering, Cheongju University

요약 박막이 얇아질수록 전기적인 특성이 좋아지려면 비정질구조가 유리하다. 비정질구조는 캐리어가 공핍되는 특징을 이용하여 전도성을 높이는데 효과가 있을 수 있다. 이러한 특성을 확인하는 방법으로 전위장벽이 형성되는 쇼키접합에 대한 연구가 필요하다. 비정질구조와 쇼키접합에 대하여 조사하기 위하여 $\text{SiO}_2/\text{SnO}_2$ 박막을 준비하였으며, SiO_2 박막은 $\text{Ar}=20$ sccm 만들고 SnO_2 박막은 아르곤과 산소의 유량을 각각 20 sccm으로 혼합가스를 사용하였으며, 마그네트론 스퍼터링 방법으로 SnO_2 의 증착하고 100 °C와 150 °C에서 열처리를 하였다. 비정질구조가 만들어지는 조건을 알아보기 위하여 XRD 패턴을 조사하고 C-V, I-V 측정을 실시하여 Al 전극을 만들고 전기적인 분석을 실시하였다. 공핍층은 열처리과정을 통하여 전자와 홀의 재결합으로 형성되는데 $\text{SiO}_2/\text{SnO}_2$ 박막은 100 °C에서 열처리를 한 경우 공핍층이 잘 형성이 되었으며, 미시영역에서는 전기적으로 전류가 크게 작용하는 것을 확인하였다. 100 °C에서 열처리를 한 비정질의 $\text{SiO}_2/\text{SnO}_2$ 박막은 XRD 패턴에서 33°에서는 피크 나타나지 않았으며, 44°에서는 피크 생겼다. 쇼키접합에 의해서 거시적(-30V<전압<30V)으로는 절연체 특성이 보였으나 미시적(-5V<전압<5V)으로는 전도성이 나타났다. 캐리어가 부족한 공핍층에서의 전도는 확산전류에 의하여 전도가 이루어진다. 미시영역에서 동작하는 소자인 경우에는 공핍효과에 의한 쇼키접합이 전류의 발생과 전도에 유리하다는 것을 확인하였다.

Abstract A thinner film has superior electrical properties and a better amorphous structure. Amorphous structures can be effective in improving conductivity through a depletion effect. Research is needed on the Schottky contact, where potential barriers are formed, as a way to identify these characteristics. $\text{SiO}_2/\text{SnO}_2$ thin films were prepared to examine the amorphous structure and Schottky contact, SiO_2 thin films were prepared using Ar = 20 sccm. SnO_2 thin films were deposited using mixed gas with a flow rate of argon and oxygen at 20 sccm, and SnO_2 thin films were added by magnetron sputtering and treated at 100 °C and 150 °C. To identify the conditions under which the amorphous structure was constructed, the XRD patterns were investigated and C-V and I-V measurements were taken to make Al electrodes and perform electrical analysis. The depletion layer was formed by the recombination of electrons and holes through the heat treatment process. $\text{SiO}_2/\text{SnO}_2$ thin films confirmed that the pores were well formed when heat treated at 100 °C and an electric current was applied over the micro area. An amorphous $\text{SiO}_2/\text{SnO}_2$ thin film with heat treatment at 100 °C showed no reflection at 33° 2θ in the XRD pattern, and a reflection at 44° 2θ. The macroscopic view (-30 V <voltage <30 V) revealed insulating characteristics, but the conductivity of micro (-5 V <voltage <5 V) was highlighted as a result of the Schottky contact. Conduction in the depletion layer is driven by diffusion currents. In the case of micro-area operating elements, the Schottky contact due to the depletion effect was beneficial to the generation of current and the potential.

Keywords : Capacitance, Schottky Contact, XRD, Sputtering, Depletion, SnO_2

이 논문은 2019학년도 청주대학교 산업과학연구소가 지원한 학술연구조성비(특별연구과제)에 의해 연구되었음.

*Corresponding Author : Teresa Oh(Cheongju Univ.)

email: teresa@cju.ac.kr

Received April 24, 2019

Accepted July 5, 2019

Revised June 13, 2019

Published July 31, 2019

1. 서론

반도체 소자의 크기가 작고 얇아지면서 반도체 소자의 특성에 대한 분석도 다양해지고 있다. 박막의 두께는 수 nm 수준으로 얇아지고 있다. 반도체의 쇼키접합은 pn접합의 또 다른 이름으로 불연속적인 물질의 접합으로부터 다양한 전기적인 특성의 이해를 위해서는 페르미함수와 같은 연속적인 함수로 쇼키접합을 분석하는 기술 등이 등장하고 미시세계에서의 전자의 이동에 대한 이해도 점점 세분화되어 가고 있다[1-2]. 반도체의 효율을 증대시키는 전도메카니즘으로는 캐리어들을 활용한 트래핑과 터널링 효과가 있다. 트래핑 현상은 에너지 밴드내에 트랩을 만들어서 도핑캐리어들의 이동을 도와주는 에너지 준위를 좁히는 기술이다. 터널링현상은 절연체와 같이 깊은 에너지준위를 통과하는 전도메카니즘이다[3-4]. 이러한 효과들은 대부분은 다수 캐리어들을 사용하는 방법인데 캐리어들의 공핍효과에 의한 전도방법은 기존의 전도방법과는 좀 다르게 접근하는 방법일 수 있다. 반도체 소자에서의 공핍효과에 대하여 주로 pn접합과 쇼키접합이 다루어져왔다. 일반적으로 전하와 전류는 비례한다. 전하량이 많으면 전류는 증가한다. 쇼키접합은 반도체의 공핍층을 만들면서, 전하들이 감소한다. 따라서 비선형이 되면서 전류가 감소한다. 하지만 전하들이 매우 공핍한 영역에서 전류의 이동도가 증가하는 연구결과를 저자는 이전에 보고한 바가 있다[6].

본 연구에서는 $\text{SiO}_2/\text{SnO}_2$ 박막의 계면특성과 반도체 계면에서 캐리어들의 공핍효과와 장벽전위의 형성과 전도성에 대하여 연구를 위해서 비정질구조의 공핍층효과에 기인하여 전하량이 증가하는 현상에 대하여 알아보았다.

2. 실험방법

비정질구조의 박막을 제작하기 위하여 Ar가스를 30sccm으로 SiO_2 타겟을 이용하여 스퍼터링 방법으로 증착하였다. SiO_2 박막 위에 Ar과 O_2 의 혼합가스를 사용하고 SnO_2 타겟을 이용하여 SnO_2 를 10분간 증착하였다. 이때 Ar가스와 O_2 가스의 유량을 20 sccm으로 고정하였다. 후처리로 진공 중에서 10분간 100도와 150도에서 열처리를 하였다. 열처리온도를 다르게 하여 SiO_2 박막과 SnO_2 사이에서 쇼키접합이 이루어지면서 전위장벽이 크기가 달라지는 장벽효과가 나타나도록 하였다. 결정 분석은 충북대 공동실험실습관에 있는 XRD 분석장비

(X-ray Photoelectron Spectroscopy, ESCALAB-210)를 통하여 이루어졌으며, 전기적인 특성은 커패시턴스와 전압전류 측정을 통하여 이루어졌다. 비정질특성이 전기적인 특성과 어떤 상관성이 있는지에 대하여 조사하였다.

3. 결과 및 토론

Fig. 1은 p형 실리콘 웨이퍼 위에 스퍼터링 방법으로 $\text{SiO}_2/\text{SnO}_2$ 를 증착하고 100도와 150도에서 열처리를 한 다음 결정분석으로 XRD 분석을 하였다.

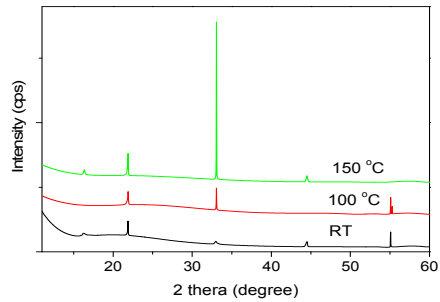


Fig. 1. X-ray diffraction pattern in a long range of $\text{SiO}_2/\text{SnO}_2$ thin films with various annealing temperature prepared with mixed gases of Ar=20 sccm and O_2 =20 sccm.

22°, 33° 그리고 44° 근처에서 결정 피크 관찰되며, 열처리를 하면 공통적으로 나타나는 33°피크는 열처리온도가 증가할수록 증가하였다. 44°은 100도에서는 나타나지 않았으며, 150도 열처리를 한 경우에서 나타났다.

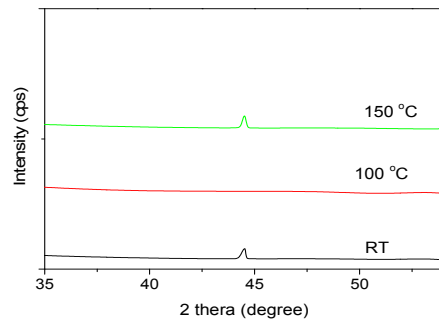


Fig. 2. X-ray diffraction pattern near 44° of $\text{SiO}_2/\text{SnO}_2$ thin films with various annealing temperature prepared with mixed gases of Ar=20 sccm and O_2 =20 sccm.

Fig. 2은 비정질 특성에 대하여 관찰하기 위하여 SiO₂/SnO₂ 박막을 44°근처에서 살펴보았다. 44.5°에서 픽이 나타났으며, 따라서 100도 열처리하면 비정질결정 구조가 더 높아진다는 것을 알 수 있다. 비정질도가 높아지는 이유는 열처리하면서 전자홀쌍의 재결합이 이루어지면서 SiO₂/SnO₂ 박막의 계면에서 공핍층이 형성되었다고 할 수 있다. 공핍층이 증가하면 캐리어들이 없어지므로 전기적으로 중성이 된다는 의미이므로 전도성은 떨어진다고 예측할 수 있다.

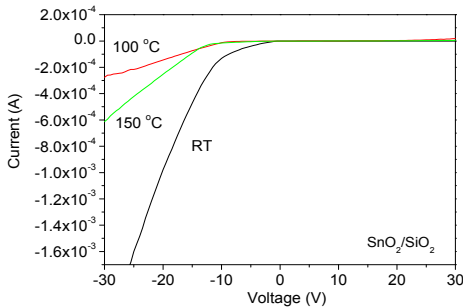


Fig. 3. Current-voltage characteristics in a long range of SiO₂/SnO₂ thin films with various annealing temperature.

또한 공핍층의 형성은 쇼키접합을 만든다는 의미이므로 쇼키접합의 효과를 관찰하기 위해서 그리고 4.5°의 비정질 특성이 전기적인 특성에 어떤 영향을 주는지에 대하여 조사하였다.

Fig. 3은 -30V<전압<30V 영역에서 전류특성을 살펴 보았다. 대부분의 전류는 음전압영역에서 흐르는 것을 알 수 있다. 이는 SnO₂가 p형 반도체 특징을 갖기 때문이다. 100도에서 열처리한 박막에서 전류가 가장 낮게 흘렀다. 미시영역에서의 전류특성에 대하여 살펴보기 위해서 -15V<전압<15V 영역을 확대하여 전류를 관찰하였다.

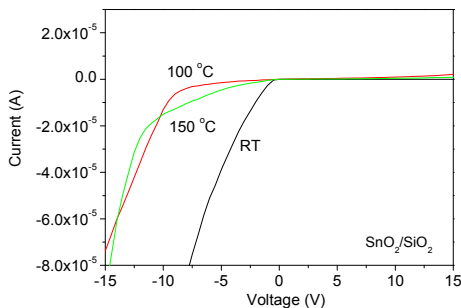


Fig. 4. Current-voltage characteristics in a short range of SiO₂/SnO₂ thin films with various annealing temperature.

Fig. 4는 -15V<전압<15V영역에서 전류특성이다. 100도에서 열처리한 박막에서 -10V 이상에서 전류가 갑자기 상승하는 것을 알 수 있다. 쇼키접합에 의한 공핍층의 영역을 벗어나면서 갑자기 전류가 증가한 것이다.

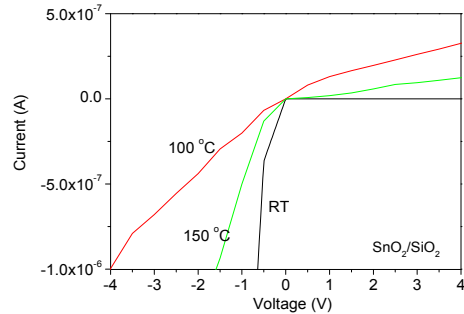


Fig. 5. Contact properties of SiO₂/SnO₂ thin films with various annealing temperature.

0V 근처에서의 쇼키접합특성에 대하여 관찰하기 위해 -3V<전압<3V 영역의 전류 특성을 조사하였다. Fig. 5에서 보듯이 100도에서 열처리한 박막은 대부분의 영역에서 전류가 가장 높았다. Fig. 3에서 관찰할 수 없는 특징이 Fig. 5에서 확인할 수 있었다. 쇼키접합은 반도체의 고유특징으로써 전자홀의 재결합으로 형성되는 공핍층으로 캐리어들이 존재할 수 없다. 하지만 쇼키접합으로 미시영역의 전기적인 특성을 개선하여 전류를 많이 흐르게 한다. Fig. 5에서 보면 증착한 막의 전류는 음전압에서만 흐르고 있다. 캐리어들이 p형이라는 의미이다. 열처리를 하면 전자홀재결합이 급속히 일어나며, 공핍층이 형성되며, 공핍층내에서는 장벽전위가 생겨나서 전류는 확산전류로 바뀌면서 전자들이 없어도 확산전류에 의해 순간 전류가 발생한다. 따라서 Fig. 5와 같은 계면에서 쇼키접합에 의한 전류의 발생을 관찰할 수 있는 것이다. 열처리 온도가 올라가서 150도에서 열처리를 할 경우에는 캐리어들의 축퇴가 일어나 전류는 감소한다. 따라서 음전압에서 양전압까지 전구간에 대하여 전류는 100도열처리한 경우에서보다 더욱 감소한 것을 알 수 있다.

Fig. 6은 SiO₂/SnO₂ 박막의 커패시턴스를 나타낸다. 커패시턴스의 유형은 p형 반도체 특징을 보여주며, 100도에서 전하량이 가장 크게 증가한 것으로 나타났다. 0V에서 수직상승하는 커패시턴스를 보면 증착한 박막에서는 공핍층의 형성이 미흡한 것을 알 수 있다. 열처리를 하면서 0V 근처에서 공핍층의 형성으로 전하량이 서서히 감소하고 있으며, 100도 열처리 한 경우 공핍층이 가

장 넓게 형성이 되고 있다는 것을 예측할 수 있다. 공핍층의 증가는 장벽전위가 크다는 의미이며, 확산전류가 크다는 의미이며 전류가 증가한다는 결과이다. 이러한 결과는 Fig. 5에서 결과와 잘 일치한다. 쇼키접합은 공핍층을 형성하여 장벽전위를 만들고 장벽전위에 의해 미시전류를 생성시키고 반도체소자의 효율을 높여주는 효과가 있는 것을 확인하였다. 비정질구조는 공핍층의 형성에 유리하며, 공핍층의 형성에 중요한 것은 전자홀의 재결합을 위한 열처리 온도가 중요하다는 것을 확인하였다.

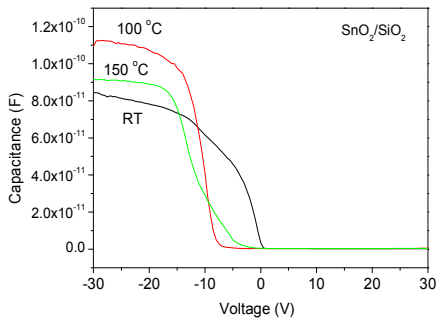


Fig. 6. Capacitances of $\text{SiO}_2/\text{SnO}_2$ thin films with various annealing temperature.

4. 결론

반도체의 비정질 구조가 전기적인 특성에 미치는 영향에 대하여 살펴보았다. $\text{SiO}_2/\text{SnO}_2$ 박막의 증착과 열처리과정을 통하여 계면에서의 쇼키장벽의 형성을 확인하였고, 공핍층에서의 비정질특성이 반도체의 전기적인 특성에 유리하다는 것을 확인하였다. 결정성에 대한 특성분석으로 일반적으로 산화물반도체는 33° 근처에서 XRD 피크가 검출되는데 100° 열처리한 $\text{SiO}_2/\text{SnO}_2$ 박막에서도 33° 근처에서 XRD 피크가 나타났으며, 공핍층의 형성에 필요한 구조임을 알 수 있다. 할 수 있었다. 반면에 100° 열처리한 $\text{SiO}_2/\text{SnO}_2$ 박막은 공핍층에 의한 장벽전위가 가장 크다고 할 수 있으며 비정질도가 가장 높다고 할 수 있다. 비정질의 특징적인 것으로써 44.5° 에서 XRD 피크가 검출되지 않았다. 쇼키접합은 거시세계에서는 전류의 양이 감소하였으나 미시적으로는 전류의 양이 증가하는 효과를 나타낸다는 것을 확인하였다. 비정질의 박막인 100° 열처리한 박막은 커패시턴스값이 가장 커서 전하가 가장 많았으나 전류는 감소하였다.

References

- [1] Teresa. Oh, "Analysis of Electrical Characteristics of Oxide Semiconductor of ZnO , SnO_2 and ZTO ," Korean Journal of Materials Research, vol. 25, No. 7, pp. 347-351, 2015.
DOI: <https://doi.org/10.3740/MRSK.2015.25.7.347>
- [2] Kyonghwan Oh and Oh-Kyong Kwon, "Threshold-Voltage-Shift Compensation and Suppression Method Using Hydrogenated Amorphous Silicon Thin-Film Transistors for Large Active Matrix Organic Light-Emitting Diode Displays," Japanese Journal of Applied Physics, vol. 51, pp. 03CD01, 2012.
DOI: <https://doi.org/10.7567/JJAP.51.03CD01>
- [3] Narendra Kumar, Satyendra Kumar, Jitendra Kumar and Siddhartha Pandaa, "Investigation of Mechanisms Involved in the Enhanced Label Free Detection of Prostate Cancer Biomarkers Using Field Effect Devices," *Journal of The Electrochemical Society*, vol. 164, no. 9, pp. B409-B416, 2017.
DOI: <https://doi.org/10.1149/2.0541709jes>
- [4] John Robertson, Robert M. Wallace, "High-K materials and metal gates for CMOS applications," *Materials Science and Engineering R*, vol. 88, pp.1-41. 2015.
DOI: <https://doi.org/10.1016/j.mser.2014.11.001>
- [5] T. Oh and C. H. Kim "Study on Characteristic Properties of Annealed SiOC Film Prepared by Inductively Coupled Plasma Chemical Vapor Deposition," *IEEE Trans. Plasma Science*, vol. 38, pp. 1598-1602, 2010.
DOI: <https://doi.org/DOI:10.1109/TPS.2010.2049665>
- [6] Teresa. Oh, "Tunneling Condition at High Schottky Barrier and Ambipolar Transfer Characteristics in Zinc Oxide Semiconductor Thin Film Transistor," *Material Research Bulletin*, vol 77, pp.1-7, 2016.
DOI: <https://doi.org/10.1016/j.materresbull.2015.11.038>

오데레사(Teresa Oh)

[중신회원]



• 2005년 9월 ~ 현재 : 청주대학교
반도체공학과 교수

<관심분야>

반도체소자, 신소재, 센서, 플라즈마공정