

신뢰성 성장 강화를 위한 Analysis 방법(FMECA)과 Test(초가속수명시험-HALT) 비교 연구

신상희*, 정주현, 강태호, 이종신
(주) LIG Nex1

A Comparative Study on the Reliability Growth Enhancement Activities Using “ANALYSIS” and “TEST” through FMECA and Highly Accelerated Life Tests

Sang-Hee Shin*, Joo-Hyun Jung, Tae-Ho Kang, Jong-Sin Lee
LIG Nex1 Co. Ltd

요약 무기체계를 개발할 때, 개발 목적에 맞는 장비의 기능과 성능을 구현하는 것도 중요하지만, 개발 후 장비가 얼마나 신뢰성을 가지고 공백이 없이 운용유지를 할 수 있는지 매우 중요하다. 그렇기 때문에 장비의 신뢰성을 높이기 위하여 다양한 활동을 수행한다. 개발 시 높은 스펙의 부품을 사용하고, 분석을 통하여 신뢰도를 검증하며, 개발 시제품을 이용하여 시험을 통해 장비의 부족한 부분은 보강하고 개선하여 신뢰성을 강화시키기 위한 활동을 한다. 그러나 최근에는 급변하는 외부 정세 및 기술 등에 의하여 개발 일정이 단축되고, 비용 등의 문제로 인하여 충분한 신뢰성 성장활동을 수행하지 못하는 경우가 발생하고 있다. 분석적인 방법(신뢰도 분석, FMECA 등)으로만 신뢰성 활동을 하는 사업들이 그 예이다. 본 논문에서는 FMECA와 초가속수명시험(HALT)을 통하여 분석과 시험이라는 방법을 같은 장비에 각각 수행했을 때, 도출된 신뢰성 성장 활동 내용과, 그로 인한 설계변경/검토 결과가 두 방법에서 어떠한 차이를 보이는지 비교/분석하고, 신뢰성 성장 활동을 강화하기 위한 방안을 제시하고자 한다. 개발 초기부터 분석을 통한 신뢰성 성장활동 및 초기 시제 제작 완료 시 시험을 통한 신뢰성 성장활동을 모두 수행해야 한다고 분석되었다.

Abstract When developing weapons systems, it is important to implement the functions and performance of equipment suitable for development purposes, but it is very important to ensure that the equipment is capable of operating without any vacuum with reliability after development. Therefore, various activities are carried out to enhance reliability of equipment. Reliability is enhanced by using high-specification parts in development, reliability verification through analysis, and testing using development prototypes to reinforce and improve the parts that are lacking in equipment. However, recently, development schedules are shortened due to rapidly changing external conditions and technologies, and there are cases where sufficient reliability growth activities were not carried out due to problems such as cost. Examples are projects that perform reliability activities only in analytical methods (reliability, FMECA). In this paper, analyzing and testing methods for analysis and testing were carried out on the same equipment through FMECA and super-accelerated life test, the contents of reliability growth activity were derived, the results of design change/review were accordingly compared, the differences between the two methods were analyzed, and measures were proposed to strengthen reliable growth activities. It was concluded that reliable growth activities through analysis from the beginning of development and reliable growth activities through testing should be carried out at the completion of initial prototype production.

Keywords : ILS(Integrated Logistic Support), FMECA(Failure Mode Effects and Critical Analysis),
HALT(Highly Accelerated Life Test), Reliability, Reliability Growth Activity

*Corresponding Author : Sang-Hee.Shin(LIG Nex1 co. Ltd)

email: sanghee.shin@lignex1.com

Received March 31, 2020

Accepted July 3, 2020

Revised April 22, 2020

Published July 31, 2020

1. 서론

무기체계를 개발함에 있어 장비의 원활한 운용과 가용도를 높이기 위하여, 분석 및 시험을 통하여 신뢰도를 분석하고 필요 시 연구 및 설계반영을 통한 신뢰성 성장 활동을 수행한다. 먼저 개발 초기 단계에서 신뢰도 분석을 수행 후, 고장률이 높고 품질이 낮은 소자를 사용하지 않는지, 장비의 신뢰도 수준이 높은지 여부를 판단한다. 이후 연구 및 설계반영을 통하여 더 높은 신뢰도 수준을 가질 수 있는 장비를 만들기 위한 노력을 한다.

이후 첫 시제가 제작되면 해당 시제를 가지고 기능을 구현하고 성능이 요구조건을 만족하는지 판단하며, 해당 시제를 이용하여 신뢰성 시험을 수행하고 취약부분이 어디 있는지, 어떤 장치 혹은 소자를 변경하여 신뢰성을 높일 수 있는지 판단하여 설계반영 활동을 수행한다.

본 논문에서는 하나의 장비를 선정하여 해당 장비에 대한 신뢰성 성장활동으로 “Analysis” 방법으로 FMECA를 수행하고, “Test” 방법으로 초가속수명시험(HALT)을 수행하였다.

“Analysis” 방법으로 도출된 장치의 위험요소와, “TEST” 방법으로 확인된 장치의 위험요소 혹은 설계변경 내용을 비교 하여 어떠한 차이가 있는지 확인하고, 신뢰성 성장활동 강화를 위해 프로세스를 구성하기 위한 방법을 제시하고자 한다.

2. 연구 방법

기존 연구 사례에 따르면, 대부분의 장비는 분석적인 방법(FMECA, ALT 등)으로 신뢰성 활동을 수행하고, 시제가 많거나, 제품의 특성에 따라 필요 시 시험방법을 이용한 신뢰성 활동을 수행하였다.

사례를 보면 분석, 시험 등 단일의 방법을 통해서만 결과를 도출하여 개선을 수행하기 때문에, 해당 방법에 대해서만 반영되는 결과를 확인할 수 있었다. 그러므로 다양한 신뢰성 성장활동 수행에 제한이 있으며, 결과에 대한 검증이 어렵다고 판단하였다.

예를 들면, FMECA나 ALT를 통해서 신뢰성 분석을 수행 하였을때, 대체로 분석 결과에서 도출된 모든 내용을 설계에 반영하지 않는다. 이때, 어떤 항목이 설계반영 시 우선순위가 높은지, 효과가 있는지에 대한 비교 검증이 되지 않았다.

본 논문은 분석적 방법 중 대표적인 방법인 FMECA의

방법과, 시험의 방법 중 HALT를 함께 수행하고, 해당 결과의 추이와 분석 방법 대하여 확인하고자 한다.

본 논문의 전체 프로세스는 다음과 같다.

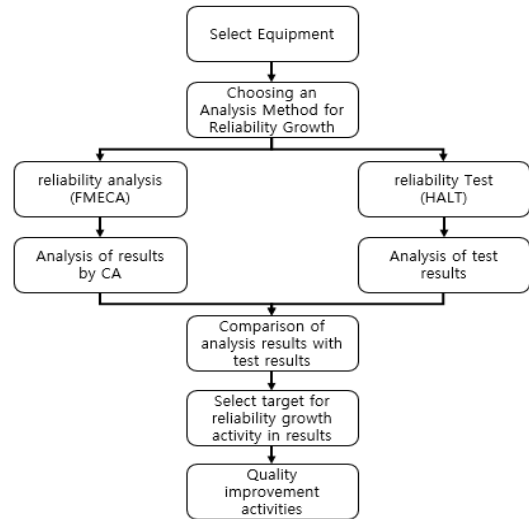


Fig. 1. Process for Study

위 프로세스에 따라 분석과 시험의 신뢰성 활동을 수행하고, 해당 결과를 비교하고, 결과 값 내에서 품질 개선을 위한 활동을 수행한다.

분석 대상 장치는 항공기 플랫폼에 장착되는 전자장비 2종을 선정하였고, 해당 장비에 대하여 분석과 시험을 모두 수행하여 그 결과를 비교한다.

2.1 분석(Analysis)을 통한 신뢰성 성장방법

장치 개발 시, 개발자는 성능과 신뢰 요구도에 따라, 필요에 맞는 부품을 사용하고, 운용 간 장비의 신뢰성을 고려한 설계를 수행하며, ILS 개발자는 해당 장치에 대한 신뢰도 분석을 통하여 장치의 목표된 요구도를 충족하고, 필요 시 설계변경 활동을 통하여 더 신뢰성이 높은 장치를 개발할 수 있도록 한다.

또한 잠재적인 고장유형들을 도출하여, 그에 따른 영향과 치명도를 파악, 분석하여 발생 가능한 문제들을 예측하고, 고장을 예방하기 위한 방법 제시 혹은 설계변경을 통한 문제 발생 소지를 제거하는 활동을 수행한다. 해당 업무를 통하여 다음과 같은 정보를 얻을 수 있다.

- 1) 평균적으로 어떠한 부품이 빈번하게 고장이 나는가?

- 2) 고장 발생 시, 어떠한 기능이 불가한가?
- 3) 고장이 될 발생하도록 조치하거나, 사전에 점검할 수 있도록 설계변경을 도출할 수 있는가?

2.1.1 RAM 업무 기반 분석

위와 같은 업무를 수행하기 위해서는 먼저 분석의 KEY 값이 되는 신뢰도 분석(PSA)을 수행한다.

신뢰도 분석을 위한 온도 조건은 -40°C to +71°C 이며, 환경조건은 AUF를 적용한다.

품질등급은 MIL-HDBK-217F의 기준에 따른 품질등급을 우선 적용하며, 상용품에 대한 품질 등급은 ANSI/VITA 51.1- 2008(R2013)의 기준에 따라 적용한다.

신뢰도 분석의 수학적 모델은 장비에 고장이 발생하였을 때 고장을 복귀한 시점부터 다음 고장 시점까지의 평균시간을 의미하는 MTBF 값을 산출하는 방식을 적용하고, 해당 수식은 다음과 같다.

$$MTBF_{Equipment} = \frac{1}{\sum_{i=1}^n \left(\frac{Quantity_{component(i)}}{MTBF_{component(i)}} \right)}$$

$$MFBF = \frac{1}{\lambda}$$

신뢰도 분석 방법에 대한 방법 및 상세 절차는 MIL-HDBK-217F 기준 및 종합군수지원 실무지침서를 참조한다.

2.1.2 RAM 기반의 FMECA

분석된 신뢰도를 기반으로 FMECA를 수행한다.

FMECA는 기능 정의를 통하여 각 기능별 부여된 ID를 기준으로 해당 기능에 대한 고장모드(EX: SHORT, OPEN 등), 고장영향 (해당 부품, 상위품목, 체계)에 대한 항목 정의하고, 고장 탐지 방법에 대한 명확화 (BIT, 육안/도통, 정비장비 등), 해당 기능에 대한 품목 고장률 기반으로 위험도(설계변경 or 예방정비) 분석 / 관리한다.

FMECA를 수행하기 위한 절차는 다음과 같다. 분석을 위한 상세 절차는 MIL-STD-1629A "Procedure For Performing a Failure Mode, Effects and Criticality Analysis"를 참조한다.

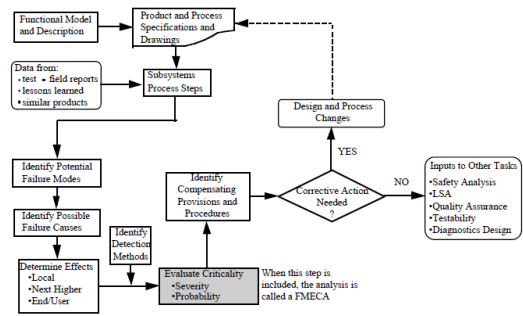


Fig. 2. FMECA Step (MIL-HDBK-470A)

2.1.3 치명도 분석

FMECA분석 절차 중 CA(치명도) 분석을 통한 데이터 값을 실제 비교 값으로 사용하기 위하여 상세 기준을 정의한다. 기능정의를 통한 FMECA를 통하여 각 고장 유형별 치명도 값을 산출 할 수 있다.

고장유형별 치명도 값은 다음과 같이 산출되며, 각 계수는 다음을 의미한다.

$$C_M = \alpha \times \beta \times \lambda_p \times t$$

α : 고장유형비

β : 고장영향확률

λ_p : 품목 고장률

t : 연간 운용시간

또한 체계 혹은 장비 단위에서의 품목 별 치명도 값은 다음과 같이 산출한다. 치명도 값에 따라 등급으로 변경하고 해당 치명도 Matrix에 반영하여, 위험도 별로 장치의 등급을 가진 장치를 파악하여 위험군 관리를 수행할 수 있다.

$$C_r = \sum_{n=1}^j (C_m)_n$$

C_r : 위험도 별 품목치명도 값

C_m : 고장유형 별 치명도 값

n : 특정 위험도 부호 품목의 첫 번째 고장유형

j : 특정 위험도 부호 품목의 마지막 고장유형

치명도 값의 분류는 개발품목 특성에 따라 설정하며 해당 값을 치명도 등급으로 변경하여 치명도 Matrix를 구성한다.

Table 1. CA Matrix Level

LEV	MIL-STD 882E (per Hr)	FAILURE RATE (X 10 ⁶)	CA RATE (X 1.5Hr)
A	10-1 ≤ A	100,000 ≤ A	150,000 ≤ A
B	10-2 ≤ B < 10-1	10,000 ≤ B < 100,000	15,000 ≤ B < 150,000
C	10-3 ≤ C < 10-2	1,000 ≤ C < 10,000	1,500 ≤ C < 15,000
D	10-6 ≤ D < 10-3	1 ≤ D < 1,000	1.5 ≤ D < 1,500
E	E < 10-6	E < 1	E < 1.5

품목 치명도와 위험도 부호를 근거로 하여 치명도 Matrix를 작성하고 중점관리 대상 고장유형을 도출하여 그에 대한 대안 내용을 강구한다. 치명도 Matrix의 세로 축은 치명도를 기준으로 나눈 등급을 적용하며, 가로축은 위험도 등급을 적용한다.

Criticality Level [Cm]	A	0	0	0	0	0
	B	0	0	0	0	0
	C	0	0	0	0	0
	D	0	0	0	0	0
	E	0	0	0	0	0
		0	0	0	0	0
		Severity Classification				
		4 3 2 1				

Fig. 3. CA Matrix Table

치명도 Matrix에 따라 붉은 색의 분포에 포함되는 장치의 유형에 대해서는 설계 변경을 수행할 수 있도록 방법을 강구해야한다. 노란 부분에 대해서는 설계변경의 필요성을 검토 후, 대체 방안이 있는지 여부를 판단하거나, 협의 후 허용이 가능한 부분이다. 해당 논문에서는 검토 대상에 포함되는 내용 중 주요 항목을 선정하여 분석한다.

2.2 초가속수명시험

초가속수명시험(Highly Accelerated Life Test Plan, "HALT")은 장치를 개발환경조건 한계점 이상에서의 가속수명시험을 통하여 시료의 취약점을 파악하고, 이의 고장원인 분석과 설계변경 등 개선활동을 통해 강건한 설계를 하기 위하여 수행하는 신뢰성 성장관리 활동이다.

본 시험은 장치를 초가속수명시험 능력을 가진 챔버에 장착 후, 계획된 프로파일에 따라 저/고온, 진동시험을

수행하며 장비를 운용함으로써 장비의 한계점을 찾고, 고장이 발생할 경우, 장비의 취약점이 어딘지, 어떤 품목이 먼저 고장이 나는지 파악하여 강화설계 혹은 예방대책을 찾는 데 목적이 있다. 본 논문에서는 FMECA를 수행했던 실 장비에 대하여 초가속수명시험을 수행하고, 그 결과를 데이터화 하여 신뢰성 성장활동을 위한 분석을 수행하였다. 초가속수명시험을 위한 시험 설계(PROFILE)는 다음과 같다.

2.2.1 시험 설계

2.2.1.1 시료 정보

장치에 대한 시료 정보 및 점검 항목, 환경스펙 등은 다음과 같다.

Table 2. Equipment Information

Category		Contents
Name		Controller (HALT)
Wight (kg)		under 29.099
Size (mm)	Width	269.0
	Height	420.7
	Depth	226.0
Quantity		1 EA
Shape		

2.2.1.2 시험 장비

초가속수명시험을 수행하기 위한 시험장비는 초가속수명시험기와 데이터로거, 온도센서 등이 있다. 이에 대한 제원은 다음과 같다.

Table 3. HALT Test Equipment

Name	Model	Ability	Shape
HALT Equipment	12-TC1545 9 (CSZ)	Tem/Vib Test Tem : -100 ~ 200℃ Temperature change rate : 70 ~ 100℃ per min Vibration: 1~90Grms	
Data Rogger (DAQ)	91R231133 (YOKOGA WA)	Data rogger	

초가속수명시험기 내부에 시험대상 시료를 장착 후, 온도 센서와 데이터 로거를 연결한다. 온도센서는 장비의 전면, 상부, 좌/우 총 4곳에 부착하였고, 더 정확한 데이터를 얻기 위한 온도안정화 시간 시험을 위해 장치 내부 중앙, 발열이 가장 많이 나는 장치, 내부 측면에서도 온도를 확인하였다.

2.2.1.3 운용 점검 장비

초가속수명시험기 내부에 설치된 시료의 운용 및 성능/기능 확인을 위하여 외부에 시험장비를 설치하여 운용 간 장비 상태를 확인한다.

해당 시험에 연결된 점검장비는 다음과 같다.

Table 4. Test Support Equipment

Name	Model	Shape
Test Equipment	Test Controller	
	Power Supply	
Support Equipment	Cooling Equipment	

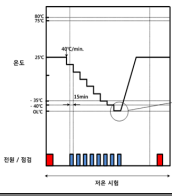
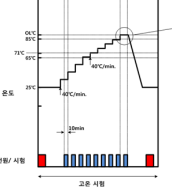
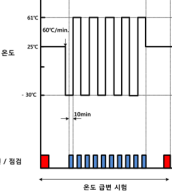
2.2.1.4 시험 프로파일

시험을 수행하기 위한 준비가 완료되면, 시험을 위한 프로파일과 측정 항목을 선정한다.

초가속수명시험은 총 5개의 시험을 순서대로 수행하며, 각각의 시험에 따라 프로파일을 선정하여 각 항목별 시험조건인 합격 여부를 판단하고, 시험조건 이상에서의 시험을 계속 진행하여 Operating limit(장비한계점)을 도출한다. 시험 프로파일은 다음과 같다.

Table 5 . HALT Profile

Low Temperature Step	Start Tem.	25℃
	Tem. Stabilization Time	40min : Stabilization 30min, Test 10min
	Tem. Change Interval	10℃ (5℃ after Objective)
	Velocity	- 40℃/min

High Temperature Step	Profile		
	Start Tem.	25℃	
	Tem. Stabilization Time	35min : Stabilization 25min, Test 10min	
	Tem. Change Interval	10℃ (5℃ after Objective)	
Temperature Rapidity Test	Velocity	+ 40℃/min	
	Profile		
	Start Tem.	25℃	
	Tem. Stabilization Time	Low Tem : 50 min : Stabilization 40 min, Test 10 min High Tem : 45 min : Stabilization 35 min, Test 10 min	
Vibration Step	Repetition	5 times	
	Velocity	60℃/min.	
	Test Limit	Low -30℃ High 61℃	±10℃ From Objective
	Profile		
Vibration Step	Start Lev	5G RMS	
	Operating Time	10 min : Test 10분	
	Vib Change Interval	5G RMS / 5 ~ 10,000Hz	

Combined Environmental Test Report

2.2.2 시험결과 활용

해당 논문에서의 시험은 분석과 시험의 결과를 비교하기 위한 시험이므로, 장비의 요구설계조건에 부합하여 설계변경활동을 수행하지 않아도 되지만, 장비의 운용한계치(OL)에서의 발생된 문제점에 대해서도 언급하겠다.

동일 장비에 대하여 신뢰성 성장 활동을 수행하기 위하여 대상 장비에 대한 FMECA 와 HALT 분석결과를 도출하였다. 해당 논문에서는 “2. 연구방법”에서 제시한 동일한 방법을 사용한 다른 장비의 사례를 추가하여 분석 결과의 다양성과 신뢰성을 높이고자 한다. [사례1], [사례2]로 표기하여 결과를 제시한다.

3.1.1 신뢰성 분석 결과 (FMECA)

[illegible]

3.1.1.1 CA 분석을 통한 고위험도 품목 선정
A 장비에 대한 치명도 분석 결과는 다음과 같다.

Crit
L
[C

411

에 의한 방안을 검토하여 결과로 제시하였다.

26개의 고장유형 치명도에 해당되는 항목 중 위험도 별 장치의 치명도 등급은 다음과 같다.

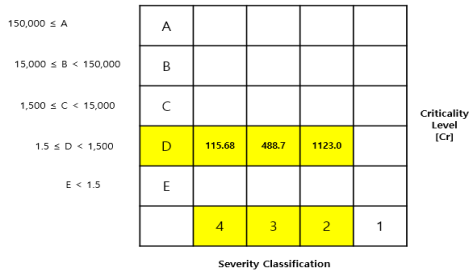


Fig. 6. CA Matrix Result (Cr)

해당 장비는 레벨 D의 치명도 등급을 가진 다소 안정적인 장비이므로 분석결과 상 설계변경에 대한 소요는 없다. 하지만 그래프에서 위험도가 높아질수록 치명도 값이 높아지기 때문에, 위험도 2등급에 속해있는 고장유형 및 관련 부품에 대한 검토가 필요하다.

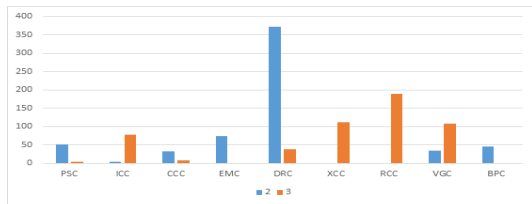


Fig. 7. CA Result (Graph)

장치 내 SRU별 치명도 값을 보면 위험도가 2인 품목 중 디지털 수신판의 치명도 값이 다른 SRU에 비해 높다는 것을 알 수 있다. 해당 보드에 대한 고장유형을 검토한 값은 다음과 같다.

Table 6. CA Result (A Equipment)

SRU	Failure Mode	Severity	Criticality	parts	Opinion
Digital Receiver	Measure TOA	2	D	Integrated Circuit	AD9689BB PZ 1. Design "Built In Test 2. Detect fault by ATE
Digital Receiver	Measure PRI	2	D	Integrated Circuit	AD9689BB PZ 1. Design "Built In Test 2. Detect fault by ATE
Digital Receiver	Measure Signal Present) Signal perse	2	D	Integrated Circuit	AD9689BB PZ 1. Design "Built In Test 2. Detect fault by ATE

Digital Receiver	Measure Frequency	2	D	Integrated Circuit	AD9689BB PZ	1. Design "Built In Test 2. Detect fault by ATE
Digital Receiver	Measure Modulation	2	D	Integrated Circuit	AD9689BB PZ	1. Design "Built In Test 2. Detect fault by ATE
Digital Receiver	Detect CW	2	D	Integrated Circuit	AD9689BB PZ	1. Design "Built In Test 2. Detect fault by ATE
Digital Receiver	Generate PDW	2	D	Integrated Circuit	AD9689BB PZ	1. Design "Built In Test 2. Detect fault by ATE
Digital Receiver	Transmit a PDW	2	D	Integrated Circuit	AD9689BB PZ	1. Design "Built In Test 2. Detect fault by ATE

3.1.1.2 설계반영을 통한 신뢰성 성장내용

해당 결과를 토대로, 디지털 보드의 기능을 수행하는 주요 능동소자인 Integrated Circuit의 부품에 대한 신뢰성 성장을 진행할 수 있다.

- 1) MIL급 부품 혹은 스펙이 더 높은 부품으로 변경
- 2) 보드, 장치단위의 방열 추가, 전력값 분산 등의 물리적 설계변경
- 3) BIT 능력을 세분화, 야전정비지원장비 내 보드 상세 탐지 설계 등 고장탐구 능력 향상

3.1.2 추가속수명시험 결과 (HALT)

앞서 "ANALYSIS" 방법의 신뢰성 성장 수행을 했다면, 추가속수명시험을 통하여 "TEST"의 방법을 통해 신뢰성 성장을 수행하였다. 시험의 결과는 각 STEP별로 다음과 같다.

3.1.2.1 STEP별 결과

3.1.2.1.1 저온 스텝

2-1) 시험 중 성능과사

Temp [°C]	정렬인가	정렬	1553	I/O	BIT	신호수입	유속	표속	상단	비고
25	O	O	Pass	Pass	Pass	Pass	25.5	25.2	25.5	-
15	O	O	Pass	Pass	Pass	Pass	14.9	14.3	14.0	-
5	O	O	Pass	Pass	Pass	Pass	5.8	5.0	4.0	-
-5	O	O	Pass	Pass	Pass	Pass	-3.4	-4.3	-4.5	-
-15	O	O	Pass	Pass	Pass	Pass	-13.2	-14.2	-14.1	-
-25	O	O	Pass	Pass	Pass	Pass	-23.1	-24.1	-24.1	-
-35	O	O	Pass	Pass	Pass	Pass	-33.1	-34.1	-33.9	-
-40	O	O	Pass	Pass	Pass	Pass	-38.7	-39.7	-39.3	(1)
-45	-	-	-	-	-	-	-43.8	-44.8	-44.4	(2)
-43	O	O	Pass	Pass	Pass	Pass	-41.1	-42.4	-42.5	(3)
-45	O	O	Pass	Pass	Pass	Pass	-44.5	-46.0	-45.0	LOL
-48	O	O	Pass	Pass	Pass	Pass	(4)	-46.4	-47.5	(4-1)
25	O	O	Pass	Pass	Pass	Pass	24.8	24.4	24.5	-

- 특이사항
- (1) Threshold/ Objective
- (2) ESS 시험 장비 통신 이상
- (3) 영상 확인
- (4) 디지털수신판 X(대역폭 PLL 초기화) 동작 오류
- (4-1) 170 초 예열 후 정상동작 확인

Fig. 8. HALT Low Temperature Report

3.1.2.1.5 복합 환경 스텝

복합 환경 스텝은 온도급변시험과 진동스텝을 동시에 수행하는 방법으로, 장비에 가장 스트레스를 많이 가하는 시험이지만, 저온/고온시험과 달리 정해진 프로파일 내 (장비 설계 기준)에서 시험을 수행하였고, 특이사항은 발생되지 않았다.

3.1.2.2 설계반영을 통한 신뢰성 성장 내용

초가속수명시험을 수행한 결과는 다음과 같다. 시험 시 Operating Limit을 확인하기 위한 시험 (저온, 고온, 진동)을 제외하고, 시험 프로파일을 장비의 설계 요구조건에 맞게 설계하기 때문에, Test 시 특이사항은 없었다.

물론 장비 설계요구조건을 맞추지 못한 상태의 장비가 제작되었다면 더 많은 문제점이 발생되었을 것이다.

설계의 요구조건 부합하는 장비이지만, 신뢰성 성장활동을 위하여 Operating Limit Test를 수행하였고, 해당 내용에 대한 조치를 다음과 같이 수행하였다.

- 1) 저온시스템 : PLL(Integrated Circuit) 스펙 재확인
및 더 높은 스펙의 소자 변경 필요여부 확인
- 2) 고온시스템 : 리미터 소자 열화에 대한 조치
 - 고품질의 리미터 소자로 변경필요여부 확인
 - 납땜 시 불량률이 발생되지 않도록 품질검사 확인
 - 해당 보드 PCB 코팅 수행

3.1.3 FMECA 결과와 HALT 수행 결과 비교

동일한 장비를 대상으로 신뢰성 성장 위한 FMECA 와
초가속수명시험(HALT)의 분석 결과는 다음과 같다.

Table 7. Reliability Growth Result (FMECA and HALT)

	Failure	Part	P/N	Reliability Growth Opinion
FMECA	Digital Receiver Fail	Integrated Circuit	-AD9689BB PZ-2600 -XQKU115 -2RLF19	- Change to Mil spec part - Heat dissipation Design - bit design
HALT	Digital Receiver Fail	Integrated Circuit	LMK04828 SNKDTEP	- Change to Mil spec part - discussion for changing parts
	RF Distributor Module	Semiconductor	LM501202-M-C-300-T	- Change to Mil spec part - discussion for changing parts - Enhancement of manufacturing process quality - PCB coating

분석 결과에서는 “ANALYSIS”와 “TEST”의 분석결과
의 차이점을 보였다.

먼저, 장비 내 고장률 및 위험도가 높은 품목에 대하여 디지털수신판(DRC)라는 동일한 보드가 설계 검토 대상으로 식별되었다. 그러나 세부 사항에서는 “ANALYSIS”와 “TEST”의 결과가 대상 Part(소자)와 기능이 다르게 분석되었다. 또한 “TEST”에서는 “ANALYSIS”에서 식별되지 않은 SRU에 대한 고장 및 대상 PART가 분석되었다.

분석 결과에 따라 동일한 항목이 도출된 디지털수신판의 경우, 품질 개선활동으로 도출된 부품(능동소자) 외에도 전체적인 설계검토를 수행하였고, 냉각패드 등 보드에 가해지는 스트레스를 줄이기 위한 활동을 하였다. RF 고주파반배모듈의 경우, 소자 변경 보단 코팅이나 제조품질 향상을 통한 신뢰성 성장활동을 수행하였다.

3.2 [사례2] 항공 전자장비(B) 분석

3.2.1 신뢰성 분석 결과 (FMECA)

FMECA를 수행한 결과에서 해당 논문에서 필요한 신뢰성 성장 활동을 위한 설계변경/검토 대상 품목을 선정하는 CA(치명도 분석)에 대한 결과는 다음과 같다.

[illegible]

Fig. 14. FMECA Result (B Equipment)

3.2.1.1 CA 분석을 통한 고위험도 품목 선정

B 장비에 대한 치명도 분석 결과는 Fig. 15와 같다. 해당 장비 내 구성품(회로카드조립체, 모듈 등)에 대한 고장유형은 총 8개이고, 유형중 위험도부호 2에 해당하는 유형은 총 7개 이다. 이중 설계검토대상 품목은 7개 해당 품목에 대하여 연구 및 설계반영 등 신뢰성 향상에 의한 방안을 검토하여 결과로 제시하였다.

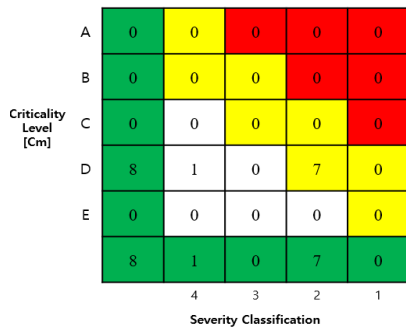


Fig. 15. CA Matrix Result (Cm)

26개의 고장유형 치명도에 해당하는 항목 중 위험도 별 장치의 치명도 등급은 다음과 같다.

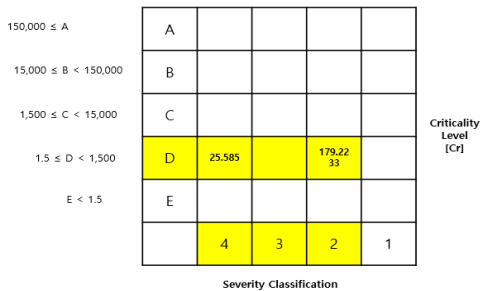


Fig. 16. CA Matrix Result (Cr)

해당 장비는 레벨 D의 치명도 등급을 가진 다소 안정적인 장비이므로 분석결과 상 설계변경에 대한 소요는 없다. 하지만 그래프에서 위험도가 높아질수록 치명도 값이 높아지기 때문에, [사례1]과 마찬가지로 위험도 2등급에 속해있는 고장유형 및 관련 부품에 대한 검토가 필요하다.

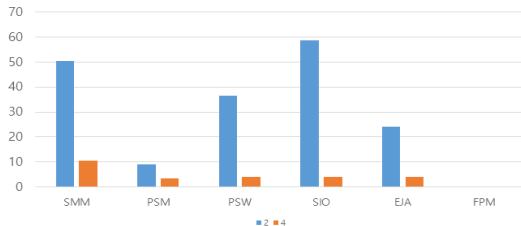


Fig. 17. CA Result (Graph)

장치 내 SRU별 치명도 값을 보면 위험도가 2인 품목 중 디지털 수신판의 치명도 값이 다른 SRU에 비해 높다는 것을 알 수 있다. 해당 보드에 대한 고장유형을 검토한 값은 다음과 같다.

Table 8. CA Result (B Equipment)

SRU	Failure Mode	Severity	Criticality	Parts		Opinion
SIO	Interface	2	D	Integrated Circuit	HI-84309CT	- Design "Built In Test - Detect fault by ATE
SIO	Built in Test	2	D	Integrated Circuit	84096012A	- Design "Built In Test - Detect fault by ATE
SIO	Output	2	D	Semiconductor	JANTX1N6628US	- Design "Built In Test - Detect fault by ATE
SIO	System Control	2	D	Integrated Circuit	A3PE600L-FG484	- Design "Built In Test - Detect fault by ATE

3.2.1.2 설계반영을 통한 신뢰성 성장내용

해당 결과를 토대로, 디지털 보드의 기능을 수행하는 주요 능동소자인 Integrated Circuit의 부품에 대한 신뢰성 성장을 진행할 수 있다.

- 1) BIT 능력을 세분화, 야전정비지원장비(ATE) 내 보드 상세 탐지 설계 등 고장탐구 능력 향상

3.2.2 초가속수명시험 결과 (HALT)

앞서 “ANALYSIS” 방법의 신뢰성 성장 수행을 했다면, 초가속수명시험을 통하여 “TEST”의 방법을 통해 신뢰성 성장을 수행하였다. 시험의 결과는 각 STEP별로 다음과 같다.

3.2.2.1 STEP별 결과

3.2.2.1.1 저온 스텝

Temp [°C]	기본성능 (4 항목)	동요리/FFPGA (7 항목)	1533RT (5 항목)	Discrete/ Pulse (4 항목)	내부온도 [°C]		비고
					SMM	PSM	
23	o	o	o	o	25.5	25.0	-
-42	o	o	o	o	-38.5	-40.0	-
-47	o	o	o	o	-44.5	-46.2	-
-52	o	o	o	o	-50.0	-49.8	-
-57	o	o	o	o	-55.0	-50.0 (1)	-
-62	o	o	o	o	-60.0	-50.0 (1)	-
-67	o	o	o	o	-65.0	-50.0 (1)	-
-73	o	o	o	o	-70.0	-50.0 (1)	LOL
-77	o	o	o	o	75.0	-50.0 (1)	(2)
23	o	o	o	o	25.0	24.5	(3)

• 특이사항
(1) PSM 온도 센서 측정범위 한계로, -50 °C까지 표시 가능
(2) 비정상 결과 8 건 발생
(3) 정상 회복

Fig. 18. HALT Low Temperature Report

저온 시험 결과에 대한 성적서 발췌본이다. 전체적인 평가에서는 프로파일 내 온도에서는 장치가 정상 동작을 수행하여 결과 내 특이사항은 없다.

그러나 예비 시험 단계에서 PSM.HOLD-UP 관련 4건의 FAIL이 발생하였다.

전원공급모듈(PSM)내의 HUGD-300 Series 소자가 운용온도 범위 (Case temperature : $-40^{\circ}\text{C}\sim 105^{\circ}\text{C}$)를 벗어나게 되어 정상 작동 못한 것으로 분석하였다.

3.2.2.1.2 고온 스텝

Temp [°C]	기본성능 (4 항목)	메모리/ FPGA (7 항목)	1533RT (5 항목)	Discrete/ Pulse (4 항목)	내부온도 [°C]		비고
					SMM	PSM	
25	o	o	o	o	25.0	23.4	-
82	o	o	o	o	78.0	78.2	-
87	o	o	o	o	86.0	85.0	-
92	o	o	o	o	91.0	90.2	-
97	o	o	o	o	96.5	95.4	-
102	o	o	o	o	101.5	100.6	(1)
25	o	o	o	o	26.5	24.0	-

• 특이사항
(1) 시험 수 제한으로, 이후 시험 진행을 위해 시험 중단

Fig. 19. HALT High Temperature Report

고온 시험 결과에 대한 성적서 발췌본이다. 전체적인 평가에서는 저온 스텝과 마찬가지로 프로파일 내 온도에서는 장치가 정상 동작을 수행하여 결과 내 특이사항은 없다.

3.2.2.1.3 온도급변 스텝

온도급변 스텝의 경우, 저온, 고온과 달리 장치 설계온도 내에서 저온, 고온을 반복하여 시험을 수행한다. 장치 내 스트레스는 계속 가해지겠지만, 저온과 고온에서 설계온도 이상의 Operating Limit을 확인하였기 때문에, 해당 시험에서는 특이사항이 발생하지 않았다.

Cycle	Temp [°C]	기본성능 (4 항목)	메모리/ FPGA (7 항목)	1533RT (5 항목)	Discrete/ Pulse (4 항목)	내부온도 [°C]		비고
						SMM	PSM	
-	25	o	o	o	o	25.5	23.0	-
1	-34	o	o	o	o	-29.5	-31.8	-
	64	o	o	o	o	60.5	60.2	-
2	-34	o	o	o	o	-29.0	-31.6	-
	64	o	o	o	o	60.5	60.2	-
3	-34	o	o	o	o	-28.5	-31.2	-
	64	o	o	o	o	59.5	59.6	-
4	-34	o	o	o	o	-28.5	-31.2	-
	64	o	o	o	o	59.5	59.8	-
5	-34	o	o	o	o	-28.5	-31.2	-
	64	o	o	o	o	59.5	59.6	-
-	25	o	o	o	o	26.0	23.6	-

• 특이사항 없음

Fig. 20. Temperature Sudden Change Test Report

3.2.2.1.4 진동 스텝

진동 스텝의 경우 시험장비가 수행할 수 있는 진동스텝에 대하여 특이사항이 없었다.

Temp [°C]	Vibration [Grms]	기본성능 (4 항목)	메모리/ FPGA (7 항목)	1533RT (5 항목)	Discrete/ Pulse (4 항목)	비고
0	o	o	o	o	o	-
30	o	o	o	o	o	Objective
35	o	o	o	o	o	-
40	o	o	o	o	o	-
45	o	o	o	o	o	-
50	o	o	o	o	o	FLT
0	o	o	o	o	o	-

• 특이사항
(1) FLT: 장비 측정한계로 시험 중단

Fig. 21. Vibration Step Report

3.2.2.1.4 복합 환경 스텝

복합 환경 스텝은 온도급변시험과 진동스텝을 동시에 수행하는 방법으로, 장비에 가장 스트레스를 많이 가하는 시험이지만, 저온/고온시험과 달리 정해진 프로파일 내 (장비 설계 기준)에서 시험을 수행하였고, 특이사항은 발생되지 않았다.

Cycle	Vibration [Grms]	Temp [°C]	기본성능 (4 항목)	메모리/ FPGA (7 항목)	1533RT (5 항목)	Discrete/ Pulse (4 항목)	내부온도 [°C]		비고
							SMM	PSM	
-	5	25	o	o	o	o	24.5	23.0	-
1	8	-34	o	o	o	o	-28.5	-32.0	-
		64	o	o	o	o	59.5	59.6	-
2	11	-34	o	o	o	o	-28.5	-31.4	-
		64	o	o	o	o	60.0	59.8	-
3	14	-34	o	o	o	o	-29.5	-32.0	-
		64	o	o	o	o	60.0	59.8	-
4	17	-34	o	o	o	o	-28.5	-31.4	-
		64	o	o	o	o	60.0	59.8	-
5	20	-34	o	o	o	o	-29.0	-31.8	-
		64	o	o	o	o	60.0	60.0	-
-	0	25	o	o	o	o	26.0	24.0	-

• 특이사항 없음

Fig. 22. Combined Environmental Test Report

3.2.2.2 설계반영을 통한 신뢰성 성장 내용

초가속수명시험을 수행한 결과는 [사례 1]과 같이 Operating Limit을 확인하기 위한 시험 (저온, 고온, 진동)을 제외하고, 시험 프로파일을 장비의 설계 요구조건에 맞게 설계하기 때문에, Test 시 특이사항은 없었다.

시험 시 발생된 문제에 대해서 신뢰성 성장활동을 위하여 해당 내용에 대한 조치를 다음과 같이 수행하였다.

- 1) 저온스텝 : 전원 공급모듈(PSM)의 HUGD-300 Series 소자에 대한 온도범위 향상을 위해 MIL급 이상의 소자변경에 대한 검토를 수행하였다. (Operating 시 소자의 최대 스펙인 105°C 를 125°C 의 소자로 변경하기 위한 성능점검 수행)

3.2.3 FMECA 결과와 HALT 수행 결과 비교

[사례2]의 장비를 대상으로 신뢰성 성장을 위한 FMECA 와 초가속수명시험(HALT)의 분석 결과는 다음과 같다.

Table 9. Reliability Growth Result (FMECA and HALT)

Method	Failure	Parts	P/N	Reliability Growth Opinion
FMECA	SIO	Integrated Circuit	HI-84309CT	- Design "Built In Test - Detect fault by ATE
	SIO	Integrated Circuit	84096012A	- Design "Built In Test - Detect fault by ATE
	SIO	Semiconductor	JANTX1N6628US	- Design "Built In Test - Detect fault by ATE
	SIO	Integrated Circuit	A3PE600L-FG484	- Design "Built In Test - Detect fault by ATE
HALT	PSM	Converter	Hugd-300	- Change to Mil spec part - discussion for changing parts - Enhancement of manufacturing process quality

Table 10. Review for Reliability Growth Activity

	Method	Parts	Priority	Reliability Growth Activity	Review
A	FMECA	Digital Receiver	1	- Change to Mil spec part - Heat dissipation Design (Cooling pad)	1. the priority of the design change targets is given to the same items.
	HALT	Digital Receiver	2		
		RF Distributor	3	Enhancement of manufacturing process quality	2. When both analysis and testing are carried out, the best reliability growth results are obtained.
B	FMECA	SIO	1	Design "Built In Test	
	HALT	Power Supply	1	- Change to Mil spec part - Enhancement of manufacturing process quality.	

분석 결과에서는 [사례 1] 과 같이 분석에 대한 차이점이 보였다. “ANALYSIS” 방법에서는 SIO Module에 대한 위험성과 치명도가 높아 관리대상이 되었다면, “TEST”에서는 치명도 보단 스트레스가 가장 많이 쌓이는 모듈에 대해서 문제가 발생하였다.

분석 결과에 따라, B 장비는 분석 방법과 시험의 방법에서 동일한 항목이 없으므로 설계자의 판단에 의하여 품질개선 활동을 수행하였다. SIO 보드의 경우, 사업 기간과 비용 등을 고려하여, 고장에 대한 예방을 할 수 있는 BIT설계를 강화하고, 고장 발생 시 세부적으로 고장 분리를 할 수 있도록 하였으며, PSM보드의 경우는 스트레스가 계속 쌓이기 때문에 부품 변경 및 제조공정 강화를 통해 신뢰성을 향상시켰다.

4. 결론

본 논문은 신뢰성 성장활동의 일환으로 “ANALYSIS” 방법인 FMECA와 “TEST”의 방법으로 초가속수명시험

(HALT)을 수행하여, 실제 데이터 결과를 비교/분석하였다.

분석 결과, 연구 및 설계검토 관점에서 유사한 부분보다는 차이점이 더 많이 발생하였다. 부품단위의 고장률과, 주요 기능에 대한 위험도를 기준으로 분석하는 관점과, 운용 간 장비가 받는 스트레스에 따라 발생하는 고장 위치가 다르기 때문이다.

분석적인 방법에서는 고장률에 근거하여, 주요 기능을 수행하여 부품의 사용 빈도 (그에 따른 부품의 스트레스 증가)가 증가하는 품목이 설계검토대상으로 주로 식별된다.

시험의 방법에서는 사용빈도가 높아 스트레스를 많이 받는 품목이 주요 대상인 부분은 유사하나, 고장률의 근거하기 보다는 순간적인 스트레스나 장치의 초단/끝단에서 발생하는 경우가 많았다.

고도화되고 복잡한 기술을 가진 장비 개발에 있어 기

존 방식인 분석이라는 방법만으로는 신뢰성 성장 활동을 수행하는 데에 한계점이 발생한다. 최근 장비들은 시스템화 되기 때문에, 단순 물리적인 설계에 대한 문제점 보다는 보드 간, 장치 간의 연계 및 스트레스로 인한 문제점이 더 빈번하게 발생하기 때문이다. 또한 개발이 어느 정도 완료된 시점에서의 공정상의 오류나 시험으로 인한 데이터들은 실 장비에 반영하는 데에는 많은 문제점들이 따르게 된다. ECP 수행으로 인한 일정의 문제, 반영활동에 있어서의 재료비나 공수 등의 비용 발생 문제들이 그 예이다. 좋은 장비를 개발함에 있어서는 당연한 활동이지만, 현실적으로는 쉽게 볼 수 있는 활동이 아니다. 사전에 문제가 발생하는 것을 방지 하고, 신뢰성이 강화된 제품을 개발하기 위해서는 개발 초기부터 분석을 통한 신뢰성 성장활동을 수행하고, 초기 시제 제작 완료 시 시험을 통한 신뢰성 성장활동을 모두 수행해야 한다.

ILS 개발 프로세스 내, 신뢰성 성장활동에 분석과 시험을 병행하여 좀 더 나은 신뢰성을 보증할 수 있는 국방 무기체계를 개발할 수 있을 것이라 판단한다. 다만, 해당 활동 수행을 위해서 감안해야하는 장비 설계일정과 시험

시제에 대한 비용의 제반사항은 장비 개발 초기 일정 계획수립 단계부터 반드시 고려되어야 하겠다.

References

- [1] MIL-HDBK-470A, 1997.8.4. Department of Defense
- [2] MIL-STD-1629A 1980.9.24. "Procedure For Performing a Failure Mode, Effects and Criticality Analysis"
- [3] HAESANG WANG, "A Study on the Improvement of FMECA Process Using Weapon System Performance Test", Korean Institute Of Industrial Engineers, 3320-3329(10Page), 2019.11.
<http://www.dbpia.co.kr/journal/articleDetail?nodeId=NODE09272525>
- [4] Y J. CHO, "A Study on the Application of HALT Technique to Improve the Reliability of Developed Products", The Korean Reliability Society, (55-55(11Page), 2018.10.
<http://www.dbpia.co.kr/journal/articleDetail?nodeId=NODE07559562>

신 상 희(Sang-Hee Shin)

[정회원]



- 2010년 2월 : 경희대학교 기계산업시스템공학부 산업공학과 (공학 학사)
- 2011년 1월 ~ 현재 : LIG넥스원 선임연구원

<관심분야>

국방/과학, 신뢰성분야

정 주 현(Joo-Hyun Jung)

[정회원]



- 2010년 2월 : 한양대학교 산업공학과 (공학학사)
- 2013년 2월 : 한양대학교 산업공학과 (공학석사)
- 2014년 1월 ~ 현재 : LIG넥스원 선임연구원

<관심분야>

인간공학, UX, GUI

강 태 호(Tae-Ho Kang)

[정회원]



- 1989년 2월 : 원광대학교 전자공학과 (공학학사)
- 2013년 1월 : 국방대학교 사업관리학과 (경영석사)
- 2011년 6월 ~ 현재 : LIG 넥스원 연구원

<관심분야>

국방/과학, 신뢰성분야

이 종 신(Jong-Sin Lee)

[정회원]



- 2001년 2월 : 인하대학교 산업공학과 (공학학사)
- 2000년 12월 ~ 현재 : LIG넥스원 수석연구원

<관심분야>

국방/과학, 빅데이터, 군수보급 분야