

반도체 테스트 소켓의 검사속도 및 반복 정밀도 개선형 검사장치에 관한 연구

박형근
남서울대학교 전자공학과

A Study on the Test Device for Improving Test Speed and Repeat Precision of Semiconductor Test Socket

Park Hyoung-Keun
Department of Electronic Engineering, Namseoul University

요약 패키지에벨에서 반도체의 신뢰성 검사는 테스트 소켓에 반도체 칩 패키지를 탑재시킨 상태에서 테스트가 진행되며, 테스트 소켓은 기본적으로 반도체 칩 패키지의 형태에 따라서 그 모양이 결정되는 것이 일반적이다. 또한, 반도체 칩 패키지의 리드와 소켓 리드의 기계적인 접촉에 의해 테스트 장비와 연결하는 매개체의 역할을 하며, 신호전달 과정에서 신호의 손실을 최소화하여 반도체에 검사신호를 잘 전달할 수 있도록 하는 기능이 핵심이다. 본 연구에서는 이웃하고 있는 전기 전달 경로의 상호 영향성을 검사 할 수 있는 기술을 적용함으로써 수명 검사와 정밀 측정뿐만 아니라 이웃하고 있는 전기 전달 경로의 구조를 포함하여 단 한 번의 접촉을 통해 100개미만의 실리콘 테스트 소켓의 합선 테스트가 가능하도록 개발하였다. 개발된 장치의 테스트 결과 99%이상의 테스트 정밀도와 0.66이하의 동시 검사속도 특성을 나타내었다.

Abstract At the package level, semiconductor reliability inspections involves mounting a semiconductor chip package on a test socket. The form of the test socket is basically determined by the form of the chip package. It also acts as a medium to connect with test equipment through mechanical contact of the leads and socket leads in the chip package, and it minimizes signal loss in a signal transmission process so that an inspection signal can be delivered well to the semiconductor. In this study, a technique was applied to examine the interdependence of adjacent electrical transfer routes and the structure of adjacent electrical transfer paths. The goal was to enable short-circuit testing of fewer than 100 silicon test sockets through a single interface for life tests and precision measurements. The test results of the developed device show a test precision of 99% or more and a simultaneous test speed characteristic of 0.66 sec or less.

Keywords : Smiconductor Test, Test Socket, Package Level Test, Test Speed, Test Accuracy

1. 서론

패키지에벨에서 반도체의 신뢰성 검사는 테스트 소켓에 반도체 칩 패키지를 탑재시킨 상태에서 테스트가 진행되며, 테스트 소켓은 기본적으로 반도체 칩 패키지의

형태에 따라서 그 모양이 결정되는 것이 일반적이다. 또한, 반도체 칩 패키지의 리드와 소켓 리드의 기계적인 접촉에 의해 테스트 장비와 연결하는 매개체의 역할을 하며, 통상적으로 탄성을 가지면서도 전기전달 전도율이 뛰어난 소재를 사용해야 하며, 신호전달 과정에서 신호의

*Corresponding Author : Hyoung-Keun Park(Namseoul Univ.)
email: phk315@nsu.ac.kr

Received November 16, 2020
Accepted January 8, 2021

Revised December 4, 2020
Published January 31, 2021

손실을 최소화하여 반도체에 검사신호를 잘 전달할 수 있도록 하는 기능이 핵심이다.

반도체용 테스트 소켓은 일정한 주기에 따라 성능에 관계없이 일괄적으로 교체함으로써 비용의 증가를 초래하고 있다. 또한, 동시에 수백개의 반도체를 검사하는 과정에서 불량 소켓으로 인하여 패키지레벨 테스트 오류가 발생하고 있으며, 소켓 자체의 불량을 검출하기 위하여 기존에는 전기적 도통테스트 수준에서 일정 수준의 저항값을 정해 그 기준의 안에 들어오면 양품, 이 기준에서 벗어나면 불량으로 판별하는 1차원 적인 검사방법을 사용하고 있다[1].

하지만 반도체의 고속신호를 검증하는 검사환경의 구축 기술이 가공품의 정밀도에 집중하고 있어 신호공학 측면에서의 해결 방법은 접근 및 시도조차 못하고 있는 실정에 있다. 통상의 반도체 검사 환경의 조건은 실장환경이라 불리는 구조가 낡았이 된 곳의 반도체를 떼어내어 단순히 도통을 돕는 기구적인 관점의 소켓에 의존하고 있다[2].

특히, 고속신호에서 반도체의 특성을 확인하고자 한다면 신호의 전달 경로가 가진 회로공학 또는 신호공학 측면의 분석과 해석이 전제되어야 하는데 현재 국내 기업들은 반도체 테스트 소켓의 기술을 가공기술에 좌우된다고 생각하고 있는 것이 기술적 한계를 극복하는데 있어 매우 큰 문제이다. 따라서 신호와 전원을 반도체에 잘 전달하여 검사환경을 안정화 하는 것이 현재 산업에서 느끼고 있는 기술적 한계와 숙제를 풀 수 있는 원론적 관점의 변화가 필요하다.

따라서 기존의 수직 방향의 전기 전달 경로만 검사하고 전기적 도통테스트 수준으로 단순히 실리콘 테스트 소켓의 생산 품질을 판단하는 기존의 제품과 달리 본 연구에서는 이웃하고 있는 전기 전달 경로의 상호 영향성을 검사할 수 있는 기술을 적용함으로써 수명 검사와 정밀 측정뿐만 아니라 이웃하고 있는 전기 전달 경로의 구조를 포함하여 단 한 번의 접촉을 통해 100개미만의 실리콘 테스트 소켓의 합선 테스트가 가능하도록 개발하였다.

2. 반도체 검사방법 및 장치

기존의 검사장치는 전기적 도통테스트 수준으로 단순히 실리콘 테스트 소켓의 생산 품질을 판단하는 것에 불과했다. 따라서 본 연구에서는 개발한 검사장치의 기술적 차별성은 첫 번째로 실리콘 테스트 소켓의 수명테스트

기능 구현을 통해 실리콘 테스트 소켓의 전기적 특성과 물리적 특성을 통계 자료화하여 테스트 소켓의 수명을 예측하였다. 두번째로 기존의 기술은 수직 방향의 전기 전달 경로만 검사할 수 있었으나, 이웃하고 있는 전기 전달 경로의 상호 영향성 검사가 가능하며, 세 번째로 수명 검사와 정밀 측정 및 이웃하고 있는 전기 전달 경로의 구조를 포함하여 단 한 번의 접촉을 통해 100개 미만의 실리콘 테스트 소켓의 합선 테스트가 가능도록 개발하였다.

이를 위해 해결해야 하는 기술적 애로사항으로 반도체 검사공정에서 제 1세대 테스트 소켓은 포고핀이라고 하는 스프링을 금속 튜브에 넣어 탄성체의 전기 전달매체를 만든 것이었으나 현재는 제조 공정의 획일화와 판매 금액의 합리적 선택을 위해 실리콘의 탄성을 이용한 실리콘 테스트 소켓으로 그 세대가 변화하였다. 이에 실리콘의 특성상 입체적인 탄성을 갖는 구조물을 이상적인 수직방향으로 테스트할 수 있는 장치를 구현하는 부분에 기술적 난이도가 높고, 개발의 어려움이 있다.

2.1 반도체 검사방법

반도체의 제조 공정은 크게 전공정(wafer)과 후 공정(package)으로 나뉘게 되며, 각 공정 별 검사단계가 매우 중요한 요소이다. 검사단계에서는 검사 대상 반도체(wafer & package)를 검사 하게 되는 ATE(Automatic Test Equipment) 그리고 반도체와 ATE사이의 전기적 신호를 전달해주는 역할을 하는 로드보드, 인터페이스 보드, 프로브 카드가 있으며, 검사를 위해 필수적으로 사용되는 부품이 테스트 소켓이며, 검사 개념도는 Fig. 1과 같다[3-5].

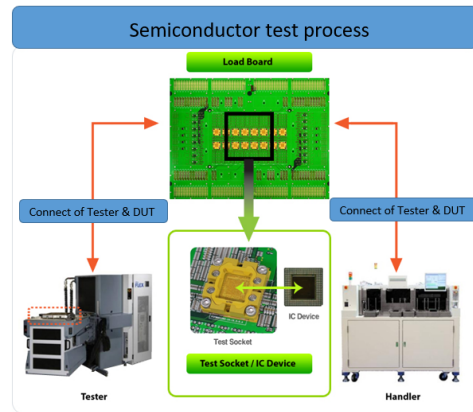


Fig. 1. Semiconductor test process

이러한 테스트 소켓은 소모품으로 소켓 자체의 불량으로 인하여 생산된 반도체의 불량유무를 검출하는데 오류를 발생시킴으로써 결과적으로 수율 및 공정 효율을 떨어뜨리는 결과가 나타나고 있다. 기존의 소켓 테스터는 Fig. 2, Fig. 3과 같이 검사 대상물의 위쪽에 X, Y, Z의 3축으로 구성된 로봇이 적용되어 있으며, X, Y축은 평면 좌표상 검사 대상 핀의 위치를 결정하는 것이고 평면상의 위치가 결정되면, Z축의 로봇이 상하로 이동하면서 전기적 접촉을 한다. 이 때 검사하는 항목은 접촉 핀에 누르는 힘의 크기를 push-pull gauge를 통해 측정하고, 접촉되는 끝 부분에 Probe라는 전기 접촉 단자를 통해 검사대상물 테스트 소켓의 전기 저항 값을 측정하는 것으로 2가지 측정 요소를 값으로 취하는 방식이다. 기존의 3축 로봇을 이용한 검사방식은 기본적으로 가로 및 세로 각 21열, 총 441핀을 기준으로하여 다음과 같은 순서에 의해 검사를 진행한다.

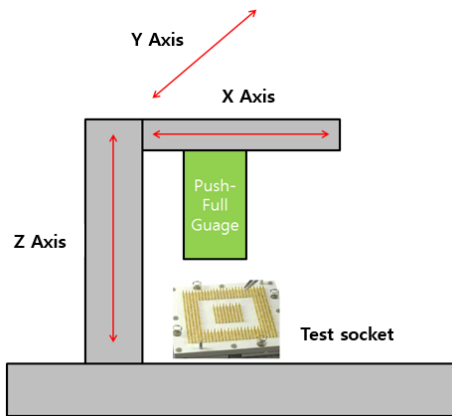


Fig. 2. Conventional socket test method

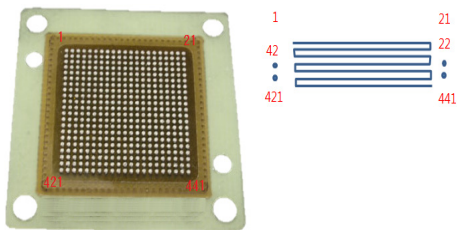


Fig. 3. Socket test location

먼저 좌표 1번으로 이동하고 Z축 로봇이 하강하여 누르는 힘과 저항값을 측정한다. 그리고 좌표 2번으로 우측 이동하여 Z축 로봇이 하강하고 누르는 힘과 저항값을 측정 측정 후 좌표 3번으로 우측 이동하고 Z축 로봇이

하강하여 누르는 힘과 저항값을 측정한다. 이렇게 지그 재그로 이동 후 최종 441번 좌표에서 마지막 핀 검사 후 좌우 또는 우좌 이동하여 Z축 하강, 전기접촉 측정, Z축 상승, 1핀 측정 완료 등의 순서로 진행된다. 이러한 로봇 구조의 기존 방식은 1핀을 측정하는데 대략 5초 정도가 소요되고, 만일 300핀 배열의 테스트 소켓을 측정한다고 하면, 그 소요 시간은 약 1500초로 한 시간에 약 2개의 검사 속도로는 양산 즉 생산성이 저하되고 있는 실정이다.

따라서 본 연구에서는 기존의 300핀 테스트 소켓을 한 핀씩 측정하는 것이 아니라 이 배열의 전기 전달 경로를 직렬로 구현하고 단 한 번의 접촉을 통해 300개의 전기 접촉 경로를 측정할 수 있는 구조로 생산량의 혁신적인 증가를 통해 생산비용의 상당부분을 차지하는 출하검사 공정을 수 백 분의 일로 줄일 수 있도록 테스트 소켓 정렬 및 One shot 검사 알고리즘을 통해 소켓 테스터의 성능을 개선하였다.

2.2 테스트 소켓 정렬

디바이스 패키지 볼(device package ball)의 수직, 수평 구조의 전기적 전달 경로가 결정 위치의 정밀도를 확보해야 한다. 이러한 위치 정밀도를 확보하기 위해 본 개발 과제에서 실시 구현하고자 하는 방향은 정렬필름(alignment film)을 적용하여 그 결정위치 공차를 해결(alignment guide)할 수 있도록 개발하였다. 이를 위해 Fig. 4와 같이 반도체 검사장치 구성물 중 소켓과 디바이스 사이에 정렬필름이 위치하게 되면 정밀가공 된 정렬 필름의 결정 위치를 지정받아 정확한 위치 결정을 할 수 있다.

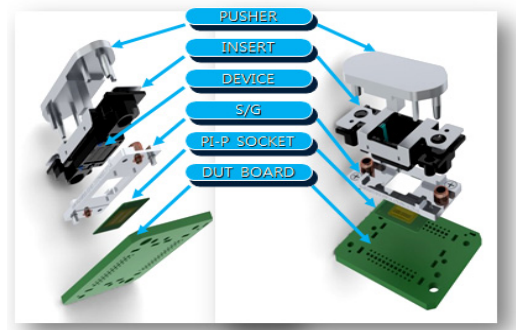


Fig. 4. Configuration of semiconductor test Equipment

Fig. 5는 일반적인 Insert Pocket의 형상이며 이 구조에 Fig. 6과 같은 정렬필름이 위치하여 장치의 Ball array의 위치를 보정 하게 된다. 이러한 Ball Array 구조의 Alignment를 완성하기 위해 Align 위치 결정 구조를 추가 적용하여 개발하였다.

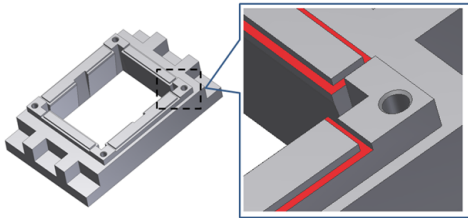


Fig. 5. Example of insert pocket shape

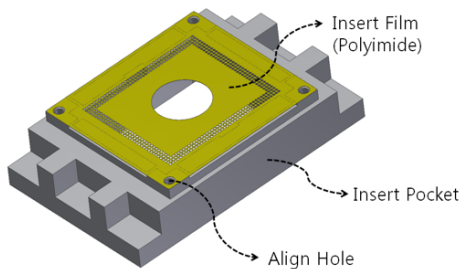


Fig. 6. Position correction of ball array using alignment film

2.3 One Shot 검사 알고리즘

기존의 테스트 소켓을 생산하는 기업에서는 소켓의 전기적 연결 및 전달 정도의 수준을 저가 값으로 표현하는 검사 방식을 사용하였다. 하지만, 문제는 수백 ~ 수천 개에 달하는 반도체 핀을 일일이 모두 검사하기에는 테스트 소켓의 생산효율에 영향을 미칠 수밖에 없다. 이를 해결하기 위해 많은 아이디어가 있었으나 투자 대비 효과 측면에서 실패를 거듭하였다. 이에 간단한 구조와 신속한 불, 양 판정을 결정 할 수 있는 구조의 One Shot 검사 알고리즘을 개발하였다. 기존 방식은 1핀을 측정하는 데 5초가 소요되며, 본 기술 개발 시 핀수와 상관없이 5초에 검사가 가능하여 이론적으로 300 Ball 기준 1500초 소요되는 것 대비 300배의 생산효율 향상을 목표로 하였다.

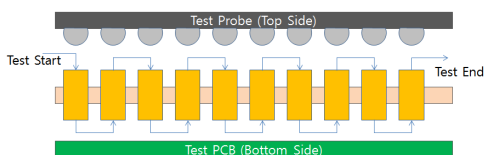


Fig. 7. Example of short circuit test

3. 시제품 제작 및 성능시험

3.1 시제품 제작

신호처리 및 처리속도를 고려한 PCB 설계를 위하여 비아 홀의 스테브를 줄일 수 있는 BVH(Bared Via Hole) 기술을 적용하고 PI(Power Integrity) 특성 개선을 위해 디캡(decap) 시뮬레이션을 적용하였다. 또한 데이터 에러율의 최소화를 위해 FPCB 임피던스 적용을 통해 내구성 개선과 데이터 손실을 줄일 수 있다.



Fig. 8. Test Device for improving test speed and repeat precision

3.2 시험절차 및 성능시험

3.2.1 반복 검사속도

반복검사속도는 검사 PCB와 테스트 소켓으로 구성하여 5회에 걸쳐 최고 검사 속도를 측정하는 것으로 테스트 소켓이라는 검사대상물의 다양한 조건 및 특성에 따라 검사 시간이 다르게 운영되기 때문에 검사 횟수를 설정 후 최종 완료 시점의 시간을 계산, 확인하는 방법으로 하며 정확한 수치적 결과를 얻기 위해 검사 횟수를 10번으로 하고 합산 시간에 10을 나누어 1회의 소요시간을 측정하였다.

3.2.2 반복 정밀도

움직이는 기계 장치의 정밀도는 목표 위치에 얼마나 정밀하게 위치 제어가 가능한가를 평가하는 것으로 움직임의 양의 오차를 측정하며, 반복 정밀도는 검사장치가

일정 구간을 움직이게 제어하여 측정하였다. 측정방법으로는 Push Block 밑에 인디케이터를 설치, 0점을 조정하고 수직으로 하강 이동 거리를 1mm로 설정하여 이동시킨 후 인디케이터에 표시된 값을 기록하였다. 또한 다시 상승시켜 0점으로 복귀시키며 이 과정을 10회 반복하여 측정하였다.

3.3.3 제어 분해능

제어 분해능은 검사장치가 정밀제어를 하는 것에 있어 가장 작은 단위의 제어 능력을 얼마나 정밀하게 제어 가능한지 그 기본 단위의 구현 가능성을 확인하는 것으로 수직으로 하강 이동 거리를 2um로 설정 및 이동시킨 후 인디케이터에 표시된 값을 기록하고 다시 상승시켜 0점으로 복귀시키며, 이 과정을 10회 반복하여 측정하였다.

3.3.4 검사정확도

검사정확도는 검사장치가 검사대상물인 테스트 소켓을 측정함에 있어 저항 값의 측정이 얼마나 반복정확도가 있는지에 대해 확인하는 것으로 측정된 저항 값의 측정회수에 따른 오차를 검사하였다. 측정방법으로는 검사 횟수는 100회로 설정하고 검사회로와 Jig를 연결한 후 100회 측정된 결과를 평균하여 결과를 도출하였다.

3.2.5 동시검사속도

동시검사속도는 검사장치가 다수개의 Test Point를 동시에 측정 가능한 최고 속도를 확인하는 것으로 테스트 소켓이라는 검사대상물의 다양한 조건 및 특성에 따라 검사 시간이 다르게 운영되기 때문에 측정 완료 시간을 확인하였다. 측정방법으로는 일반적인 BGA Type의 반도체 형상을 하는 반도체 Test PCB를 Ball의 개수는 10열 10행으로 나열하여 100개를 구성하였다. 이렇게 구성된 모의 반도체 형상의 Test PCB를 통해 Socket의 100 Ball을 직렬로 연결된 구조에서 검사가 완료되는 시간을 측정하여 속도를 확인하였다. 검사 횟수는 10회로

실시하였으며, 검사 시작 후 완료되는 동안의 시간을 측정하기 위하여 10회 측정한 총 소요 시간을 10으로 나누어 결과를 도출하였다.

4. 결론

본 논문에서는 동시에 수백개의 반도체를 검사하는 과정에서 불량 소켓으로 인하여 패키지에 테스트 오류가 발생하고 있는 문제점을 해결하기 위하여 단 한 번의 접촉을 통해 100개미만의 실리콘 테스트 소켓의 합선 테스트를 할 수 있는 검사장치를 제안하였다. 또한 소켓 자체의 불량을 검출하기 위하여 기존에는 전기적 도통테스트 수준에서 일정 수준의 저항 값을 기준으로 양불을 판별하는 1차원 적인 검사방법을 사용하였으나본 논문에서는 300핀 테스트 소켓을 한 핀씩 측정하는 것이 아니라 이 배열의 전기 전달 경로를 직렬로 구현하고 단 한 번의 접촉을 통해 300개의 전기 접촉 경로를 측정할 수 있는 구조로 생산량의 혁신적인 증가를 통해 생산비용의 상당부분을 차지하는 출하검사 공정을 수 백 분의 일로 줄일 수 있었다. 향후 연구과제로는 다양한 반도체 검사환경에 특화된 검사장치 및 범용 검사장비에 적용하여 상품화하기 위한 연구가 필요할 것으로 판단된다.

References

- [1] Hyoung-Keun Park, "Development of Machine Vision Monitoring System for Semiconductor Package Sorter", *International Journal of Control and Automation*, Vol. 9, No. 4, pp.63-72, 2016
DOI: <https://dx.doi.org/10.14257/iica.2016.9.4.07>
- [2] Hyoung-Keun Park, Keun-Wang Lee "Development of DWCCS for Chemical Temperature Control of Semiconductor Manufacturing", *International Journal of Control and Automation*, Vol. 6, No. 3, pp.125-132, 2013
Website: <https://www.earticle.net/Article/A20769>
- [3] Hyoung-Keun Park, "Study on the Silicon Pump and Control System for TFT-LCD Manufacturing Process," *Journal of the Korea Academia-Industrial cooperation Society*, Vol. 13, No. 8, pp.3618-3622, 2012
DOI: <https://doi.org/10.5762/KAIS.2012.13.8.3618>
- [4] Hyoung-Keun Park, "Development of the Chemical Flow Control System for Spinner Equipment in Semiconductor Manufacturing Process," *Journal of the Korea Academia-Industrial cooperation Society*, Vol. 12, No. 4, pp.1812-1816, 2011

Table 1. Test Result

Specification	Unit	Result	Testing Institute
Repeat test speed	times/sec	1.5/1	KTR
Repeat precision	um	±7	KTR
Control resolution	um	±2	KTR
Test accuracy	%	> 99	KTR
Simultaneous test speed	sec	< 0.66	KTR

DOI: <https://doi.org/10.5762/KAIS.2011.12.4.1812>

- [5] Hyoung-Keun Park, "Development on the Process Control System for Full Gate Visual Test of LCD Manufacturing Process", *Journal of the Korea Academia-Industrial cooperation Society*, Vol. 10, No. 7, pp.1725-1728, 2009

DOI: <https://doi.org/10.5762/KAIS.2009.10.7.1725>

박 형 근(Hyoung-Keun Park)

[종신회원]



- 1995년 2월 : 원광대학교 대학원 전자공학과 (공학석사)
- 2000년 2월 : 원광대학교 대학원 전자공학과 (공학박사)
- 1998년 5월 ~ 2001년 9월 : (주)미디어서브기술연구소 선임연구원
- 2005년 3월 ~ 현재 : 남서울대학교 전자공학과 교수

〈관심분야〉

반도체공정, 임베디드시스템, SOC