

온타임 및 오프타임 제어 방식을 갖는 전류경계모드 역률개선 회로

정성윤
한화시스템

A study on the on-time and off-time control method for power factor correction of critical conduction mode

Seong-Yun Jeong
Hanwhasystems

요약 입력 전원을 교류로 받는 전원장치는 고조파 규제를 받아 역률개선 회로가 필요하다. 역률개선 회로는 전압과 전류의 위상차를 작게 하여 역률이 1에 가까워지도록 하는 회로이다. 기본적으로 사용되는 전류경계모드 역률개선 회로의 경우, 부스트 컨버터 구성에서 주 스위치 하단에 있는 전류 검출용 저항은 비교적 많은 전류가 지나가는 부분에 위치하여 전력손실이 발생하고 전원장치의 효율을 낮추게 된다. 검출용 저항의 고주파 노이즈는 제어에 오동작과 인쇄회로기판의 설계에 방해가 되어 실제 장치에서 많은 문제를 야기하고 있다. 본 논문에서는 이와 같은 문제를 해결하기 위하여 전류 검출 회로가 필요 없는 방식의 전류경계모드에서 동작하는 역률개선 회로를 제안하였으며, 제안한 회로에 대한 정상상태의 특성을 설명하고, 시뮬레이션 및 특성식을 활용해 설계하여 시제품을 제작하고 그 결과를 보고하였다. 제안한 회로의 타당성과 실용성을 검증하였으며, 역률개선 회로 발전에 기여될 것으로 기대된다.

Abstract AC input power supplies are subject to harmonic regulation and require PFC (power factor correction). A PFC circuit reduces the phase difference between voltage and current so that the power factor approaches 1. A basic CRM (critical conduction mode) PFC circuit has a current-detection resistance at the bottom of the main switch in the configuration of the boost converter, causing power loss and lowering the efficiency of the power supply. High-frequency noise also interferes with the control and the design of the PCB (printed circuit board), causing many problems in actual devices. In order to solve this problem, this study proposes a PFC circuit operated with a CRM method that does not require a current detection-circuit. The characteristics of the normal state of the proposed circuit are explained, and the design method is shown using a simulation and a characteristic expression. Additionally, a prototype was produced, and the results are reported. The feasibility and practicality of the proposed circuit were verified, and it is expected to contribute to the development of power-factor improvement circuits.

Keywords : Critical Conduction Mode, PFC, On/Off Time Control, Power Factor Correction, CRM

1. 서론

교류를 입력으로 받는 전원장치의 경우, 교류전압을 직류전압으로 변환시키는 정류회로가 필수적으로 이용된다.

다. 이때 다이오드 정류기를 사용 시 역률 저하로 인한 무효전력 생성 문제해결을 위한 회로 방식이 역률개선 회로 (PFC: Power factor correction, 이하 PFC)이다. PFC는 입력전류를 입력전압의 파형과 같아지도록 제어

*Corresponding Author : Seong-Yun Jeong(Hanwhasystems)
email: syjeong01@hanwha.com

Received November 8, 2023
Accepted December 8, 2023

Revised November 29, 2023
Published December 31, 2023

하여 역률을 높이고 고조파를 저감 시키는 기능을 수행하게 된다. 그중 중소 전력 이하에서는 제조 비용과 크기 제한 때문에 기본적으로 사용되는 전류경계모드(CRM: Critical Conduction Mode 이하 CRM)는 인덕터의 전류가 영 전류 경계면에서 제어되는 방식으로 일반적으로 작은 용량의 스위칭 정류기에 적합한 회로 방식으로 알려져 있다.

CRM PFC의 경우 일반적인 부스트 컨버터의 주 스위치 하단에 전류 검출용 저항이 있어 측정된 전류를 제어에 적용하여 스위칭 주파수와 시비율 제어를 통해 전압을 정류해주는 기능과 역률개선 효과를 얻을 수 있다. 하지만 전류 검출용 저항은 전력손실이 발생하고 컨버터의 효율을 낮추게 되며, 전류 파형의 고주파 노이즈로 인한 제어회로의 오동작과 인쇄회로기판(PCB: Printed Circuit Board, 이하 PCB)의 패턴 최적 설계에 방해가 되어 실제 회로 설계에 걸림돌이 되고 있다.

이와 같은 문제를 해결하기 위한 선행 연구 중에서 고정 온 타임 방식과 온, 오프 타임 추정 방식이 주목받고 있다. 하지만 제안되었던 연구는 모두 온 타임이 고정하는 방식이 유일하다. 이는 전류검출용 저항 대신 인덕터 전류의 스위칭 구간에서 온 타임을 고정하여 스위칭하는 방식이다. 하지만 정류된 정현파의 낮은 전압 구간에서는 고정된 온 타임이 상대적으로 길어져 높은 역률을 달성하기 위한 충분한 스위칭 주파수에 도달하지 못하게 되며 입력전류 파형에 왜곡이 발생하고 충분한 역률개선 효과를 얻지 못하는 문제점이 있었다.

본 논문에서는 온 타임 및 오프타임을 모두 제어하여 높은 역률에 도달 할 수 있는 제어방식을 제안하고 있으며, 논문 순서로는 역률개선 회로, 역률개선 회로의 회로 방식 및 동작 방식, CRM PFC의 제어방식을 설명 후 온 오프 타임이 고정되지 않은 제어방식을 제안하고, 100 W급의 CRM PFC를 제작하여 시뮬레이션과 실험 결과를 통해서 검증하였다.

2. 본론

2.1 역률개선 회로

Fig. 1과 같이, 다이오드 정류기를 사용 시 입력전류가 입력전압을 추종하지 못하여 입력전압의 최대치에서 전류가 펄스 파형으로 흐르게 된다. 이때 그 외에 전류 구간에서 무효전력이 발생하여 열로써 손실을 일으켜 내부 소자의 수명 감소 및 전력 변환 효율의 감소와 전력망

에 손상을 일으킨다. 따라서 Fig. 2와 같이 역률개선 회로를 사용 시 입력전류가 입력전압을 추종하여 역률이 개선되는 현상을 확인할 수 있다[1].

Fig. 3은 다이오드 정류기 사용 시와 역률개선 회로 사용 시 입력전압과 입력전류, 고조파를 나타낸다. 역률개선 회로를 사용 시 고조파 전류가 감소 되는데, 이가 필요한 이유는 국제규격인 IEC61000-3-2에서 고조파 규제가 있어 만족하기 위함이다.

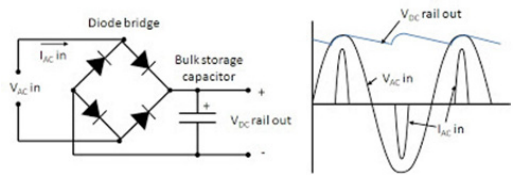


Fig. 1. Diode rectifier block diagram & Input voltage and current

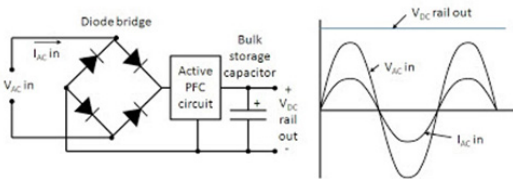


Fig. 2. PFC block diagram & Input voltage and current

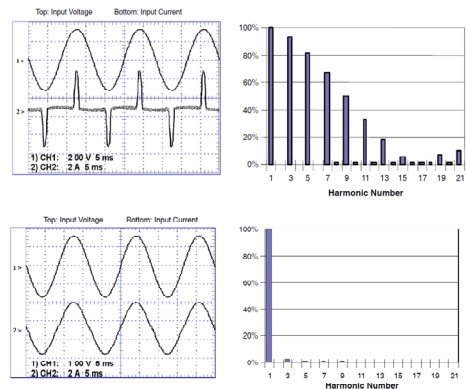


Fig. 3. Graph of Harmonic Current Reduction with Power Factor Improvement

2.1.1 역률개선 회로의 회로 방식

역률개선 회로에는 2가지 회로 방식이 있다. Fig. 4와 같이 수동형 PFC와 능동형 PFC가 있다. 수동형 PFC는 상을 진상이나 지상의 특성으로 변화시키는 커패시터나 인덕터의 단순 구성으로 이루어진 회로이다. 장점으로는

회로 방식이 간단하고 스위칭이 없기에 전자파의 발생이 훨씬 작다. 단점으로는 역률개선 효과가 낮으며 무거운 소자로 구성되는 것이다. 능동형 PFC는 반도체로 회로를 구성하는 방식으로 수동형 회로에 해당한다. 수동형 PFC에 비하여 높은 역률개선 효과가 있으며 넓은 입력 전압 범위에서 동작한다. 단점으로는 스위칭으로 인한 전자파가 발생하여 전자파 보호회로가 필요하며, 고압으로 인한 부품가격이 상승된다. 본 논문에서 제안하는 역률개선 회로는 효율이 높고 역률개선 효과가 좋은 능동형 PFC로 설계하였다.

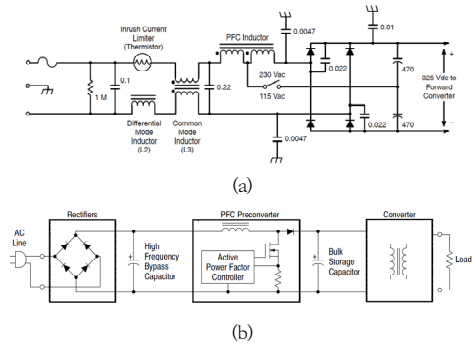


Fig. 4. Circuit type of PFC
(a) Passive PFC (b) Active PFC

2.1.2 역률개선 회로의 동작 방식

Rating	Symbol	Unit
	Continuous Conduction Mode (CCM)	<ul style="list-style-type: none"> • Always hard-switching • Inductor value is largest • Minimized rms current
	Discontinuous Conduction Mode (DCM)	<ul style="list-style-type: none"> • Highest rms current • Reduce coil inductance • Best stability
	Critical Conduction Mode (CrM)	<ul style="list-style-type: none"> • Largest rms current • Switching frequency is not fixed

Fig. 5. PFC mode according to operation method

Fig. 5에서 보는 바와 같이 능동형 PFC에서는 전류에 따른 구동 방식을 3가지 동작 모드로 구분되어 있다. 전류연속모드(CCM: Continuous Conduction Mode, 이하 CCM)과 전류불연속모드(DCM : Discontinuous Conduction Mode 이하 DCM), CRM 방식이 있다. CCM은 인덕터 전류의 평균치를 내면서 제어하는 방식으로 고정 주파수로 평균치를 내기 위해 시비율을 제어한다. 회로 방식이 복잡하나 피크 전류가 낮은 이점이 있

다. DCM의 경우 입력전류나 전압을 검출할 필요 없이 일정한 시비율로 제어하면 입력전류의 평균값이 그대로 정현파가 되기에 제어가 편리하나 전류 리플이 크고, 전류의 파형에 왜곡이 생겨 완전한 정현파가 되지 못하는 단점이 있다. CRM은 인덕터의 영 전류 경계에서 제어하는 방식으로 전류의 피크 점에서 영 전류까지 떨어진 뒤 스위칭하며 전류의 값에 따라 스위칭 주기가 바뀌기 때문에 주파수가 가변하는 특징이 있다. 제어방식이 간단하고 높은 역률개선 효과를 가지고 있지만 피크전류가 높아 고용량의 전원장치에는 적합하지 않다. 본 논문에서 제안하는 방식은 CRM을 이용한 새로운 제어 방법이다[1].

2.2 CRM PFC 제어방식

Fig. 6은 일반적인 CRM PFC의 회로이다. CRM PFC에서는 입력 및 출력전압의 센싱과 영 전류 검출, 인덕터의 전류를 검출하여 제어하는 방식이다[2]. CRM PFC에는 인덕터 전류 검출용 저항이 사용되는데, 인덕터 전류 검출용 저항은 상대적으로 많은 전류가 지나가는 위치에 있기에 전력손실이 발생하고 컨버터의 효율을 낮추게 된다. 또한 전류에서 발생된 고주파 노이즈로 인해 제어회로의 오동작과 PCB 패턴 최적 설계에 방해가 되어 회로 설계에 걸림돌이 되고 있다[3-9].

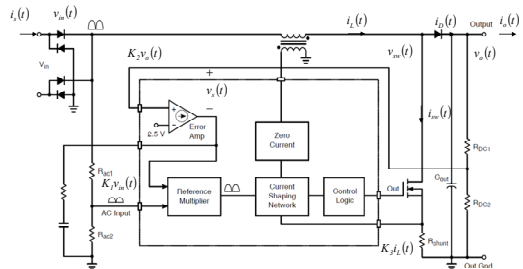


Fig. 6. CRM PFC block diagram

Fig. 7은 CRM PFC의 정상 동작 파형이다. 출력전압의 분배 값과 기준 전압의 오차를 증폭하는 오차 증폭기의 출력이 입력 전압의 분배 값과 곱셈기를 통해 입력 전압을 추종하는 전압을 만들어준다. 그 뒤 PFC 인덕터의 양단 전압에 비례한 2차 권선 전압을 통하여 영 전류 검출을 하게 되는데 이에 따라서 SR램치에서 SET 신호가 발생이 되며 스위치의 오프 타임 구간이 끝나게 되고 온타임을 시작하게 된다. 그 후 인덕터 전류를 검출해주는 저항을 통해 검출한 전류의 신호와 입력 전압의 분배기

값과 오차 증폭기의 출력값을 곱셈기를 통하여 나오는 출력값과 비교하고 검출된 전류 신호가 곱셈기의 출력보다 높아지는 순간 SR플래치에서 RESET 신호가 발생하여 온타임 구간이 끝나게 되고 오프 타임을 시작하게 된다. 이러한 신호에 따라 스위치 동작이 결정되고 이러한 스위칭에 따라 인덕터 전류가 입력전압을 추종하며 전류경계면에서 스위칭을 하여 삼각파 파형이 만들어진다[5].

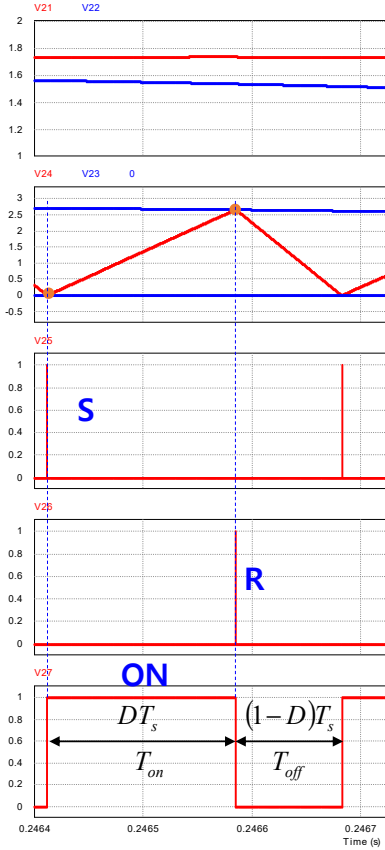


Fig. 7. CRM PFC normal operating waveform

2.2.1 CRM PFC 수식

CRM PFC의 수식은 인덕터 전압에 흐르는 인덕터 전류에서 도출할 수 있다. Fig. 9는 인덕터 전압에 따른 인덕터 전류의 파형을 나타낸다. 인덕터의 양 전압 구간은 스위치가 온 상태가 되었을 때의 상태이며, 입력 전압이 그대로 스위치를 따라 흐르게 되면서 전압의 값은 입력 전압이 걸리게 된다. 이에 따라 스위치의 온 구간에서는 인덕터 전류가 피크점까지 충전이 되며 여기에서 Eq. (1)을 도출할 수 있으며 정리하면 Eq. (2)와 같이 표현할 수

있다. v_L 은 인덕터 양단의 전압이며 I_p 는 인덕터 전류의 피크값이다.

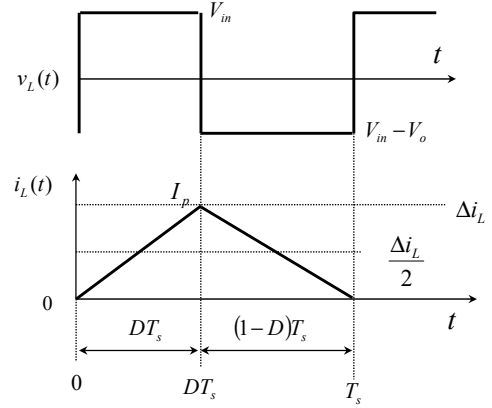


Fig. 8. CRM PFC inductor voltage and inductor current waveform

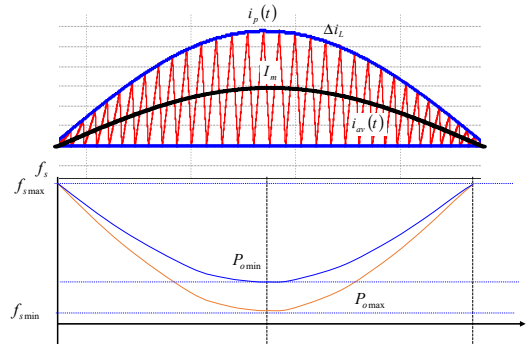


Fig. 9. CRM PFC frequency graph

$$v_L = L \frac{di_L}{dt} = V_{in} = L \frac{I_p}{t_{on}} \quad (1)$$

$$t_{on} = \frac{LI_p}{V_{in}} \quad (2)$$

인덕터의 음 전압 구간에서는 스위치가 오프 상태가 되면서 인덕터에 충전되어 있던 전류가 출력 다이오드를 통해 나가면서 승압이 되며 인덕터 전압은 입력 전압에서 출력전압을 뺀 만큼이 걸리게 된다.

이에 따라 인덕터 전류의 스위치 오프(t_{off}) 구간에서는 온 구간(t_{on})에서 인덕터에 충전된 전류가 떨어지는 모양으로 나오게 되는데 이때 Eq. (3)을 도출할 수 있으며 정리하면 Eq. (4)와 같이 표현할 수 있다.

$$v_L = L \frac{di_L}{dt} = V_{in} - V_o = L \frac{-I_p}{t_{off}} \quad (3)$$

$$t_{off} = \frac{LI_p}{V_o - V_{in}} \quad (4)$$

Eq. (2)와 Eq. (4)를 통하여 주기(T_s)를 Eq. (5)와 같이 정리할 수 있다.

$$T_s = t_{on} + t_{off} = \frac{LI_p}{V_o - V_{in}} + \frac{LI_p}{V_{in}} = \frac{LI_p V_o}{V_{in}(V_o - V_{in})} \quad (5)$$

입력전압이 교류일 때에는 Eq. (5)를 정리하여 도출된 Eq. (6)을 이용하여 Eq. (7)과 같이 입력전압의 실효값(v_{in})을 구할 수 있다.

$$T_s = \frac{LI_p V_o}{v_{in}(V_o - v_{in})} \quad (6)$$

$$v_{in}(t) = \sqrt{2} V_s \sin \omega t \quad (7)$$

또한 입력전압이 교류일 때에 전류의 피크(i_p) 값은 Eq. (8)과 같이 표현할 수 있다.

$$i_p(t) = 2\sqrt{2} \left(\frac{P_o}{\eta V_s} \right) \sin \omega t \quad (8)$$

Eq. (7) 과 Eq. (8)을 Eq. (6)에 대입하면 Eq. (9)와 같이 주파수(f_s)에 대한 식이 나오게 되며 이를 정리하면 Eq. (10)과 같이 정리할 수 있다.

$$f_s = \frac{1}{T_s} = \frac{\sqrt{2} V_s \sin \omega t (V_o - \sqrt{2} V_s \sin \omega t)}{LV_o 2\sqrt{2} \left(\frac{P_o}{\eta V_s} \right) \sin \omega t} \quad (9)$$

$$f_s = \frac{\eta V_s^2}{2LP_o} \left(1 - \frac{\sqrt{2} V_s \sin \omega t}{V_o} \right) [Hz] \quad (10)$$

Fig. 9를 보면 CRM PFC의 경우 주파수가 고정되지 않고 가변하는데, 주파수의 최대 값($f_{s\max}$)과 최소 값($f_{s\min}$)은 Eq. (11)과 Eq. (12)와 같이 결정이 된다.

$$f_{s\max} = \frac{\eta V_{r\text{rms}}^2}{2LP_o} \quad (11)$$

$$f_{s\min} = \frac{\eta V_{r\text{rms}}^2}{2LP_o} \left(1 - \frac{\sqrt{2} V_{r\text{rms}}}{V_o} \right) \quad (12)$$

2.2.2 Constant On-Time CRM PFC

현재 CRM PFC의 스위칭 전류 및 인덕터 전류 검출을 위한 저항의 문제로 인해 이를 사용하지 않는 방식의 CRM PFC가 있다. Fig. 10은 전류검출용 저항이 없는 CRM PFC 방식 중 한 가지인 고정 온 타임 제어 (Constant On-Time, COT) CRM PFC 라고 불리는 방식이다[9].

COT CRM PFC는 전류 검출을 위한 저항이 없이 스위칭 영 전류 검출과 오차 증폭기만을 사용한 방식이며, 회로는 Fig. 10과 같이 되어있다.

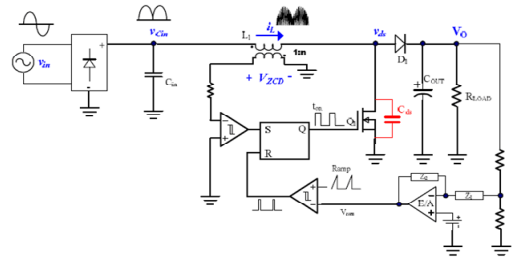


Fig. 10. Base circuit for Constant On-Time CRM PFC

Fig. 11은 COT CRM PFC의 인덕터 전류 파형을 나타낸다. 그림과 같이 인덕터 전류의 스위칭 구간에서 온 타임은 고정 주기가 되며 오프 타임만이 가변 주기가 된다. 온 타임은 일정한 삼각파 발생기와 오차 증폭기의 전압을 비교하여 결정하게 되고, 오프 타임의 경우는 인덕터의 2차 권선을 감아 인덕터 전압에 비례하는 전압을 받게 하며 인덕터 전압과 접지구간을 비교하여 인덕터 전압이 접지 상태보다 커지게 되는 순간을 영 전류 경계면으로 사용하고 스위칭을 시작하는 방식이다[9-12].

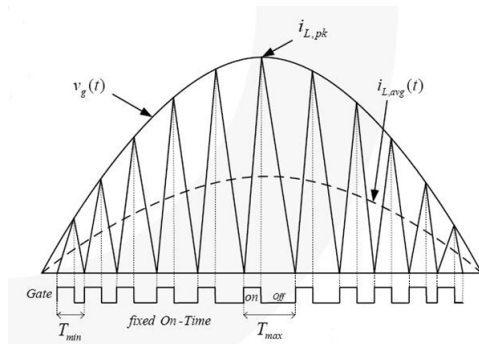


Fig. 11. Inductor current waveform of Constant On-Time CRM PFC

COT CRM PFC의 경우 스위칭 전류 검출용 저항이 없어 일반적으로 사용되는 CRM PFC의 전류 검출용 저항의 단점을 보완할 수 있으나, 온 타임이 고정되어 있어 정류된 정현파의 낮은 전압 구간에서 고정된 온 타임이 상대적으로 길어져 충분한 주파수에 도달하지 못하게 된다. Fig. 12는 온 타임이 고정되어 생기는 문제를 보여주는 파형이다. 입력전압에 영 전압 구간에서 파형 왜곡이 발생하게 된다[9].

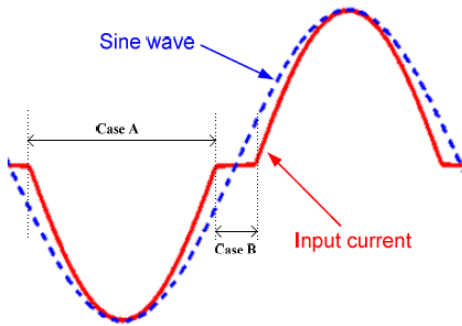


Fig. 12. Current Distortion Issue with Constant On-Time CRM PFC

2.3 제안하는 역률개선 회로

본 논문에서 제안하는 역률개선 회로도이다. 제안하는 역률개선 회로도는 일반적인 CRM PFC를 바탕으로 구성이 되어 제어회로를 제안한 방식으로 구성을 한 회로도이다. 제안한 역률개선 회로의 전원 부분은 일반적인 CRM PFC와 같은 구성을 이루고 있다. 교류 입력 전원과 노이즈를 제거하기 위한 전자 방해 잡음 필터, 전파정류를 위한 브릿지 다이오드, 입력 커패시터, 인덕터, 스위치, 출력 다이오드, 출력 커패시터로 이루어져 있다.

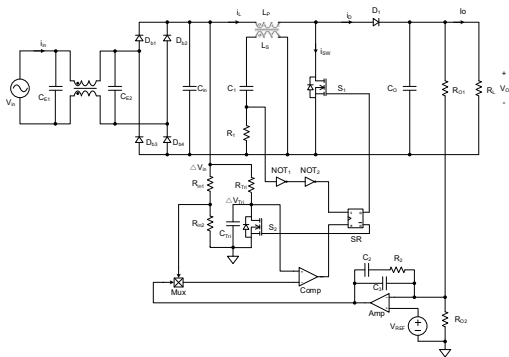


Fig. 13. Block diagram of proposed PFC

제어회로는 기준 전압과 출력전압의 오차를 증폭하는 오차 증폭기, 입력전압을 검출하는 입력전압 분배기, 오차 증폭기 출력과 입력전압의 분배값을 곱하는 곱셈기, 입력전압에 비례하는 삼각파 발생기, 곱셈기 출력과 삼각파를 비교하는 비교기, PFC 인덕터의 2차 권선을 추가하여 영 전압을 검출하는 영 전압 검출기, 필드 및 펄스 래치 회로를 거쳐서 역률개선 회로의 스위치를 제어하게 된다. 또한 제안하는 회로는 스위칭 전류를 검출하는 전류 검출용 저항을 이용하지 않기 때문에 저항으로 인한 전력손실이 원천적으로 없어 전력변환 손실을 줄이고 전력 변환 효율을 높일 수 있는 특징이 있다.

2.3.1 시뮬레이션

Fig. 14는 제안하는 역률개선 회로를 PSIM 시뮬레이션으로 구성한 회로도이다. 시뮬레이션으로 제안하는 회로의 가상 동작을 확인하였다. 또한 각 회로의 주요 부분의 파형을 통해 동작 특성을 확인했다. 시뮬레이션에서 부하는 저항 부하를 사용하였으며 각각의 시정수 값을 입력하여 진행하였다. 인덕터의 경우 Eq. (10) ~ Eq. (12)를 이용하여 80 : 3의 권선비에 용량 360 uH로 선정하고 출력전압 오차 증폭기의 경우 덧셈기와 PI 제어기를 통해 설계했다.

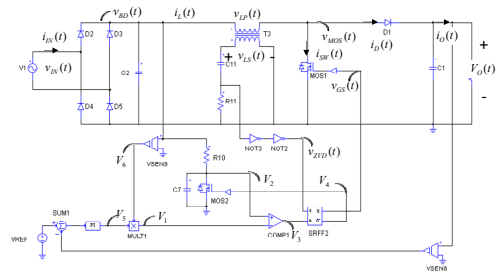


Fig. 14. Simulation circuit diagram of proposed PFC

Fig. 15는 제안한 역률개선 회로 제어부 파형이다. 인덕터 2차 권선을 통하여 인덕터 전압에 비례한 신호(v_{LS})를 받아 커패시터와 저항을 통하여 영 전압 구간을 검출한 뒤 필터를 통하여 펄스 신호(v_{ZVD})를 생성한다. 그 뒤 출력전압과 기준 전압의 오차를 증폭하는 오차 증폭기의 출력과 입력전압 분배 신호를 곱셈기를 통하여 곱한 뒤 곱셈기의 출력(V_1)과 입력전원에 비례한 전류를 통해 삼각파 생성 커패시터에 충전된 전압(V_2)을 비교한다. 비

교기의 출력과 영 전류 검출 펄스를 SR 래치를 통해 SET 신호(v_{ZVD})는 메인 스위치를 동작하며 RESET 신호(V_3)는 삼각파 생성 커패시터에 충전된 전압의 스위치를 동작시켜 충전된 전압을 방전 시킨다.

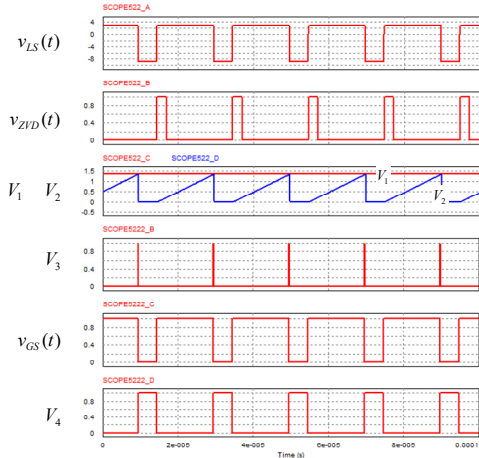


Fig. 15. Control part simulation waveform of the proposed PFC

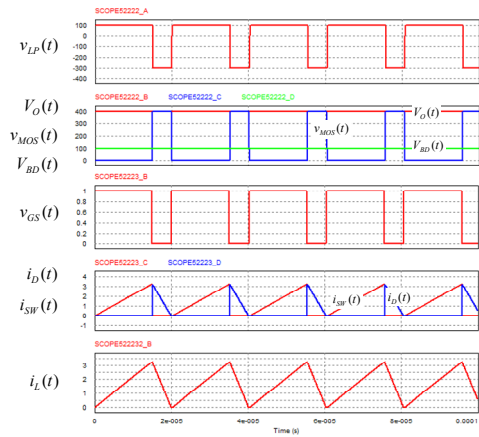


Fig. 16. Power part simulation waveform of the proposed PFC

Fig. 16은 제안한 역률개선 회로의 전원부 PSIM 파형이다. PFC 인덕터의 양단 전압(v_{LP})에서 양 전압 구간은 입력전압 값을 가지고, 음 전압 구간은 입력전압에서 출력전압을 뺀 만큼의 값을 가진다. 출력전압(V_O)은 PFC의 목표 전압인 400 V이며, 브릿지 다이오드를 통해 들어오는 전압(V_{BD})은 입력전압과 같은 100 V이다. 주 스위치의 드레인-소스 파형(V_{MOS})은 주 스위치 게이트 전

압(v_{CS})에 따라 스위칭이 되고 있으며 스위치에 흐르는 전류(i_{SW})와 출력 다이오드를 통해 흐르는 전류(i_D)의 합은 PFC 인덕터 전류(i_L)와 같게 된다.

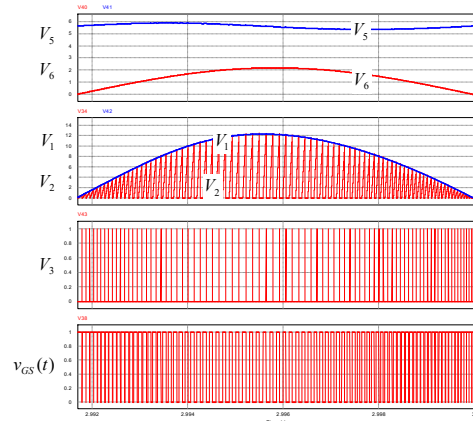


Fig. 17. AC power follower simulation waveform

Fig. 17은 제안한 역률개선 회로의 교류전원 인가 파형이다. 오차 증폭기의 출력전압(V_5)과 입력전압 분배기의 전압(V_6)을 곱셈기를 통해 곱하여 입력전압에 추종하는 전압(V_1)을 만들고 삼각파 생성 커패시터의 전압(V_2)과 비교하여 입력전압에 비례하는 삼각파를 생성한다. 두 전압을 비교하고 이에 따라 SR 래치의 RESET 신호(V_3)가 생성이 되며 삼각파의 전압을 방전시키게 된다. 또한 삼각파가 입력전압을 추종하므로 스위칭의 온 타임과 오프 타임이 가변하게 된다.

2.3.2 실험 결과

Fig. 18은 제안한 역률개선 회로를 제작하기 위한 회로도이다. 간단하게 구성된 PSIM 시뮬레이션 회로도와는 다르게 실제 필요 부분들을 적용하였다. Table 1에는 시험 회로의 입출력 정격이 나타나 있다. 입력전압은 교류전압인 90~240 V를 적용하였으며 출력 전력은 100 W급으로 설계하였다.

Table 1. Electrical specification

Parameter	Value	Unit
Input voltage	90~264	Vac
Output voltage	390	Vdc
Output current	0.26	A
Output power	100	W

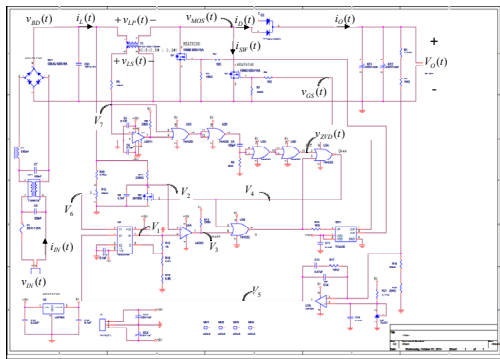


Fig. 18. circuit diagram of proposed PFC

Fig. 19는 제안한 역률개선 회로의 제어부의 각 부분을 오실로스코프를 사용하여 측정된 파형이다.

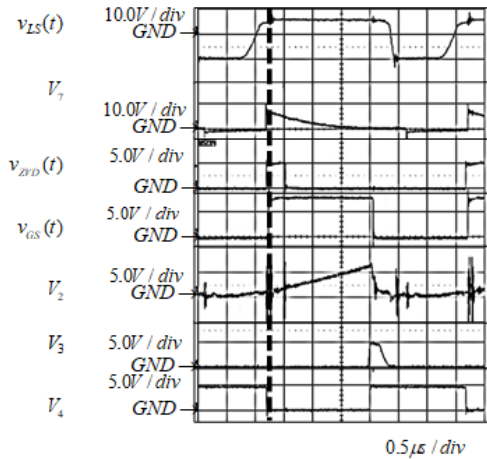


Fig. 19. Control part waveform of the proposed PFC

PFC 인덕터의 2차 권선을 통해 1차 권선에 비례한 전압(v_{Ls})에서 저항과 커패시터를 통하여 영 전압 신호를 검출하고 필터를 통하여 펄스(v_{ZVD})를 만들어 준다. 이에 따라 주 스위치를 ON 시키고 곱셈기의 출력과 삼각파 전압(V_2)을 비교하여 비교기의 출력(V_3)에 따라 삼각파 충전전압을 방전 및 스위치를 오프 시킨다.

Fig. 20은 제안한 역률개선 회로의 전원부의 각 부분을 측정된 파형이다. 인덕터 양단의 전압(v_{LP})에서 양 전압 부분은 입력전압 값을 가지고 음 전압 부분은 입력전압에서 출력전압을 뺀 만큼의 값을 가진다. 주 스위치의 드레인-소스 전압(V_{MOS})은 게이트 전압(v_{GS})에 따라 스위칭되며 인덕터 전류(i_L)는 영 전류 경계면에서 스위칭 된다.

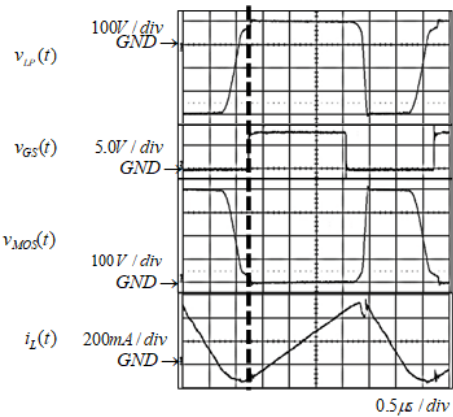


Fig. 20. Power part waveform of the proposed PFC

Fig. 21은 입력전압 및 입력전류 파형을 측정된 파형이다.

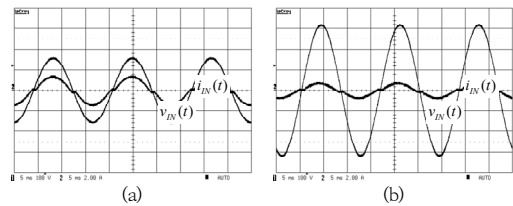


Fig. 21. Input voltage and current waveform
(a) $V_{in}=110V_{ac}$ (b) $V_{in}=220V_{ac}$

입력전압이 110 V일 경우 역률 특성이 좋으며 입력전압이 220 V일 경우 전력 변환 효율 특성이 좋게 된다. 이 실험의 결과에 따라 특성 실험을 진행하였으며 입력전압은 110 V와 220 V로 나누었으며 출력 부하는 100 W까지 가변시키며 전력 분석기를 통해 측정된 입력전압과 입력전류, 역률, 출력전압과 출력전류, 보조전원 전압 및 전류의 값들을 기록하고 엑셀로 정리하여 그 결과를 Fig. 22과 같이 정리하였다. 효율 결정은 Eq. (13)의 효율 공식을 사용하였다.

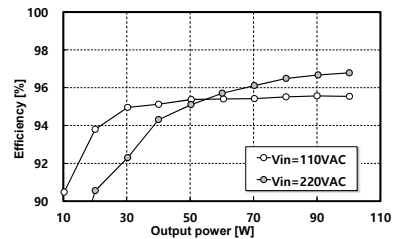


Fig. 22. Power efficiency graph

$$\eta(\%) = \frac{P_{OUT}}{P_{IN}} \times 100 \quad (13)$$

Fig. 23은 제안된 역률개선 회로의 역률 그래프이다. 역률 또한 110 V에서의 1에 수렴하는 것을 그래프를 통하여 확인할 수 있다.

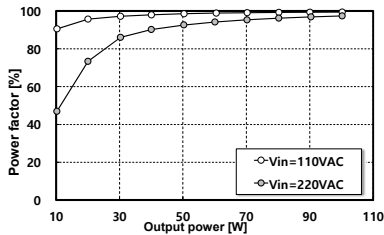


Fig. 23. Power factor graph

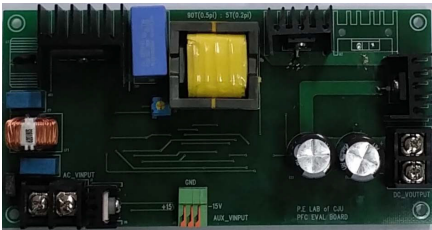


Fig. 24. Assay of proposed PFC

Fig. 24에는 제안한 역률개선 회로의 시제품 사진이 나타나 있다. 좌측에는 입력단자와 잡음 필터로 구성되어 있으며 브릿지 다이오드, 입력 커패시터, 인덕터 주 스위치인 전력용 반도체, 출력 다이오드, 출력 커패시터, 출력단자 순서로 배치되어 있다.

3. 결론

본 논문에서는 전류 검출용 저항의 전력손실 및 전류 파형의 고주파 노이즈로 인한 제어회로의 오동작 문제를 해결하기 위해서 전류 검출 회로가 없는 새로운 제어방식의 CRM PFC 회로를 제안하였으며, 제안한 회로에 대한 정상상태에서의 특성을 설명하였고, 시뮬레이션과 특성식 등을 활용하여 최적의 설계 가능한 과정을 보여 주었다. 또한 제안한 제어회로의 타당성과 실용성을 검증하기 위해서 출력용량이 100 W급의 역률개선 회로 시제품을 제작하고 그 결과를 보고하였다. 시제품의 시험 결과 다음의 내용을 확인할 수 있었다.

첫째, 제안한 CRM PFC 회로는 입력전압을 추종하는 삼각파 발생기를 사용하여 스위치의 온 타임이 고정되지 않고 정류된 정현파의 낮은 전압 구간에서 충분한 주파수에 도달할 수 있었으며, 그 결과 입력전압과 동일한 전류 파형이 생성되어 높은 역률 동작이 가능하다.

둘째, 스위칭 정류기의 내부에 전류 검출용 저항을 사용하지 않아 전력 변환 효율을 개선하면서 역률개선 효과를 높일 수 있었다.

또한 본 논문에서 제안한 제어방식을 시험 회로에 적용한 결과 실용성을 확인하였으며 특히 200 W급 이하의 낮은 출력 부하에서 전류 검출 회로가 없는 새로운 제어방식의 CRM PFC 회로의 유용성을 확인하였다.

References

- [1] Power Factor Correction Hand Book, On Semiconductor, Phoenix, AZ, USA, Sep. 2007.
- [2] Wei-Chun Cheng, Chern-Lin Chen, "Optimal Lowest-Voltage-Switching for Boundary Mode Power Factor Correction Converters", IEEE Trans. Power Electronics, vol. 30, pp. 1042-1049, Feb. 2015. DOI: <https://doi.org/10.1109/TPEL.2014.2308911>
- [3] Mohammad Marvi, Ali Fotowat-Ahmady, "A Fully ZVS Critical Conduction Mode Boost PFC", IEEE Trans. on Power Electronics, vol.27, pp.1958-1965, April 2012. DOI: <https://doi.org/10.1109/TPEL.2011.2171045>
- [4] Fei Yang, Xinbo Ruan, Yang Yang, Zhihong Ye, "Interleaved Critical Current Mode Boost PFC Converter With Coupled Inductor", IEEE Trans. on Power Electronics, vol.26, pp.2404-2413, Sept. 2011. DOI: <https://doi.org/10.1109/TPEL.2011.2106165>
- [5] N. Jain, P.K. Jain, G. Joos, "A zero voltage transition boost converter employing a soft switching auxiliary circuit with reduced conduction losses", IEEE Trans. on Power Electronics, vol.19, pp.130-139, January 2004. DOI: <https://doi.org/10.1109/TPEL.2003.820549>
- [6] Hangseok Choi, "Interleaved Boundary Conduction Mode (BCM) Buck Power Factor Correction (PFC) Converter", IEEE Trans. on Power Electronics, vol.28, pp.2629-2634, Dec. 2013. DOI: <https://doi.org/10.1109/TPEL.2012.2222930>
- [7] Jong-Woo Kim, Han-Shin Youn, Gun-Woo Moon, "A Digitally Controlled Critical Mode Boost Power Factor Corrector With Optimized Additional On Time and Reduced Circulating Losses," IEEE Trans. Power Electronics, vol. 30, no. 6, pp. 3447-3456, Jun. 2015. DOI: <https://doi.org/10.1109/TPEL.2014.2345840>
- [8] Laszlo Huber, Brian T. Irving, Milan M. Jovanovic, "Effect of Valley Switching and Switching-Frequency

Limitation on Line-Current Distortions of DCM/CCM Boundary Boost PFC Converters”, IEEE Trans. Power Electronics, vol. 24, pp.339-347, Feb. 2009.

DOI: <https://doi.org/10.1109/TPEL.2008.2006053>

- [9] Shi-Huang Tang, Dan Chen, Chun-Shih Huang, Chih-Yuan Liu, Kwan H. Liu, “A new on-time adjustment scheme for the reduction of input current distortion of critical-mode power factor correction boost converters”, Power Electronics Conference (IPEC), 2010 International, pp.1717-1724, Jun. 2010.
DOI: <https://doi.org/10.1109/IPEC.2010.5542045>
- [10] Yang-Lin Chen, Yaow-Min Chen, Cheng-Nan Wu, “The time-domain analysis for constant on-time critical mode boost-type PFC converters”, ECCE, 2012 IEEE, pp.4643-4648, Sept. 2012.
DOI: <https://doi.org/10.1109/ECCE.2012.6342189>
- [11] Xinke Wu, Jianyou Yang, Junming Zhang, Ming Xu, “Design Considerations of Soft-Switched Buck PFC Converter With Constant On-time(COT) Control”, IEEE Trans. on Power Electronics, vol.26, no.11, pp.3144-3152, Nov. 2011.
DOI: <https://doi.org/10.1109/TPEL.2011.2145391>
- [12] Jong-Woo Kim, Gun-Woo Moon, “Minimizing Effect of Input Filter Capacitor in a Digital Boundary Conduction Mode Power Factor Corrector Based on Time-Domain Analysis”, IEEE Trans. Power Electronics, vol. 31, no. 5, pp.3827-3836, May. 2016.
DOI: <https://doi.org/10.1109/TPEL.2015.2449318>

정 성 윤(Seong-Yun Jeong)

[정회원]



- 2016년 2월 : 청주대학교 청주대학원 전자공학과 (공학석사)
- 2016년 3월 ~ 2021년 10월 : SoluM 선임연구원
- 2021년 11월 ~ 현재 : 한화시스템 선임연구원

<관심분야>

전력변환, 전력전자, R/F Amp 전원