

소자 시뮬레이션을 이용한 Circuit Model Parameter 생성에 대한 연구

이 흥 주*

The Study of Circuit Model Parameter Generation Using Device Simulation

Hoong-Joo Lee*

요 약 Flash memory는 device 특성상 peripheral circuit을 구성하는 transistor의 종류가 다양하고, 이에 따른 각 transistor의 동작 전압 영역이 넓다. 이에 따라 설계 초기의 전기적 특성 사양 결정을 위해서는, 실리콘상에서 소자의 scale down에 따른 전기적 특성을 선 검증하는 과정이 필수적이었으며, 이로 인해 설계 및 소자 개발의 기간을 단축하기 어려웠다. 본 연구에서는 TCAD tool을 사용하여 실리콘상에서의 제작 공정을 거치지 않고, 효과적으로 model parameter를 생성할 수 있도록 하는 방법을 제안하여 전기적 특성 사양 결정과 설계 단계의 시간 지연을 감소할 수 있도록 한다. 또한 성공적 TCAD tool 적용을 위해 필요한 process/device simulator의 calibration methodology와 이를 flash 메모리 소자에 대해 적용 검증한 결과를 분석한다.

Abstract In the case of the flash memory, various kinds of transistors and the wide range of operation voltage are necessary to achieve the read/write operations. Therefore, the characteristics of transistors are measured in the silicon for the circuit design, and the test vehicle run must be processed. In this study, an efficient design flow is suggested using TCAD tools. The test vehicle is replaced with well-calibrated TCAD simulation. First, the calibration methodology is introduced and tested for flash memory device. The calibration errors are less than 5% of a full chip operation, which is accepted by the designers. The results of the calibration were used to predict I-V curves and model parameter of the various transistors for the design of flash device.

Key Words : Circuit Model Parameter, TCAD, Calibration, Device Simulation, Methodology

1. 서 론

Flash memory transistor의 계속되는 신규 소자의 사양 결정 및 이의 설계를 위한 개발 시간은 소자의 성능 향상 속도와 비교할 때 줄어들지 않았다. 이는 회로 설계를 위해 제작 공정중에서 초기 제작의 소요시간이 물리적으로 줄어들 수 없는 상태이기 때문이다. 따라서 설계의 관점에서 볼 때, 초기 공정 사양이 결정된 상태에서는 이 사양에 해당하는 SPICE 모델 파라미터를 얻을 수 없기 때문에, 초기 제작 소자로 부터 나올 모델 파라미터를 추출하기 전까지, 이전 세대 혹은 유사 transistor의 모델 파라미터를 이용하여 가설계를 하게 된다. 그 후 초기 제작 소자가 제작되어 전기적 특성을 측정하여 모델 파

라미터를 추출한 결과, 예상 모델 파라미터와 비교하여 차이가 나는 부분을 전달받아 본 설계를 진행하게 된다.

이와 같은 flow에 의해 본 설계가 진행될 시에는 설계 여유를 확보하거나 다양한 관점에서의 설계 기법을 적용한 성능 향상보다는 main chip의 동작을 위해 노력하게 된다. 만약 초기 공정 사양 결정 시 공정 사양의 물리적 현상을 고려하여 생성할 수 있는 모델 파라미터가 있다면, 이 시점에서부터 본 설계를 진행하여 설계의 안정성과 신속성을 확보할 수 있을 것이다. 본 연구에서는 이와 같이 초기 제작 소자 이전 단계에서 소자 시뮬레이션을 통한 물리적 공정 현상을 고려한 모델 파라미터 생성 자동화 과정과 그 초기 검증 결과를 제시한다. 또한 TCAD(Technology-Computer Aided Design) simulation의 정확도를 이루는 calibration flow 및 methodology와 이를 플래쉬 메모리 소자에 대해 적용

*상명대학교 컴퓨터시스템공학

한 결과와 이로부터 setup된 calibration parameter를 다음 세대의 공정 사양에 대해 적용한 결과를 분석한다.

2. 본 론

2.1 효율적 설계 flow 개념

본 연구에서 제안하는 새로운 설계 flow 개념을 그림 1에 도시하였다. 기존의 설계 flow는 초기 소자 사양이 결정되면, 제품 개발자가 사양에 대한 전기적 측정치가 없는 상태에서 예상되는 모델 파라미터(Model Parameter)를 이전세대 소자 또는 유사 소자의 값을 수정하여 설계로 전송하게 된다. 이 전송된 모델 파라미터로부터 설계가 진행되고, 제품 개발자는 초기 제작 소자(Test Vehicle)를 위한 공정을 진행하게 된다. 이때, 초기 제작 소자에는 main chip에 대한 설계가 이루어진 상태가 아니기에 TEG module만을 포함한 공정을 main chip과 같은 시간 및 노력으로 진행한다. 결국 모델 파라미터를 위하여 1차례의 공정 투입이 진행되어야 한다. 이때 설계는 이의 결과가 나올 때까지 정확한 설계를 진행할 수 없게 되어, 추가적으로 후속 revision을 거쳐야 하는 문제가 있다. 즉, 공정 사양 결정 후 제품 개발자와 설계자는 모두 제품 생산의 그 이전 단계인 공정 사양에 대한 사전 업무를 하게 된다[1]. 실무부는 제품 개발자의 경우 초기 제작 소자가 fab-out되고, 모델 파라미터를 설계로 전달한 이후 시점부터, 설계자는 초기 제작 소자가 fab-out되고, 모델 파라미터를 제품 개발자로부터 전달받은

시점부터, 제품 개발자는 공정 최적화 및 소자 성능 향상을 위한 업무를, 설계에서는 가설계의 수정과 본 설계를 진행하게 된다. 결국 물리적으로 한 단계의 과정을 거쳐야 하는 제품 개발 flow를 가지고 있기에 서로 조율상의 어려움이 있고, 제품의 초기개발 시장 진출에 한계를 가질 수 있다. 또한 설계에서는 main chip에 대한 본 설계가 아닌 scheme 구성 및 가설계를 진행하게 된다. 이후 초기 제작 소자 공정의 fab-out시 본 설계를 위한 모델 파라미터가 추출되게 되며, 이때 본 설계 및 main run이 진행된다. 그러나 이러한 순차적인 상호 진행은 일정 차질 시 전체적 개발 일정에 영향을 주게 되고, 절대적 제품 개발 시간의 한계를 갖게 된다. 따라서 본 연구에서는 이러한 순차적인 진행을 TCAD를 이용하여 초기 소자 사양 결정시 모델 파라미터를 초기 제작 소자 공정의 결과를 대치시킬 수 있는 범위내에서 자동 생성하는 개념과 이의 실현 flow를 제시한다[2].

이를 위해서 필수적으로 선행되어야 할 과제가 TCAD simulation의 정확도이다. 이 정확도를 검증하고 확보하기 위하여 process 및 device simulator의 효율적인 calibration methodology를 정립하였다. 즉, 현재 main run이 fab-out되어 있는 이전/유사소자의 전기적 특성을 이용하여 TCAD simulator를 calibration하고, calibration된 TCAD tool을 이용하여 신규 사양 제정된 소자의 모델 파라미터를 생성하게 된다. 이때 소요되는 시간은 calibration의 경우 다음 세대의 초기 사양 결정 이전에 완료할 수가 있으며, calibration이 완료된 tool을 이용하여 사양 결정후 모델 파라미터 생성에는 제품에 들어가는 소자의 종류에 따라 약간의 차이가 날 수 있지만, flash memory device의 경우 5가지 소자에 대해 7일 이내에 생성된 결과를 설계가 활용할 수 있다. 이와 더불어, 한가지 주의하여야 할 점은 TCAD calibration이 성공적으로 이루어 졌다고 할지라도 차세대의 소자에서는 공정적으로 신규 채용되는 것들이 존재하며 라인상태와 기타 현상들을 TCAD로서 모두 고려하지 않기에 차이가 존재할 수 밖에 없다. 그러나 이러한 정확성에는 제품 개발자가 공정 최적화를 TCAD의 결과를 target으로 진행될 경우 차이를 극소화할 수 있고, 또한 설계 관점에서 보다 많은 시간과 정보가 주어지기 때문에 보다 margin이 넓고 안정적인 설계를 수행할 수 있다.

2.2 TCAD Calibration Methodology

TCAD의 process 및 device simulator calibration은 본문에서 제시하고자 하는 설계 flow에 있어서 가장 중요한 부분중의 하나로서, 성공적인 차세대 제품 설계의 중요한 요소가 된다. 그 이유는 공정 사양 초기 단계에서 공정에 따른 현상을 전기적 특성에 고려하여야 하며, 공정

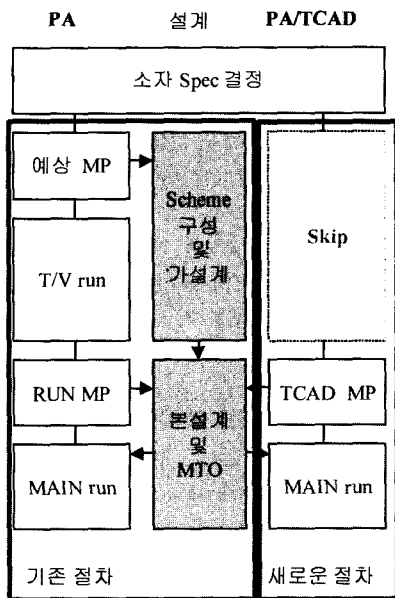


그림 1. 기존 설계 flow 및 TCAD를 적용한 초기 소자 제작 과정을 생략한 새로운 설계 flow 개념

사양으로부터 예상하는 전기적 특성의 목표값이 나올 수 있는지 점검할 필요가 있기 때문이다. 여기에서는 process simulator인 TSUPREM4와 device simulator인 MEDICI의 calibration 방법을 간단히 언급하고자 한다[3].

그림 2는 전체적인 calibration flow를 나타내고 있다. Calibration은 정확한 공정 flow와 전기적 특성 data의 수집에서부터 시작된다. 필요한 data가 수집되고 나면 자세한 공정과는 관계없이 결정될 수 있는 gate polysilicon의 doping 농도와 gate oxide의 두께를 먼저 결정한다. 이것은 channel doping profile과 관계없이 deep accumulation region의 capacitance는 t_{ox} 에 의해서 결정되고, deep depletion region의 capacitance는 t_{ox} 와 polysilicon의 surface doping level에 의해서 결정된다는 사실에 근거한 것이다 [4]. 따라서 polysilicon depletion 및 quantum effect를 포함한 simulation을 이용하여 large area의 inversion pattern에서 측정된 CV curve를 target으로 진행함으로써 이와 같은 값이 결정될 수 있다. 다음으로 TSUPREM4를 calibration하게 되는데, long channel의 back bias effect가 mobility와 관계없이 vertical channel doping profile에 의해서 결정된다는 점을 이용하여 1-dimensional process calibration을 진행한다. 이때에는 channel dose에 따른 특성이 가장 중요하므로 channel dose가 split된 여러 개의 target을 이용하는 것

이 바람직하다. Medium channel length와 short channel에서는 RSCE/SCE 및 back-bias effect를 target으로 2-dimensional process calibration을 진행한다[5].

1D/2D process calibration에서 RSCE/SCE와 back-bias effect는 특정 subthreshold current가 흐르는 gate bias로 대체함으로써 calibration되지 않은 mobility에 의해서 threshold voltage가 변화되는 효과를 감소시킬 수 있다[6].

이와 같이 process calibration이 완료되고 나면, Id-Vg 및 Id-Vd의 on-current를 target으로 mobility calibration을 진행하게 되는데, 먼저 carrier의 saturation velocity와 관계가 작은 Id-Vg를 target으로 transverse mobility를 calibration하고, Id-Vd를 target으로 saturation velocity를 포함하는 high field mobility를 calibration한다[7]. 여기까지 진행하고 나면 기본적인 device calibration까지 완료된 것이며, 계속하여 BV curve를 target으로 carrier life time, field dependant life time 및 impact ionization과 관련된 parameter를 calibration함으로써 Ioff 및 BVdss가 정확히 simulation될 수 있도록 하여 TCAD calibration을 완료한다.

2.3 Flash Memory Device Calibration

본 논문에서 제시한 설계 flow를 진행하기 위해서는 앞

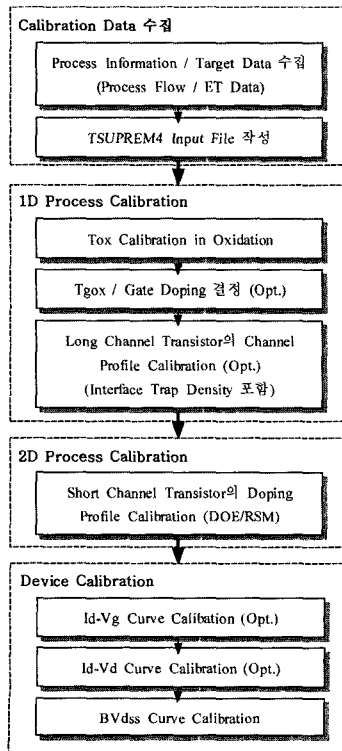
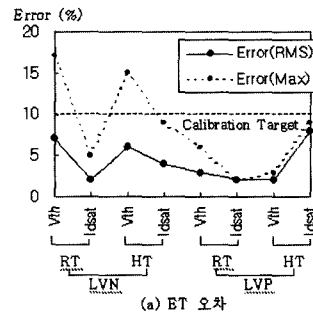
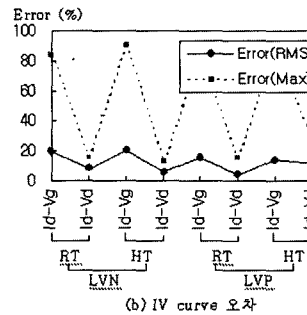


그림 2. TCAD calibration flow



(a) ET 오차



(b) IV curve 오차

그림 3. LVN 및 LVP 소자에 대한 calibration 오차

(a) 게이트 길이 변화에 대한 Vth 및 Idsat의 측정치와 시뮬레이션치의 평균오차

(b) 바이어스 조건들에 대한 Id-Vg 및 Id-Vd 곡선에 대한 측정치와 시뮬레이션치의 평균오차

절에서 언급한 calibration methodology를 적용하여 기존 공정에 대한 calibration이 완료되어 있는 상태이어야 한다. 본 논문에서는 flash소자를 대상으로 하여 calibration하여 다음 세대의 모델 파라미터 추출에 이용하였다.

Flash 제품의 경우 low voltage용 nMOS (LVN)와 pMOS (LVP), high voltage용 nMOS (HVN)와 pMOS(HVP)가 있다. 또한 depletion type의 nMOS(DPL)가 존재한다. Full chip 설계를 위해 완전한 모델 파라미터를 추출하기 위해서는 이 모든 transistor에 대한 I-V curve가 있어야 한다. 따라서 위의 다섯 가지 소자에 대해서 calibration을 진행하였으며, 그 결과는 그림 3에 제시하였다.

그림 4 및 그림 5는 flash memory 소자들에 대한 calibration 결과를 나타내고 있으며, 다섯 가지 소자 중에서 설계시 가장 중요한 LVN과 LVP에 대하여 Vth/Idsat은 약 4.3%의 오차를 보이고 있으며, I-V curve는 약 12%의 오차를 보이고 있다. 이 정도의 오차를 포함한 calibration 결과를 이용하여 I-V curve를 생성하고, 모델 파라미터를 추출하여 full chip simulation을 진행한 결과 표 1과 같이 초기 제작 소자 TEG에서 측정된 I-V curve를 이용하여 추출한 모델 파라미터와 비교하여 5%이내에 들고 있음을 알 수 있다. 설계에서는 모든 curve가 chip performance를 정확히 simulation하는데 필요한 것은 아니므로 표 2은 각 소자마다 설계 허용오

차를 나타내고 있는 것으로 TCAD simulation을 통하여 예측된 curve가 이 오차 범위에 들어올 경우 설계에서 충분히 조절할 수 있음을 나타낸다.

2.4 Flash Memory 대한 모델 파라미터 생성

먼저 차세대 flash memory 제품의 공정 사양 결정 후 이를 simulation으로 예상 Vth(Threshold Voltage)와 Idsat (Saturation Current)을 계산하였다. 이때 몇 가지의 경우 제품 개발자가 예상하는 값으로 나오지 않았다. 이 경우 공정상에서 furnace anneal 공정이 RTA(Rapid Thermal Annealing)로 변경되며, silicon surface가 희생 산화등으로 소비되는 두께가 차이가 있기 때문이다. 또한 process simulation에서 RTA에 대한 부분을 해당 공정 사양에 대해 calibration하지 않은 상태로서 원인이 있을 수 있다. 따라서 제품 개발자의 예상에 의해 동일한 heat budget으로 RTA 공정이 이전되었을 것으로 설정하고, simulation의 RTA 모델을 furnace와 동일하게 취급하여 시뮬레이션 하였다. 그 결과도 예상 전기적 특성과 약간씩의 차이가 있다. 여기서 한가지 판단하여야 하는 것은, 공정으로 Vth가 몇 Volt가 나올 것인 가도 물론 중요한 아이টে이지만, 모델 파라미터생성 관점에서는 원하는 모델 파라미터의 생성이 더욱 중요하다. 따라서 본 시뮬레이션시 문턱전압 조절 이온주입 도즈

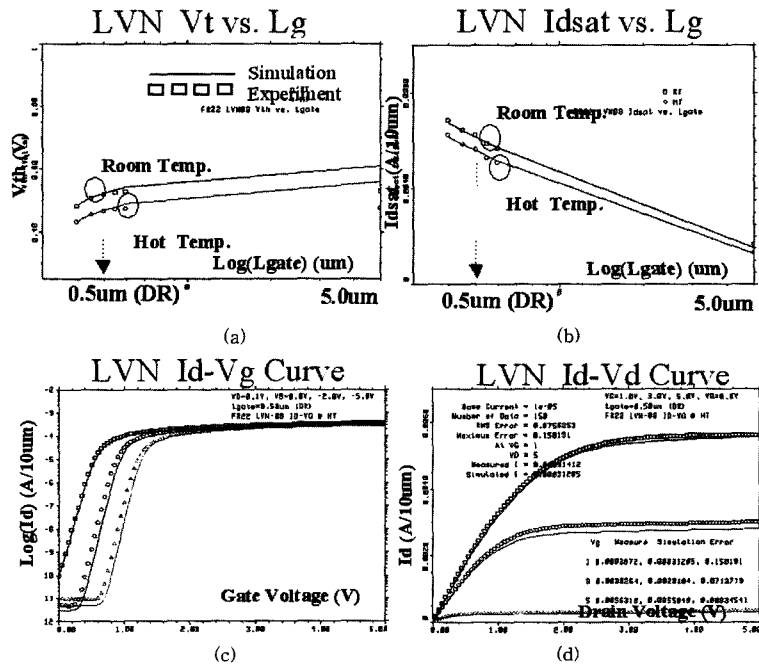


그림 4. Flash LVN 소자에 대한 전기적 특성치의 측정치와 시뮬레이션치 비교

- (a) 게이트 길이에 따른 Vth변화 (b) 게이트 길이에 따른 Idsat변화
- (c) 역전압에 따른 Id-Vg curve (d) 게이트 전압에 따른 Id-Vg curve

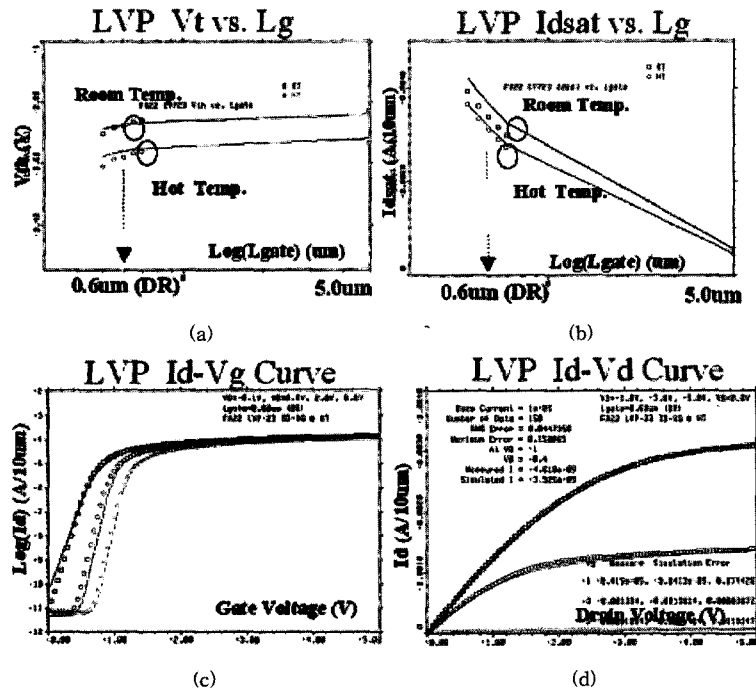


그림 5. Flash LVP 소자에 대한 전기적 특성치의 측정치와 시뮬레이션치 비교
 (a) 게이트 길이에 따른 Vth 변화 (b) 게이트 길이에 따른 Idsat 변화
 (c) 역전압에 따른 Id-Vg curve (d) 게이트 전압에 따른 Id-Vg curve

표 1. 모델 파라미터에 따른 센싱 구간 시간 비교

	AX~ATD invoke(IO_SUM)	Discharge (nPDIS)	Precharge (nPEG)	Sensing (nPEG~DOT)	I/O drive (DOT~I/O)
Simulation	3.8n	18.6n	23.5n	10.2n	11.6n
Run	3.6n	18.5n	23n	10n	11.6n

량을 조절하여 예상하는 Vth를 맞추었다. 아래 표 3은 이러한 간단한 작업을 마쳤을 때, 예상치와 시뮬레이션치 결과를 비교한 것이다. 이러한 시뮬레이션의 초기 공정 사양에 대한 예상치와 또한 보정 후 생성한 모델 파라미터의 설계에서의 효용성은 이미 서론과 본문에서 언급

하였지만, 본 연구의 방법을 적용의 검증 및 효용성의 가치는 초기 제작된 소자로부터 추출한 모델 파라미터의 동작 성능을 분석한 후 완전하게 이루어 질 수 있다.

이상과 같은 결과를 활용하여 보정 TCAD로서 얻은 각 bias에서의 Id-Vd / Id-Vg curve와 기타 spice model

표 2. 설계시 소자 특성치 허용 오차와 TCAD 시뮬레이션의 평균 오차

	Vth [V]		Idsat [uA/um]		Swing [mv/dec]		Body Effect [V]@Vb=3	
	설계	TACD	설계	TACD	설계	TCAD	설계	TCAD
LVP	10%	15%	10%	15%	20%	15%	20%	15%
LVN	10%		15%		10%		10%	
HVP	15%		15%		20%		25%	
HVN	10%		15%		20%		5%	
Dep1	15%		15%		10%		10%	

표 3. Flash memory LVN 및 LVP소자에 대해 TCAD simulation으로 계산된 threshold voltage 및 saturation current.

(a)

LVN			
항목	예상	TCAD sim.	보정 TACD
dose	3.1e12		3.3e12
Vth	0.53	0.51	0.53
Idsat	375	326	320

(b)

LVP			
항목	예상	TCAD sim.	보정 TACD
dose	3.0e12		1.8e12
Vth	-0.53	-0.70	-0.534
Idsat	-187	-117	-152

parameter 생성을 위해 필요한 정보들을 시뮬레이션으로 제공할 수 있다. 5가지 종류의 소자에 대한 시뮬레이션 결과 모두예상 threshold voltage 및 saturation current에 대비하여 5%이내의 오차를 갖는 정확하고 신속한 모델 파라미터의 추출이 가능하였다. 또한 더욱 중요한 사항 중 하나는 LVP소자의 경우 기존 flash memory공정에서는 buried channel소자로서 channel불순물을 BF2를 사용하였으며, 차세대 flash memory 공정에서는 surface channel로서 phosphorus를 사용하게 된다. 이때 target Vth를 위한 적절한 phosphorus의 dose량을 초기에 잡기 힘들게 된다. 본 연구의 부가적인 기능으로서 이러한 Vth를 위한 공정 최적화가 가능하다.

3. 결론 및 고찰

본 연구에서는 제품 설계 과정에서 초기 제작 소자를 통한 SPICE 모델 파라미터를 생성하는 과정을 생략하고, TCAD tool을 이용함으로써 설계 기간을 약 2개월 정도 단축하는 방법을 제시하였다. 초기 제품 설계 과정에서 소자 사양이 결정된 후 초기 제작 소자를 통하여 모델 파라미터를 추출하기까지 설계에서 가설계를 진행할 수 밖에 없었던 것을 사양과 초기 공정이 결정되었을 때 해당 공정에 calibration되어 있는 TCAD tool을 사용함으로써 사양의 결정과 거의 동시에 모델 파라미터를 제공할 수 있고, 설계팀에서는 변경된 공정 효과가 반영된 모델 파라미터를 이용한 설계를 진행할

수 있다. Flash memory와 같이 다양한 소자를 이용하고 넓은 범위의 동작 전압을 요구하는 제품의 경우 shrink에 따른 소자 특성을 예측하기 어려우므로, 더욱 초기 제작 소자에 의한 모델 파라미터의 생성과정이 요구되고 있기 때문에 이러한 모델 파라미터의 생성 방법은 더욱 효과적이다. Flash 제품의 설계에 본 flow를 적용하기 위해 TCAD 시뮬레이션의 정확도를 제시하였으며, 차세대 flash 소자 사양 결정 과정에서 예상되었던 특성들이 공정 변화에 대한 simulation에 의해서 대부분 재현되고 있음을 알 수 있었다. 또한, 일부 소자의 경우 예상되었던 특성이 나타나지 않았는데, 이러한 경우에 TCAD를 통하여 새로운 공정 조건의 추출이 가능하였다.

참고문헌

- [1] I. Fukuda and K. Nishi, "Application of TCAD to designing advanced DRAM and logic devices", SIS-PAD '97, pp. 17-20, 1997.
- [2] H. Sato, H. Kunitomo, K. Tsuneno, K. Mori and H. Masuda, "Accurate statistical process variation analysis for 0.25-um CMOS with advanced TCAD methodology", IEEE Transactions on Semiconductor Manufacturing, vol. 11, pp. 575-582, Nov. 1998.
- [3] Jun-Ha Lee, Kwan-Do Kim, Jeong-Taek Kong, Seung-Woo Lee, Young-Wug Kim and Doo-Heun Baek, "Systematic Global Calibration of a Process Simulator", Tech. Proc. of MSM2000, pp. 52-55, March, 2000.
- [4] V. Ukraintsev, et. al., "Two-Dimensional Dopant Characterization Using SIMS, SCS and TSUPREM4," IEDM Tech. Dig. pp. 349-352, Dec., 1999.
- [5] J. O. Borland, "Low Temperature Shallow Junction Formation For 70nm Technology Node And Beyond," Mat. Res. Soc. Symp. Proc. Vol. 717, Materials Research Society, C1.1.1, 2002.
- [6] T. Kunikiyo, et. al., "Reverse Short-Channel Effect Due to Lateral Diffusion of Point-Defect Induced by Source/Drain Ion Implantation," IEEE Trans. on CAD, Vol. 13, No. 4., Apr. 1994.
- [7] M. Y. Kwong, C. H. Choi, R. Kasnavi, P. Griffin and R. Dutton, "Series Resistance Calculation for Source/Drain Extension Regions Using 2-D Device Simulation," IEEE Trans. Electron Devices, vol. 49, No. 7, JULY 2002.