

Nano-Scale MOSFET 소자의 Contact Resistance에 대한 연구

이준하* · 이흥주*

A Study on Contact Resistance of the Nano-Scale MOSFET

Jun-Ha Lee* and Hoong-Joo Lee*

요 약 고속처리를 위한 나노급의 논리소자의 개발을 위해서는 소스/드레인 영역의 저항을 감소시키는 것이 필수적이다. 반도체소자의 개발 로드맵을 제시하고 있는 ITRS의 보고에 의하면 70nm급 MOSFET에서는 채널영역의 저항에 대비하여 그 외의 영역이 나타내는 저항성분이 약 15% 이내로 제작되어야 할 것으로 예측하고 있다. 이 기준을 유지하기 위해서는 소스/드레인 영역의 각 전류 흐름에 기인하는 가상적 기생저항에 대한 성분 분리와 이들이 가지는 저항값에 대한 정량적 계산이 이루어져야 한다. 이에 본 논문은 calibration된 TCAD simulation을 통해 나노영역의 Tr에서 저항성분을 계산, 평가하는 방법을 연구하였다. 특히, 소스/드레인 영역의 실리사이드 접촉 저항성분들을 최소화하여 optimize하기 위한 전략을 제시한다.

Abstract The current driven in an MOSFET is limited by the intrinsic channel resistance. All the other parasitic elements in a device structure play a significant role and degrade the device performance. These other resistances need to be less than 15% of the channel resistance. To achieve the requirements, we should investigate the methodology of separation and quantification of those resistances. In this paper, we developed the extraction method of resistances using calibrated TCAD simulation. The resistance of the extension region is also partially determined by the formation of a surface accumulation region that forms under the gate in the tail region of the extension profile. This resistance is strongly affected by the abruptness of the extension profile because the steeper the profile is, the shorter this accumulation region will be.

Key Words :

1. 서 론

나노 영역으로 집적화된 MOSFET의 기생저항 및 capacitance는 전류 구동력을 감소시키거나 node capacitance를 증가시키게 되어 결과적으로 CMOS 지연을 증대시키게 된다. 따라서 off-current를 최소화하고 on-current를 유지하기 위해서 보다 무거운 도판트를 이용하거나, 극저에너지 이온주입기술의 도입 및 후속의 열처리 과정을 최소화하기 위해 급속열처리기술등으로 shallow junction과 heavily doped된 확장형의 형성을 통한 기생저항 감소의 연구들이 진행되고 있다 [1][2].

본 연구에서는 이를 기초로 하여 고속/고성능 소자에 대한 저항적 측면에서의 분석과 성능향상을 위한 방향을 제시한다. 특히 코발트 또는 니켈 실리사이드로 형

성되는 접촉영역에 대한 도핑 최적화를 구현할 수 있는 기술에 대한 문제점과 해결책을 실험과 시뮬레이션으로 해석하였다.

2. 본 론

1. Analysis of Parasitic Resistance

MOSFET소자에서 고려하여야할 5가지 저항성분과 전류흐름을 도식적으로 그림 1에 나타내었다[3]. 그림 1에서는 source혹은 drain 부분의 한 방향만을 나타내었지만, source영역은 current가 감소하게 되면 gate의 구동능력도 저하되기에 특히 고려해야할 부분으로 판단된다. 분리된 저항 성분중에서 ①~④번은 기생저항으로 각각 접촉저항, shunt저항, 확장저항 및 accumulation저항으로 분류할 수 있고, ⑤번은 intrinsic한 channel저항 성분이다. 각 영역의 저항은 TCAD 시뮬레이션을 통해 구해진 전류량과 quasi-fermi potential로부터 계산되어진다.

*상명대학교, 컴퓨터시스템공학전공
Tel : 041-550-5362
E-mail : junha@smuc.ac.kr

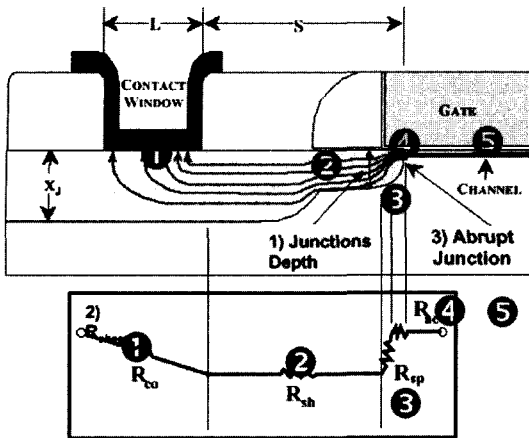


그림 1. MOSFET 각 저항 성분의 구분

2. Analysis of Process/Device simulation

주어진 공정조건으로부터 각 영역의 실제적인 current 와 quasi-fermi level을 추출하기 위해서는 process 및 device simulation이 실제 소자와 동일한 doping 분포와 mobility를 가지도록 calibration되어야 한다. 본 논문에서는 소스/드레인 activation을 normal-RTA와 spike-RTA로 진행된 n/pMOS소자를 target으로 calibration된 simulation 결과를 활용하였다[4].

그림 2는 I_{dsat} vs. I_{off} co-relation에 대한 시뮬레이션 결과를 실측치와 비교한 것으로 TCAD simulation 결과가 실제소자의 전기적 특성을 정확히 대변하고 있음을 알 수 있다. 실선은 실 제작된 소자로부터 측정된 실측치를 나타내고 점선은 calibration된 simulation으로부터의 simulation치를 의미한다. n/pMOS에서 spike와 RTA가 적용된 경우 모두에서 simulation error 10%이내의 결과를 보이고 있으며, 단지 RTA로 진행된 소자의 short-channel 영역에서만 I_{dsat} - I_{off} curve상의 10%이상의 오차가 나타나고 있다.

3. Analysis of the Contact resistivity

기생 저항중 큰 부분을 차지하고 있는 것으로 예상되는 부분은 Co-Silicide/Silicon 접촉저항이다. 전류는 확장으로부터 접촉으로 분산된 경로를 통해 이동하게 되며, 정확한 이동경로는 silicon내의 doping profile과 구조에 따라 변화한다. 즉 effective 접촉 저항은 이러한 flow line에 의해 결정되며, 이는 접촉의 effective area가 결정하게 된다. Silicide공정은 silicon과 반응으로 소비하며 성장되기에 고농도로 이루어진 source/drain region이 없어지거나 또는 silicide내에 존재하게 된다. 이런 경우 silicide와 고농도 silicon과의 resistivity는 silicide와 인접한 doping level에 의해 결정된다[5]. 그

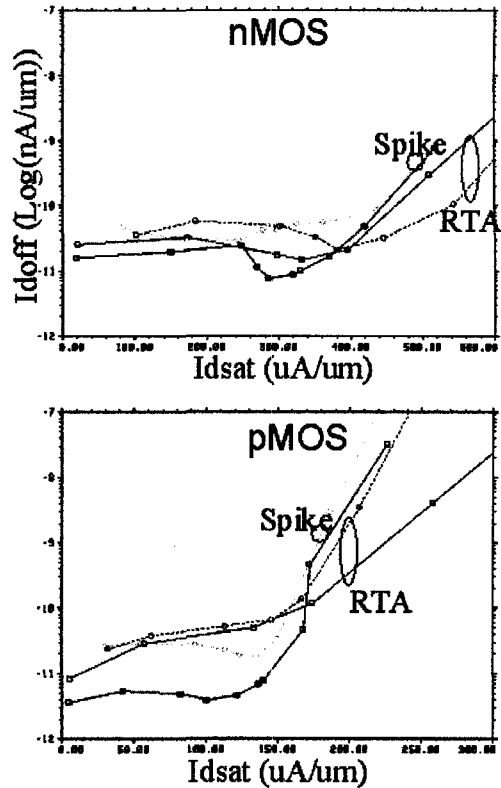


그림 2. 나노 영역 MOSFET I_{dsat} - I_{off} 특성 곡선 (nMOS 및 pMOS 소자)

림 3은 인접한 silicon내 doping변화에 따른 n/pMOS의 접촉 resistivity를 계산한 것으로 ITRS기준을 넘지 않기 위해서는 nMOS경우 $1E20$, pMOS의 경우 $6E19$ 이상의 고농도를 유지해야 함을 보여 주고 있다.

SIMS(Secondary Ion Mass Spectroscopy)측정을 통해 Co-silicide와 인접한 silicon내의 doping level을 분석하면, 그림 4와 같이 boron불순물이 사용되는 pMOS

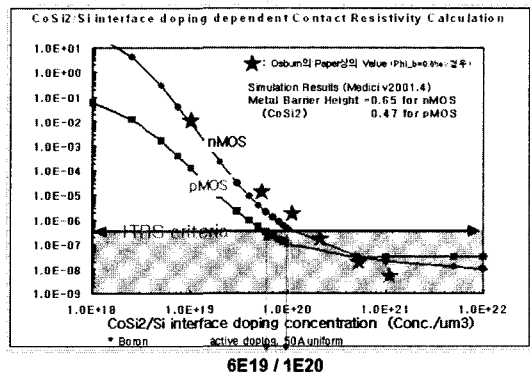


그림 3. 인접 실리콘내 농도에 따른 접촉 저항률

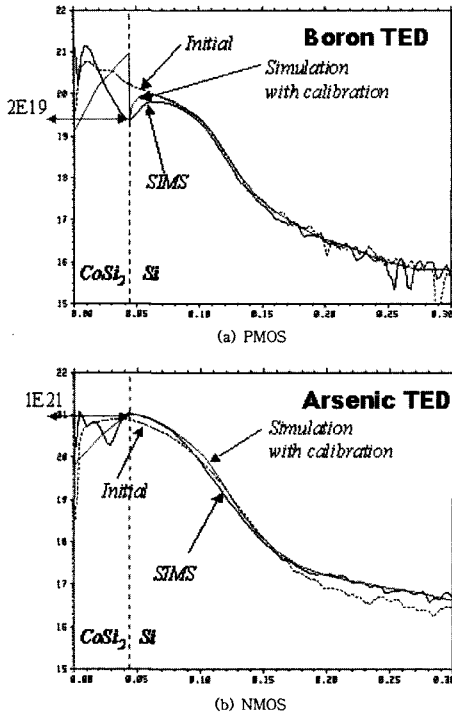


그림 4. 실리사이드와 인접한 실리콘내 도핑 농도 SIMS 측정치 및 시뮬레이션 결과

의 경우 Co-silicide와 인접한 silicon에서 boron 불순물이 급격히 segregation되는 현상이 발생되며, 이러한 현상은 silicidation 온도가 높을 수록 강해진다. 따라서 접촉저항을 최소화하기 위해서는 boron의 doping을 높일 수 있도록 초기 이온주입 에너지, silicidation조건, silicide 두께 등을 최적화하여야 하며 current를 맞이할 수 있는 면적을 최대화하여야 하겠다.

3. 결 론

본 논문은 초고속 집적회로를 위한 나노 스케일 MOSFET의 성능 저하를 일으킬 수 있는 저항성분들의 추출과 이들의 역할을 분석하였다. Calibration된 TCAD simulation으로부터 구해진 current와 quasi-Fermi level로부터 각 node에서의 sheet-resistance를 구할수 있는 flow를 제시하였다. 이로부터 normal-RTA 및 spike-RTA공정으로 제작되는 n/pMOS소자의 channel 저항 대 기생 저항의 비율과 더불어 기생저항을 구성하는 4가지 저항성분의 값과 비율을 추출함으로써 이들의 최적화를 위한 접근을 가능토록 하였다. 또한 Co-silicide와 인접한 silicon내 doping level에 따른 접촉 resistivity를 제시하여 이 부분에 대한 최적화의 필요성을 제시하였다.

참고문헌

- [1] Y. Taur, "MOSFET channel length Extraction and interpretation", *IEEE Trans. Electron Devices*, vol. 47, pp. 160-170, Jan. 2000.
- [2] S. D. Kim, C. M. Park and J. Woo, "Advanced Model and Analysis for Series Resistance in Sub-100nm CMOS including Poly-depletion and overlap doping gradient effect", *IEDM '00* pp.723-726. 2000.
- [3] K. K. Ng and W. T. Lynch, "Analysis of the gate-voltage-dependent series resistance of MOSFETs", *IEEE Trans. Electron Devices*, vol. 33, pp. 965-972, July 1986.
- [4] J. H. Lee, et. al., "Systematic Global Calibration of Process Simulator," *MSM 2000*, 2000
- [5] C. M. Osburn, K. R. Bellur, "Low parasitic resistance contacts for scaled ULSI devices", *Thin Solid Films* 332, pp. 428-436, 1998.