

## 디스플레이 소자 개발을 위한 다결정 실리콘 확산의 컴퓨터 모델링에 관한 연구

이흥주 · 이준하

### Computer Modeling of Impurity Diffusion in Poly-silicon for Display Devices

Hoong-Joo Lee and Jun-Ha Lee

**요약** 본 연구는 기존 반도체 단위공정의 실리콘 중심 CAD 환경을 다결정실리콘 중심의 환경으로 전환하는 방법론에 대해 제안하였다. 다결정실리콘 공정에서의 확산과 이온도핑에 의한 불순물 이동에 관련하여 결정립내부와 결정립계상에서의 확산을 동시에 고려하는 이중흐름(two-stream) 모델을 채택하고, 이와 관련된 파라미터들의 민감도 분석을 통하여 다결정실리콘 컴퓨터 시뮬레이션 환경을 재구성하였다. 시뮬레이터의 캘리브레이션 과정을 거친 결과 다결정실리콘에 대한 SIMS 데이터와 전반적으로 잘 일치하였다.

**Abstract** This paper presents a simulation methodology for the poly-silicon oriented TCAD(technology-CAD) system. A computer simulation environment for the poly-silicon processing has been set up with the proper adoption of the two-stream model for ion-doping, diffusion, and defects inside of grain and on the grain boundary. After the simulator calibration, simulation results for the poly-silicon diffusion has showed a good agreement with the SIMS data.

**Key Words** : poly-silicon, diffusion, grain, grain-boundary, TCAD

## 1. 서 론

디지털 정보통신 시대로서 경량, 박형 및 일체화된 전자정보시스템을 구현하기 위한 SOG(system-on-glass) 기술이 전자정보 핵심기술로 떠오르고 있다. SOG는 음성, 디스플레이, 정보처리, 기억공간, 입출력, 통신회로등의 여러 종류의 기능소자 및 회로들을 유리(glass) 기판위에 모두 집적화한 것으로 응용사례로는 정보기억용 smart card, TFT-LCD(thin film transistor liquid crystal display) 그리고 FED(field emission display)와 광센서 등이 있으며, 현재 일본 등에서 유리 기판위에 다결정실리콘을 저온 성장시킨 후 여러 가지 기능소자들을 집적화시킨 60인치이상의 대면적 LCD와 휴대형 평판 PC등을 선보이고 있다[1-2].

SOG의 개발을 위해서는 이의 공정 설계 기술, 소자 설계 기술, 나아가 대면적 집적화 기술등이 반드시 TCAD(technology CAD)에 의존하게 된다. 그러나 SOG 공정 및 소자 설계환경, 즉, TCAD 기술은 현재의

단결정 실리콘을 위한 기존의 CAD 환경을 그대로 사용하기에는 역부족이다.

따라서 본 연구는 기존 반도체 공정의 실리콘 중심 CAD 환경을 다결정실리콘 중심의 환경으로 전환하는 방법론에 대해 고찰한다. 본 논문에서는 먼저 다결정실리콘의 결정립내부와 결정립계에서의 이온도핑 및 확산에 의한 불순물 이동에 관한 모델과, 그리고 산화막 경계에서의 불순물과 결합 이동 및 생성에 관한 모델을 대한 채택한다. 그 후 이를 바탕으로 다결정실리콘내부에서의 확산에 영향을 주는 주요 파라미터에 관한 민감도 분석을 진행한다. 이를 처리하기 위한 병렬 CAD환경을 구성하고 캘리브레이션 방법을 제시하며, 온도와 시간 조건에 따른 시뮬레이션을 진행하여 실제 데이터와 비교 하여 제안된 방법의 유효성을 검증토록 한다.

## 2. 다결정 실리콘 내의 불순물 확산에 대한 컴퓨터 모델

다결정 실리콘 내에서의 도판트 확산은 결정립 내부와 결정립계에서의 불순물들의 확산계수가 서로 다르고,

결정립계가 불규칙하며, 결정립계가 이동하는데다가, 결정립계에서 불순물 분리현상이 나타나기 때문에 매우 복잡하다. 또한 다결정실리콘 아래쪽에 단결정실리콘 접해 있을 때 다결정실리콘과 단결정실리콘 경계에서의 불순물 분리현상과 격자의 재정렬도 고려되어야 한다.

따라서 이러한 과정을 해석적 모델을 통하여 정확히 분석하기란 쉽지 않다. 이를 컴퓨터를 이용하여 해석할 때, 해석 결과의 정확도와 컴퓨터 이용시간간의 트레이드오프(trade-off)가 발생하게 된다. 다결정실리콘을 단지 확산 소스로 사용한다면 정확한 해석은 필요치 않으나, 다결정실리콘 내부에서 도판트의 이동, 즉 도판트의 위치가 중요시 되는 경우에는 더 많은 세부항목이 고려되어야 한다.

이에 관한 컴퓨터 모델링은 일부영역의 결정립내부와 주변의 결정립계, 표면, 그리고 경계면을 해석하게 되는데, 예를 들면, arsenic을 주입한 후 어닐링동안 도판트의 움직임을 이해하기 위해 결정립계, 표면 그리고 경계면에서 도판트 분리현상을 고려해야 한다. 단시간 어닐링에서는 결정립계와 경계면에서 도판트 분리현상이 지배적이며 결정립 내부의 상당 부분이 완벽하게 도핑되지 않을 수 있다. 상대적으로 장시간 어닐링에 대해서는 결정립 성장, 즉, 결정립계의 이동이 중요하게 되고 결정립 성장 속도는 도판트 농도에 의존한다. 결정립 내부에서의 확산계수 또한 도판트 농도에 영향을 받는다. 이와 관련된 현상은 몇몇개의 결정립을 포함한 작은 일부영역을 고려한 것이므로, 고려대상인 다결정실리콘 전체 영역에 대해서 컴퓨터 해석을 하기는 쉽지 않다. 실질적인 시뮬레이션은 각각의 결정립에 대한 계산보다는 소자의 크기정도 스케일에 맞추어 2차원 계산을 진행하는데, 이럴 경우 시뮬레이션 시간을 줄일 수 있다.

다결정실리콘내의 도판트 확산 시뮬레이션을 위해 2절에서의 다결정실리콘 성장 모델을 포함시켜 이중흐름(two-stream) 모델이 사용되었다. 결정립내에서 도판트 확산과 결정립계 상에서 도판트 확산을 분리하여 해석하고 분리된 두개의 해석과정은 도판트가 결정립과 결정립계 사이를 이동하는 현상을 해석하면 자연스럽게 결합되게 된다.

먼저 결정립 안쪽에서의 확산은 도판트 농도와 농도차, 전기적으로 활성화된 도판트에 의한 전기장, 그리고 점결함의 영향을 받는다. 결정립 내에서의 확산은 다음 식 (1)처럼 쓸 수 있다[3-7].

$$\frac{dC_g}{dt} = \nabla(D_g)\nabla C_g - G, \quad (1)$$

여기서  $D_g = D_{g0} \exp\left(\frac{D_{gE}}{kT}\right)$ 는 결정립 내부에서의 도판트 확산계수이고  $G$ 는 결정립으로부터 결정립계로의 도판트의 최종 이동이다. 마찬가지로 결정립계 상에서의 도판트 확산은 다음 식 (2)과 같다[5].

$$\frac{dC_{gb}}{dt} = (\nabla_i F_{ij} D_{gb} \nabla_j C_{gb}) - G. \quad (2)$$

식 (2)에서  $D_{gb} = D_{gb0} \exp\left(\frac{D_{gbE}}{kT}\right) \frac{1}{\tau}$ 는 결정립계에서의 도판트 확산계수이고  $F_{ij}$ 는 결정립계의 방향성을 표현하기 위해 사용된 텐서(tensor)이다. 결정립과 결정립계 내에서 확산이 각각 모델링된 후, 이 두 요소는 결정립과 결정립계 간의 이동도를 나타내는  $G$ 항으로 결합된다.  $G$  값은 분리상수  $P_{seg}$ 의 함수인데,  $P_{seg}$ 는 다음과 같이 나타낸다[8].

$$P_{seg} = \frac{Q_s}{L_g N_{Si}} A \exp \frac{Q_0}{kT}, \quad (3)$$

여기서,  $Q_s$  : 결정립계에서의 불순물분리현상 sites 농도,  $Q_0$  : 불순물분리현상 활성화 에너지,  $L_g$  : 결정립 크기이며 식 (5)에서 다시 정의된다.  $N_{Si}$  : 실리콘 원자의 밀도,  $A$  : 엔트로피 상수이다. 결정립과 결정립계 사이에 도판트의 이동도  $G$ 는 식 (4)로써 쓸 수 있다[8].

$$G = \frac{1}{\tau} \left( \frac{C_g}{P_{seg}} - C_{gb} \right), \quad (4)$$

여기서  $\tau$ 는 결정립과 결정립계 사이에 도판트의 평형 상태가 오기까지 걸리는 시간인, 시상수이다.

다음으로 결정립의 성장을 표현하기 위해 아래의 식 (5)을 사용하였다[8].

$$L_g = \left[ \frac{2}{g_0} + 2 \cdot \frac{6b^2}{kT} \cdot \lambda D_{si}^{gb} \cdot t \right]^{1/2}, \quad (5)$$

여기서  $D_{si}^{gb} = D_{si0}^{gb} \exp\left(\frac{D_{siE}^{gb}}{kT}\right)$ 는 결정립계상에서의 실리콘 자신의 확산계수이며,  $g_0$ 는 초기 다결정실리콘의 결정립 크기,  $b$ 는 격자상수,  $\lambda$ 는 결정립계 에너지,  $t$ 는 확산시간이다.

### 3. 시뮬레이터 캘리브레이션 기술

#### 3.1 다결정실리콘 모델 파라미터

다결정실리콘 시뮬레이션에서 기본적으로 사용된 모델 파라미터 및 물질 상수 값들을 표 1-1, 1-2, 1-3에 각각 나타내었다. 표 1-1은 다결정실리콘의 결정립계와 관련된 물질 파라미터 값을 나타내었고, 캘리브레이션 이전에 시뮬레이터에 기본적으로 설정되어 있는 기본값들을 보여주고 있다. 표 1-2에서는 다결정실리콘의 결

표 1-1. 결정립계 관련 파라미터 및 상수

파라미터/상수	의미	단위	기본값	비고
GB.VOL.RATIO	고려대상인 전체 다결정실리콘 체적에 대한 결정립계 체적의 비율	$V_{gb}/V_{tot}$	0.1	(2)식의 $C_{gb}$
GRAIN.SIZE	초기 결정립 크기	mm	0.2	(5)식의 $g_0$
GB.SEG	결정립계에서의 불순물분리 발생위치 밀도	site/cm <sup>2</sup>	2.64e+15	(3)식의 $Q_s$
GB.ENERGY	결정립 재결정시의 결정립계 에너지	eV	1.0	(5)식의 $\lambda$
GB.DIX.0	결정립계에서의 실리콘 자기확산계수	cm <sup>2</sup> /sec	1e-12	(5)식의 $D_{gb}^{si,0}$
GB.DIX.E	결정립계에서의 실리콘 자기확산계수 활성화 에너지	eV	0.0	(5)식의 $D_{gb}^{si,E}$
GB.DIX.0	결정립계에서의 불순물 확산계수	cm <sup>2</sup> /sec	불순물에 따라 다름	(2)식의 $D_{gb0}$
GB.DIX.E	결정립계에서의 불순물 확산계수 활성화 에너지	eV	불순물에 따라 다름	(2)식의 $D_{gbE}$
GB.SEG.0	결정립계에서의 도판트 불순물분리현상에 대한 엔트로피	unitless	1e2	(3)식의 $A$
GB.SEG.E	결정립계에서의 도판트 불순물분리현상에 대한 엔트로피 활성화 에너지	eV	0	(3)식의 $Q_0$
GB.TAU	결정립계에서의 불순물분리현상 발생률	sec	1	(4)식의 $\tau$

표 1-2. 결정립 내부 관련 파라미터 및 상수

파라미터/상수	의미	단위	기본값	비고
DIX.0	중성 결함과 함께 확산하는 불순물의 확산계수	cm <sup>2</sup> /sec	arsenic: 6.6 boron: 3.66	식(1)의 $D_g$
DIX.E	중성 결함과 함께 확산하는 불순물의 확산계수의 활성화 에너지	eV	arsenic: 3.44 boron: 3.46	
DIP.0	한 개의 양성전하를 띠는 결함과 함께 확산하는 불순물의 확산계수	cm <sup>2</sup> /sec	arsenic: 0 boron: 72.0	
DIPE	한 개의 양성전하를 띠는 결함과 함께 확산하는 불순물의 확산계수의 활성화 에너지	eV	arsenic: 0 boron: 3.46	
DIM.0	한 개의 음성전하를 띠는 결함과 함께 확산하는 불순물의 확산계수	cm <sup>2</sup> /sec	arsenic: 1.2e3 boron: 0	
DIM.E	한 개의 음성전하를 띠는 결함과 함께 확산하는 불순물의 확산계수의 활성화 에너지	eV	arsenic: 4.05 boron: 0	
CTN.0	불순물 클러스터 계수	cm <sup>2</sup> /sec	arsenic/boron: 5.19e-24	
CTN.E	불순물 클러스터 계수의 활성화 에너지	eV	arsenic/boron: 0.6	

표 1-3. 이온도핑 관련 파라미터 및 상수

파라미터/상수	의미	단위	기본값	비고
RANGE	projected range	micron	이온도핑 조건에 따라 다름, as-implant 프로파일에 피팅	다결정실리콘내로의 이온도핑은 단결정 실리콘에 비해 채널링 현상 이 상대적으로 작으므로 Pearson 분 포를 해석모델로 사용
STD.DEV	standard deviation	micron		
GAMMA	skewness 비대칭정도	unitless		
KURTOSIS	첨도	unitless		

정립 내부와 관련된 파라미터들을 나타내었으며, 표 1-3에서는 이온도핑 프로파일과 관련한 파라미터 값들을 보였다.

### 3.2 캘리브레이션 CAD 환경

캘리브레이션 작업의 효율화를 위하여 그림 1과 같은 CAD 환경을 구축 사용하였다. 공정 분할을 병렬로 처리할 수 있도록 하기 위하여, 공정조건 분할기(process splitter) 및 워크시트(worksheet), 그리고 타겟 데이터베이스, 결과분석기, 네트워크로 연결된 워크스테이션들을 사용하였다. 어떤 공정 단계에서의 분할이 병렬로 처리되면, 그 결과를 바탕으로 하여, 다음 공정 단계의 분할이 자동으로 수행되도록 하였다.

### 3.3 캘리브레이션 방법

(1) 캘리브레이션 대상의 모든 모델 파라미터 및 상수를 리스트 업.

다결정실리콘 확산 모델 파라미터, 실리콘 확산 모델 파라미터, 이온주입 모델 파라미터, 다결정실리콘 물질 상수등 3-1절에서 나열된 파라미터를 모두 선정한다.

(2) 이온주입 공정 윈도우내의 타겟 SIMS 프로파일의 선정.

(3) 이온주입 모델 선정.

다결정실리콘 이온주입 모델로는 채널링 효과를 반영하지 않는 Pearson 모델을 사용.

(4) 이온주입 파라미터의 캘리브레이션.

Pearson 모델의 4개 파라미터를 캘리브레이션을 통하여 결정하고, 다결정실리콘 이온

주입 테이블 데이터베이스에 저장.

(5) 확산 및 물질 상수 관련 모든 파라미터에 대한 민감도분석.

모든 파라미터 각각에 대해 파라미터 값의 변화량에 대한 타겟 값의 변화 정도를 계산한다. 많은 수의 타겟 데이터에 대해 이 값을 추출한다.

(6) 가장 주요한 확산 파라미터 및 물질 상수의 선정. 민감도가 높은 파라미터와 피팅 용도의 물질 상수 값을 선정하여 캘리브레이션 대상으로 하고, 그 외 파라미터들은 기본값을 사용한다.

(7) 가능한 큰 공정 윈도우를 선정.

캘리브레이션을 통하여 추출되는 파라미터의 정확도 및 범용성을 높이기 위해 가능한 넓은 공정 윈도우를 선정한다. 단 데이터베이스내의 타겟 데이터 유무를 확인 한 후 시뮬레이션 포인트를 설정한다.

(8) 시뮬레이션 작업 수행.

공정 윈도우 내의 시뮬레이션 포인트에 대해, 위 (6) 번 과정에서 선정된 주요 파라미터 및 상수의 값을 타겟 데이터와의 최적화 과정을 통해 추출한다.

(9) 추출된 값의 데이터베이스 저장.

캘리브레이션 과정에서 추출된 파라미터 값을 데이터베이스에 저장한다.

(10) 소자 시뮬레이션.

캘리브레이션 과정을 통해 추출된 공정 파라미터를 기본값으로 하여, 소자를 시뮬레이션 한다. 소자 특성 파라미터의 실 측정치를 타겟으로 하여 오차를 측정한다.

(11) 소자 파라미터 캘리브레이션 및 공정 파라미터 재 추출.

소자 특성 타겟 값에 대해 소자 파라미터, 그리고 추출되었던 공정 파라미터의 RSM(response surface modeling)을 피팅한다.

(12) 재 추출된 공정 파라미터와 소자 파라미터의 데이터베이스 저장.

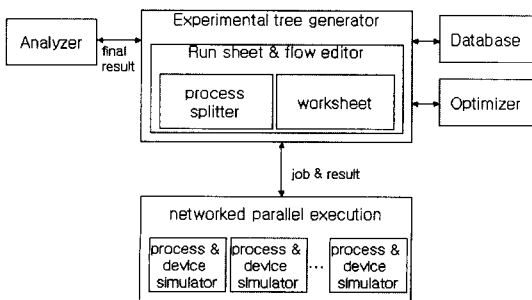


그림 1. 캘리브레이션 CAD 환경의 구성

## 4. 캘리브레이션 파라미터 추출

### 4.1 이온도핑 파라미터

일반적으로 이온주입 모델로 사용되는 Gaussian, Pearson, dual Pearson 분포중, Pearson 분포를 다결정 실리콘의 이온주입 모델로 선정하였다. 이온주입 파라미터들은 실리콘의 경우 공정 시뮬레이터 내에, 이온주입 조건에 따라 테이블 형태로 저장되어 있는데, 다결정 실리콘의 경우 이온주입 데이터의 부족으로 인해 기존의 시뮬레이터들에서 사용되는 이온주입 테이블이 매우 부실하다. 사실상 다결정 실리콘은 기존의 실리콘에 비하여, 그것의 성장 방법 또는 결정화 방법에 따라 그 성질이 매우 다양하므로, 이에 대해 정형화된 이온주입 파라미터를 이온주입 테이블로 제공하는 것이 무의미할 수 있다. 단지, CAD 사용자가 이를 이용하여 자신이 가지고 있는 이온주입 타겟 데이터에 대한 파라미터 최적화를 좀 더 용이하게 할 수 있을 것이다. 따라서 본 연구에서도 정형화된 이온주입 테이블을 만들어 이식시키는 작업보다는 최적화 과정에 더 중점을 두었다.

(1) 데이터베이스로부터 참조 이온도핑 파라미터 값들을 불러온다. 만일 파라미터 값들이 다결정실리콘 성장 공정에 따라 분류된 특정 카테고리 내에 있을 경우 그 카테고리내의 값을 기본값으로 한다. 만일 없으면, 상위레벨의 값을 기본값으로 한다.

(2) 데이터베이스로부터 이온도핑 SIMS 데이터를 불러내어 타겟으로 하고, Pearson 모델의 4개 파라미터를 optimizer를 사용하여 추출한다. 이때 위 (1)과정에서 기본값이 최적화의 기본값으로 사용된다.

(3) 데이터베이스 내에 원하는 공정 분류 카테고리가 없으면, 카테고리를 새로이 구성한다. 위 (2)과정에서 추출된 파라미터 값을 새로 구성된 카테고리 내에 이온주입 도즈와 에너지 조건에 맞추어 테이블 형태로 저장한다. 다결정실리콘 제작공정 대부분류는 다음과 같다. LPCVD/고상결정화/레이저어닐링/PECVD이며, 대부분류와 그 아래의 소분류를 사용자가 추가하여 만들어 넣을 수 있도록 한다. 한 예로, 그림 2에 참고문헌 [6]과[3]의 실험결과를 토대로 boron과 arsenic의 이온주입 프로파일 대비 추출된 파라미터를 사용한 시뮬레이션 프로파일 결과를 나타내었다.

### 4.2 파라미터 민감도 해석

표 2에 민감도 해석 결과를 나타내었다. Boron 및 arsenic에 대하여 공통적으로 민감도가 높은 파라미터는 DIX.0, GB.DIX.0, GB.SEG.0, GB.SEG, GRAIN.SIZE 등이며, 온도항의 경우 파라미터 추출시 동일 우선순위를 갖는다.

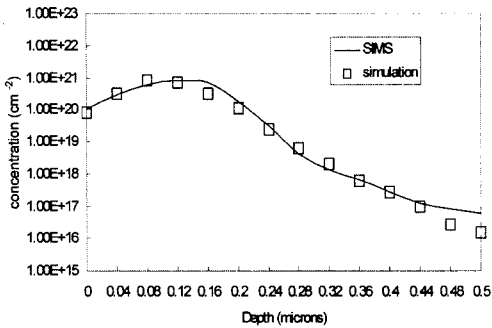
### 4.3 확산 시뮬레이션 파라미터

다결정실리콘에서의 불순물 확산 과정은 실리콘내에서의 확산 과정과 마찬가지로 복잡한 메카니즘의 결합으로 이루어져 있기 때문에, 파라미터의 추출 방법을 다음과 같은 방법으로 진행하였다.

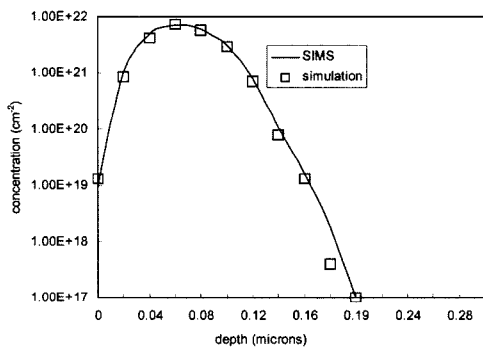
먼저 확산모델 선정으로 점결함의 생성 및 소멸과 이에 더불어 도판트의 확산을 표현하는 완전결합형(fully coupled) 확산 모델을 사용한다. 점결함을 고려하지 않은 페르미(fermi) 모델등을 사용하여 간단히 파라미터

표 2. Boron 및 arsenic의 다결정실리콘 확산 파라미터에 대한 민감도분석

	parameter	boron		arsenic		
		750°C	850°C	750°C	800°C	850°C
IMPURITY	DIX.0	99%	84%	76%	86%	70%
	DIM.0	0%	0%	52%	40%	66%
	DIP0	45%	49%	0%	0%	0%
	GB.DIX.0	-96%	-77%	2.7e+2%	93%	66%
	GB.SEG.0	-96%	-80%	77%	70%	99%
	GB.TAU.0	27%	33%	0%	21%	34%
MATERIAL	GB.VOL.RAT	0%	7%	0%	0%	6%
	GB.SEG	-96%	-90%	99%	1.7e+2%	3.2e+2%
	GRAIN.SIZE	-5%	0%	-1.1e+2%	-28%	0%
	GB.ENERG	0%	0%	0%	0%	0%
	GB.DIX.0	0%	0%	0%	0%	0%



Boron, dose=1e16/cm<sup>2</sup>, energy=35keV, on LPCVD poly-silicon layer [6]  
Optimized parameters : Range=0.1, Std.dev=0.056, gamma=-0.31, kurtosis=5.51



Arsenic, dose=5e16/cm<sup>2</sup>, energy=100keV, on LPCVD poly-silicon layer [3]  
Optimized parameters : Range=0.0695, Std.dev=0.035, gamma=0.285, kurtosis=2.8

그림 2. Boron과 arsenic의 이온주입 프로파일 대비 추출된 파라미터를 사용한 시뮬레이션 프로파일

를 추출할 수도 있으나, 이는 아주 작은 공정 윈도우 내에서만 유효한 물질 상수를 추출하는 오류를 만들 수 있으므로 사용하지 않는다.

(1) 첫번째로 추출되는 파라미터는 불순물 확산과 관련된 확산 계수들이다. 이들은 확산 공정 온도 전 영역에서 유효하며, 민감도가 다른 파라미터에 비해 높다. 각각의 불순물에 대해 GB.DIX.0, GB.DIX.E, DIX.0, DIX.E, DIP.0, DIPE, DIM.0, DIM.E 등이다. 이중 민감도 해석에서 순위가 낮은 파라미터는 생략한다.

(2) 두번째로 추출되는 파라미터는 결정립과 결정립 계간의 불순물 분리현상 파라미터이다. 두 개의 서로 다른 물질, 예를 들면, 실리콘과 다결정실리콘 또는 다결정실리콘과 산화막간의 도판트 불순물 분리현상은 일반적으로 전 온도 영역에서 유효하지만 이 현상은 다른 물리적 확산 모델 보다 우선순위가 낮으므로 제일 마지막에 추출되지만, 결정립과 결정립계간의 불순물 분리현상이 도판트 확산에 매우 큰 영향을 나타내므로 두번째 우선순위로 추출한다. GB.SEG.0, GB.SEG.E,

GB.TAU등이다.

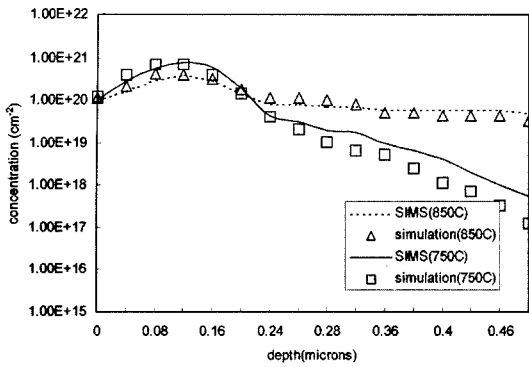
(3) 세번째로 추출되는 파라미터는 점결함과 관련된 계수들이다. 점결함들은 900°C 이하의 확산에서 영향을 미치는 것으로 보고 되었기 때문에 (1)과 (2)에서 추출된 파라미터를 사용하여서 점결함 계수를 추출해야 한다. 점결함 확산계수 (D.0, D.E), 비도핑 물질의 평형 상태에서의 점결함 농도(C\*.0, C\*.E), 점결함의 재결합 계수 (KR.0, KR.E)등을 추출한다. 같은 방법으로 민감도가 낮은 파라미터는 생략한다. 이 계수들은 결정립 내부에서의 확산에 영향을 주며, 결정립계에서의 확산과는 무관하다. 폴리 실리콘의 산화과정을 시뮬레이션 해야 한다면, 산화속도확산과 관련된 계수들 역시 추출해야 하지만, 본 연구에서는 생략한다.

(4) 네번째로 추출되는 파라미터는 이온도핑 손상 및 결함 클러스터에 관련된 파라미터이다. 주로 800°C 이하 확산공정에서 프로파일에 영향을 주는데, 프로파일의 허리부분을 깎이게 한다. 즉, 고 농도 이온주입에서 점결함들이 루프(loop)의 형태로 엉켜있어 이들이 도판트 확산을 억제하기 때문에, 확산 프로파일의 허리 중간 부분이 깎이게 되는 현상을 보인다. 이러한 현상은 RTA공정에서 주로 나타나므로 본 연구에서는 생략한다.

(5) 다섯번째로 추출되는 파라미터는 이중 물질간의 도판트 불순물 분리현상 파라미터이다. 폴리실리콘과 산화막간의 SEG.0 SEG.E를 위 (1),(2),(3),(4)단계에서 추출한 파라미터를 사용하여 추출한다.

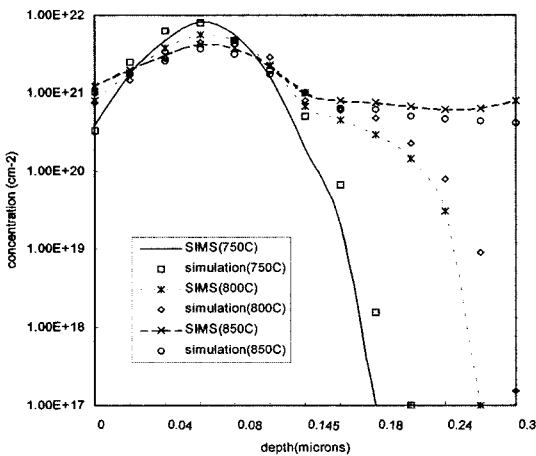
(6) 여섯번째로 추출되는 파라미터는 타겟 값 프로파일과의 최종적인 피팅 작업을 위해 사용되는 다결정실리콘의 물질과 관련된 상수들이다. GRAIN.SIZE, GB.VOL.RATIO, GB.ENERGY, GB.SEG등은 폴리실리콘을 성장 또는 재결정 후 물리적으로 측정된 데이터를 타겟 값으로 최적화를 하는 것이 원칙이지만, 단순 피팅 파라미터로 사용해도 무방하다. 이러한 파라미터 외에도, 폴리실리콘내의 불순물 클러스터와 관련된 파라미터인 CTN.0 및 CTN.E 역시 피팅 파라미터로 사용될 수 있다.

그림 3에서 그림 5까지는 참고문헌 [3]과 [6]의 실험 결과를 토대로, 최적화된 파라미터 값을 사용하여 각각, boron의 온도 분할, arsenic의 온도 분할, 시간 분할 시뮬레이션 결과 및 파라미터 값을 보여준다. 시뮬레이션 결과가 SIMS 데이터에 대비하여, 허리부분과 꼬리부분의 일부에서 약간의 오차를 보이고 있다. 이는 고농도 이온주입에 따른 클러스터 손상이 고려되지 않은 이유인데, 향후 해결해야 할 문제이다. 전반적으로 SIMS와 잘 일치하고 있다.



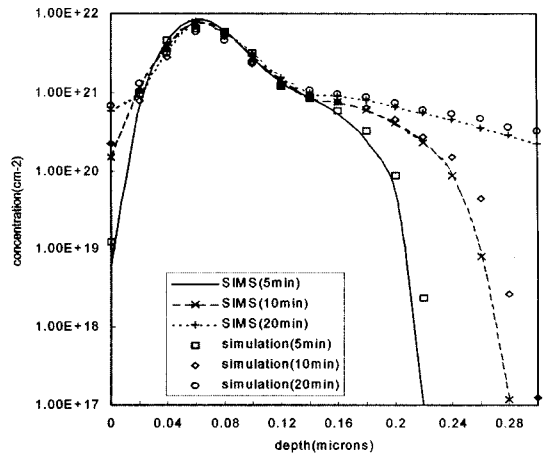
**Boron 확산, 20 mins in LPCVD poly-silicon layer [6]**  
 Optimized parameters (단위생략) : GB.DIX.0=9.9e2, GB.DIX.E=3.44, DIX.0=1.83, DIX.E=3.46, DIP.0=0.72, DIPE=3.46, DIM.0=0, DIM.E=0, GB.SEG.0=63.57, GB.SEG.E=0, GB.TAU=1e2, D.0=6e2, D.E=2.44, CSTAR.0=5e22, CSTAR.E=2.36, KR.0=3.2e-6, KR.E=2.44, SEG.0=1.13e3, SEG.E=0.91, GRAIN.SIZE=0.3, GB.VOL.RATIO=0.1, GB.ENERGY=1.0, GB.SEG=3.2e15, CTN.0=0, CTN.E=0

**그림 3.** Boron의 온도 분할 시뮬레이션 결과 및 추출하여 사용된 파라미터



**Arsenic 확산, 10 mins in LPCVD poly-silicon layer [3]**  
 Optimized parameters (단위생략) : GB.DIX.0=1.83e2, GB.DIX.E=3.44, DIX.0=2.82, DIX.E=3.44, DIP.0=0, DIPE=0, DIM.0=1.2e3, DIM.E=4.05, GB.SEG.0=1.01, GB.SEG.E=0, GB.TAU=1e2, D.0=6e2, D.E=2.44, CSTAR.0=5e22, CSTAR.E=2.36, KR.0=3.2e-6, KR.E=2.44, SEG.0=1.13e3, SEG.E=0.91, GRAIN.SIZE=0.52, GB.VOL.RATIO=0.15, GB.ENERGY=3.39, GB.SEG=2.64e11, CTN.0=5.19e-24, CTN.E=0.6

**그림 4.** Arsenic의 온도 분할 시뮬레이션 결과 및 추출하여 사용된 파라미터



**Arsenic 100KeV, 5E15의 800C 확산, poly-silicon layer [3]**

**그림 5.** Arsenic의 시간 분할 시뮬레이션 결과

## 5. 결론

실리콘 중심의 CAD환경을 다결정실리콘과 관련한 시뮬레이션이 가능하도록 전환하기 위한 연구의 첫 단계로, 다결정 실리콘의 구조 및 물질 상수가 조사 분석되었다. 성장 방법에 의존하는 다결정 실리콘의 결정립 내부 및 결정립 입계에서의 확산과 결정화 모델 및 파라미터의 선정을 진행하였다. 이를 위해서 시뮬레이터 내의 모델 개발 환경을 이용하였고, 공정 스프릿을 효과적으로 시뮬레이션 하기 위한 병렬 시뮬레이션 환경을 개발하였다. 그 후 불순물에 대한 최대한 넓은 공정 온도 윈도우내에서 유효한 파라미터 값을 얻기 위한 캘리브레이션 기술에 대한 연구를 진행하였다. 이를 위해 공정 윈도우 내에서 모든 모델 파라미터에 대한 민감도 해석이 진행되었으며, 불순물의 도핑 프로파일에 심각히 영향을 미치는 주요 파라미터들이 선정되었다. 제안된 캘리브레이션 과정에 기반하여 주 파라미터에 대한 캘리브레이션이 이루어졌다. 시뮬레이터의 캘리브레이션 이후, 다결정실리콘의 확산 시뮬레이션은 SIMS 데이터와 전반적으로 잘 일치하였다.

## 참고문헌

- [1] 장 진, "저온폴리 TFT-LCD기술," 전기전자재료, 제16권 1호, pp. 16-26, 2003.
- [2] 이준신, "Silicon 박막의 특성과 제조기술 그리고 다양한 소자응용," 전기전자재료, 제14권 1호, pp. 11-17, 2001.
- [3] H. Puchner and S. Selberherr, "An advanced model

- for dopant diffusion in polysilicon," IEEE Electron. Dev 42, No. 10, pp. 1750-1755, 1995.
- [4] H. Puchner and S. Selberherr, "Dynamic grain boundary-growth and static clustering effects on dopant diffusion in polysilicon," IEEE NUPAD V, pp. 109-112, 1994.
- [5] S. Jones and A. Gerodolle, "2D process simulation of dopant diffusion in Polysilicon," COMPEL 10, No.4, pp. 401-410, 1991.
- [6] M. Orlowski, H. Tseng, R. Hance and P. Tobin, "Fractal network diffusion of fluorine and boron in polysilicon gates," IEEE NUPAD IV, pp. 35-40, 1992.
- [7] F. Lau, "Modeling of polysilicon diffusion sources," IEEE IEDM 90, pp. 737-740, 1990.
- [8] H. Mulvaney, W. Richardson and T. Crandle, "PEPPER-A process simulator for VLSI," IEEE CAD 8, No. 4, pp. 336-349, 1989.