

## SRAM 소자의 Cell Latch-up 효과에 대한 해석 연구

이준하\* · 이흥주

### A Study of Cell Latch-up Effect Analysis in SRAM Device

Jun-Ha Lee\* and Hoong-Joo Lee

**요약** 반도체 소자 면적의 축소에 따라 중성자의 소프트 에러율은 집적회로 설계시 큰 문제점으로 대두되고 있다. 고전류 중성자 빔에 의한 가속 실험에서, 래치-업 현상은 소프트 에러 발생율의 정확한 예측을 방해하는 요소로 작용하고 있다. 본 연구는 SRAM 소자의 SER 가속 실험시 발생하는 래치-업에 대한 효과를 분석하였다. 2차원 소자 시뮬레이터를 이용한 시뮬레이션 환경하에서의 결과 깊은 p-well 구조의 기판이 이중 또는 삼중 well 구조에 비하여 양호한 래치-업 방지 효과를 나타내었다. 또한 접지에 대한  $V_{DD}$  전력선까지의 거리를 최소화하는 것이 효과적인 설계 기법으로 평가되었다.

**Abstract** A soft error rate neutrons is a growing problem for terrestrial integrated circuits with technology scaling. In the acceleration test with high-density neutron beam, a latch-up prohibits accurate estimations of the soft error rate (SER). This paper presents results of analysis for the latch-up characteristics in the circumstance corresponding to the acceleration SER test for SRAM. Simulation results, using a two-dimensional device simulator, show that the deep p-well structure has better latch-up immunity compared to normal twin and triple well structures. In addition, it is more effective to minimize the distance to ground power compared with controlling a path to the  $V_{DD}$  power.

**Key Words** : SRAM, Latch-up, SER, Well structure, Simulation

#### 1. 서 론

SER (soft error rate)은 deep sub-micron영역에서의 중요문제로서 인식되고 있다. 소자의 미세화에 따라 soft error 가능성이 증대되고 있고, 전체적인 시스템 환경이 mobile 환경으로 진화되면서 soft error의 source 또한 증가하고 있어 SER에 의한 래치업 현상의 심각성은 더해지고 있는 추세이다[1]. 특히, SRAM (Static Random Access Memory) 제품에서의 중성자에 의한 SER (n-SER) 평가 요구가 증대하고 있으며, 따라서 n-SER 측정이 중요한 현안이 되고 있다. 이러한 측정에는 neutron flux density를 높여 평가하는 가속실험 방법이 흔히 수행된다. 그런데, 가속 실험 시 neutron flux가 증가함에 따라 latch-up이 발생하여 n-SER 측정이 불가능한 문제가 발생하였다.

본 논문에서는 2차원 소자 시뮬레이션을 이용하여 SRAM의 n-SER 측정 시 발생하는 latch-up 특성을 분석하였다. 다양한 세대의 SRAM에 대한 SER latch-up

특성의 분석을 통하여, SER latch-up 발생 방지에 효과적인 well 구조를 제시하였다.

#### 2. SER Latch-up 시뮬레이션 방법론

SER latch-up은 입사 중성자와 실리콘 원자간의 핵반응에 의해 발생하는 이차 입자들이 실리콘 내부에서 electron-hole(e-h) pair를 생성시킴으로써 발생된다. 실제의 e-h pair의 생성 경로는 복잡한데, 입자 하나의 영

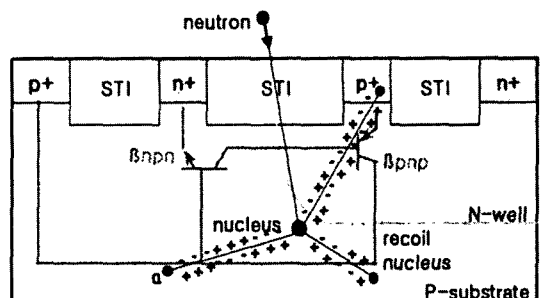


그림 1. SER 측정시 실리콘 기판에 중성자 주입에 따른 핵반응 경로

상명대학교, 컴퓨터시스템공학과, 정보디스플레이연구소  
\*교신저자: 이준하(junha@smu.ac.kr)

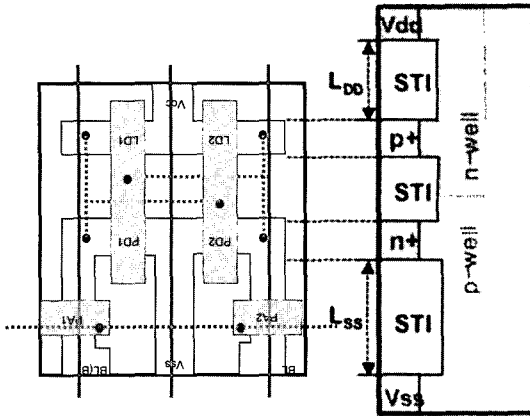


그림 2. SRAM cell 레이아웃 및 시물레이션 구조

항만 고려한 원리는 그림 1과 같다. e-h pair가 생성되면 정공은  $V_{SS}$  쪽으로, 전자는  $V_{DD}$  로 이동한다. 이때 정공 전류는 npn의 트리거 전류가 되며, 이 전류에 의해 기동된 n+와 p-sub의 전자 전류는 다시 npn의 트리거 전류가 된다. 이러한 과정의 상호 상승작용으로 전류량을 증폭시켜 latch-up이 발생되게 된다[2, 3]. 본 논문에서는 그림 2와 같이 SRAM cell의 n/p-well bias 접촉(contact) 거리와 well 형태에 따른 SER latch-up 특성을 시물레이션을 통하여 분석하였다.

Well 형태는 그림 3을 기본으로 하여 twin well, triple well (n/p-well보다 깊은 곳에 deep n-well이 존재하는 형태), 그리고 에피 웨이퍼(twin well을 사용하지만 well 보다 깊은 영역에 p-type 에피층을 가진 웨이퍼)를 사용한 경우 등 세 가지의 구조를 적용하였다. SER latch-up 시물레이션은 복잡한 핵반응을 생략하고, 2차원 소자 시물레이터인 MEDICI를 이용하여 특정

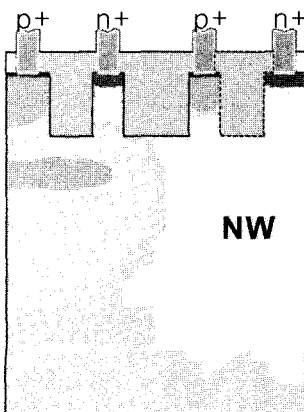


그림 3. 기판 웰 구조에 따른 도핑 분포

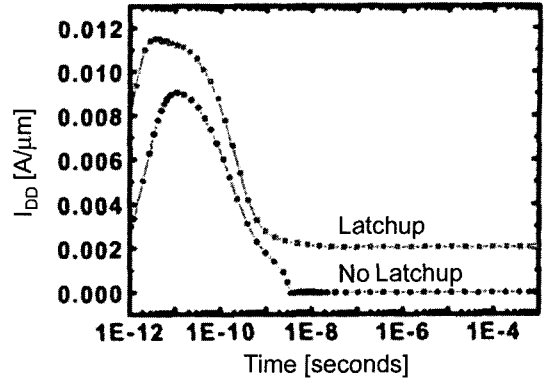


그림 4. VDD에 의한 전자-정공쌍 전류 밀도

경로에 e-h pair를 직접 발생시키는 간략화된 방법으로 진행되었다. E-h pair 발생 경로는 latch-up 발생이 가장 취약한 부분을 시물레이션을 통해 선택하여 진행하였으며, e-h pair 발생량은 이차 입자들의 에너지 손실 중 가장 큰 경우를 대표값으로 하고, 이 에너지가 모두 e-h pair를 생성하는데 사용된다고 가정하여 구현하였다[4].

상대적인 평가는 그림 4와 같이 e-h pair 발생 후 각 단자에 잔류되는 전류의 크기를 기준으로 하였으며, 잔류전류량이 없으면 latch-up이 발생되지 않은 것이고, 잔류 전류량이 존재하면 latch-up이 발생된 것으로 전류량이 클수록 latch-up에 취약하다고 판단될 수 있다. 세대별 소자 평가에서는 구조에 따른 크기가 고정되어 있기 때문에 차이를 명확히 분석하기 위하여 e-h pair 양의 크기를 변화 시켜가며 시물레이션을 진행하였으며, latch-up이 발생하기 시작하는 e-h pair 양 즉 임계량을 기준으로 비교하였다. 임계량이 상대적으로 작으면 SER latch-up에 취약하다고 판단할 수 있다.

Well 형태별 SER latch-up의 경향성을 분석한 결과는 latch-up 발생 후 잔류되는 전류로서 그림 5에 나타내었다. Well 형태별로 well bias 접촉(contact) 까지의 거리( $V_{SS}$ 까지의 거리: LSS,  $V_{DD}$ 까지의 거리: LDD)들의 변화에 대한 결과이다. latch-up immunity 측면에서 에피 웨이퍼를 사용한 경우에 가장 우수한 특성을 나타내었는데 well bias 접촉(contact) 까지의 거리에 관계 없이 latch-up이 발생하지 않았다. 이것은  $1.0 \times 10^{18} \text{ cm}^{-3}$ 으로 도핑된 p-type 에피층으로 인하여 p-well 저항이 낮아져서 접촉(contact) 거리가 커지더라도 p-well의 위치에 따른 전압 변동이 작아지기 때문이다 [5]. Twin well과 triple well은 비슷한 경향성을 보이며 둘 다 LSS 및 LDD가 짧을수록 유리하였고,

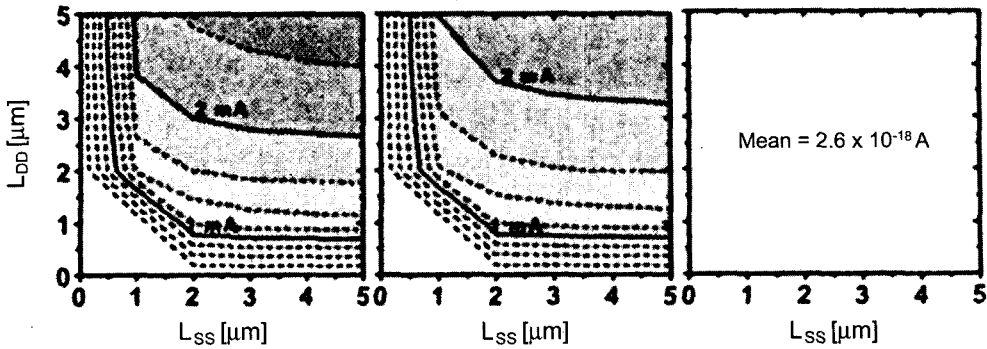


그림 5. 접촉거리에 따른 전류 분포 특성

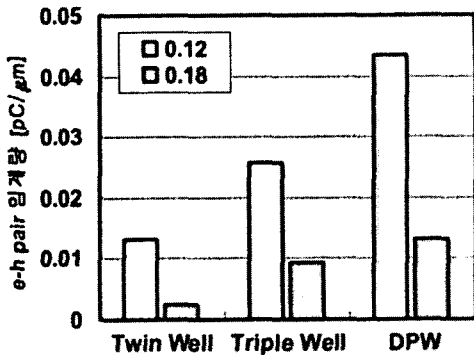


그림 6. 소자 세대별 전자-정공쌍 임계 값

한쪽이라도 cell 마다 전압이 직접 인가될 정도로 거리가 짧으면 latch-up이 발생하지 않았으며 latch-up immunity가 크게 증가함을 알 수 있었다. 접촉(contact) 거리 변화에 따른 triple well 과 twin well의 결과를 비교해 보면 triple well이 다소 유리함을 알 수 있다. 또한, LDD보다 LSS 증가 시에 전류변화폭이 크므로 p-well bias 접촉(contact) 거리를 최소화하는 것이 필요하다[6]. 이것은 정공 이동도가 전자 이동도에 비해 작기 때문에 n-well 보다 p-well의 전압을 유지하기 어렵기 때문이다.

그림 6은 0.12 μm 및 0.18 μm SRAM cell의 SER latch-up immunity를 비교하기 위해서 latch-up이 발생하는 e-h pair 임계량에 대한 SER latch-up 시뮬레이션 결과를 나타내고 있다. 0.12 μm cell에 대한 e-h pair 임계량이 큰 것은 접촉 (contact) 거리가 짧아졌기 때문에 latch-up immunity가 좋아진 것으로 판단된다. 한편, 두 경우 모두에서 에피 웨이퍼와의 유사 효과가 기대되는 deep p-well (DPW)을 사용한 경우 가장 큰 latch-up immunity를 보인다.

### 3. 결 론

SER latch-up 방지에 효과적인 well 구조는 에피 웨이퍼 > DPW > triple well > twin well 순이다. 에피 웨이퍼의 경우에는 well bias 접촉(contact) 까지의 거리에 관계없이 latch-up이 발생하지 않아 SER latch-up 측면에서 가장 우수하다고 할 수 있으며, triple well이나 twin well의 경우에는 접촉(contact) 거리가 짧을수록 좋으나, 적어도 한쪽 well 만이라도 각 cell마다 전압을 선택하는 것이 보다 효과적이다. 에피 웨이퍼 대신 deep p-well을 사용한 경우에도 0.12 μm세대에서는 deep n-well을 적용한 것보다는 약 1.7배 좋아짐을 알 수 있었다.

### 참고문헌

- [1] Y. W. Kim, S. B. Park, Y. G. Ko, K. I., Kim, I. K. Kim, K. J. Bae, K. W. Lee, J. O. Yu, U. Chung, and K. P. Suh, "A 0.25 μm 600 MHz 1.5V SOI 64 b ALPHA™ microprocessor", Digest of Tech. Papers ISSCC, pp. 432-433, 1999.
- [2] J. P. Colinge, "Silicon-on-insulator Technology": Materials to VLSI, 2nd ed, Boston, MA: kluwer, 1997.
- [3] M. M. Pelella, J. G. Fossum, D. W. Suh, S. Krishnan, K. A. Jenkins, and M. J. Hargove, "Low-voltage transient bipolar effect induced by dynamic floating-body charging in scaled PD/SOI MOSFETs", IEEE ED-L Vol. 17, Issue 5, pp. 196-198, 1996.
- [4] A. Wei, and D. A. Antoniadis, "Measurement of transient effects in SOI DRAM/SRAM access transistors", IEEE ED-L, Vol. 17, Issue 5, pp. 193-195, 1996.
- [5] M. Yoshimi, M. Terauchi, A. Murakoshi, M. Tekahashi, K. Mat-suzawa, N. Shigyo, and Y. Ushiku, "Technol-

ogy trends of silicon-on-insulator? Its advantages and problems to be solved”, in IEDM Tech.Dig., pp. 429-432. 1994.

[6] F. Assaderhi, G. G. Shahidi, L. Wagner, M. Hsieh, M.

Pelella, S. Chu, R. H. Dennard, and B. Davari, “Transient pass-transistors leakage current in SOI MOS-FET's”, IEEE ED-L, Vol. 18, Issue 6, pp. 241-243, 1997.

이 준 하(Jun-Ha Lee)

[정회원]



- 1990년 2월 : 중앙대학교 전자공학과 (공학사)
- 1992년 2월 : 중앙대학교 전자공학과 (공학석사)
- 1996년 8월 : 중앙대학교 전자공학과 (공학박사)
- 2003년 3월~현재 : 상명대학교 컴퓨터시스템공학과 조교수

<관심분야>

나노시스템, 임베디드시스템, 영상처리시스템등

이 흥 주(Hoong-Joo Lee)

[정회원]



- 1987년 2월 : 한양대학교 전자공학과 (공학사)
- 1989년 2월 : 한양대학교 전자공학과 (공학석사)
- 1995년 2월 : 미국 뉴욕주립대전기공학과(공학박사)
- 2001년 3월~현재 : 상명대학교 컴퓨터시스템공학과 부교수

<관심분야>

반도체 설계, 태양광발전시스템, 정보 디스플레이 시스템등