

미세게이트용 폴리실리콘의 쾌속 열처리에 따른 표면조도 변화

송오성^{1*} · 김상엽¹

Surface Roughness Evolution of Gate Poly Silicon with Rapid Thermal Annealing

Ohsung Song^{1*} and Sangyeob Kim¹

요 약 90 nm급 게이트로 활용되는 폴리실리콘을 패턴화 하기 위해서 하드 마스크의 채용 등 신공정과 함께 폴리실리콘 자체의 평탄화가 필요하다. 본 연구는 70 nm 두께의 LPCVD 폴리실리콘 게이트를 상정하여 열산화막 상부에 기관 전면을 폴리실리콘으로 만들고 쾌속열처리 온도를 달리해가며 40 초간 열처리하여 이때의 표면조도의 변화를 광발산 주사전자현미경(FESEM)과 주사탐침현미경(AFM)으로 확인하였다. 폴리실리콘은 700°C~1100°C 온도범위에서 표면 응집효과에 의해 고온에서 표면조도가 급격히 증가하는 경향이 있었으며 700°C-40 sec 조건에서 최적 평탄화 효과가 가능하였다.

Abstract The 90 nm gate pattern technology have been virtualized by employing the hard mask and the planarization of gate poly silicon. We fabricated 70 nm poly-Si on 200 nm-SiO₂/p-Si(100) substrates using low pressure chemical vapor deposition (LPCVD) to investigate roughness evolution by varying rapid annealing temperatures. The samples were annealed at the temperatures of 700~1100°C for 40 seconds with a rapid thermal annealer. The surface image and the surface roughness were measured by a field emission scanning electron microscopy (FESEM) and an atomic force microscopy (AFM), respectively. The poly silicon surface became more rough as temperature increased due to surface agglomeration. The optimum conditions of poly silicon planarization were achieved by annealed at 700°C for 40 seconds.

Key Words : Poly silicon, Planarization, RTA annealing, 90 nm-gate, Surface roughness

1. 서 론

폴리크리스탈 실리콘은 주로 게이트 역할을 하기 위해 사용된다. 주로 LPCVD(low pressure chemical vapor deposition, 저압 화학 기상 증착법) 공정으로 제조되는 폴리실리콘은 600°C이상의 기관온도를 유지하면서 증착되어 결정성을 갖도록 생성되는데, 최근에는 소자의 집적도가 향상되면서 폴리실리콘 게이트의 선폭이 0.1 μm 이하로 감소하고 또한 게이트의 높이(폴리실리콘의 두께)도 70 nm 정도로 낮아지는 추세이다[1]. 따라서 폴리실리콘을 성막한 후 후속공정으로 게이트 패턴을 형성하기 위한 정밀한 사인식각을 위해서는 폴리실리콘 상부 표면의 평탄화가 필수적이다.

물론 나노급 폴리실리콘 게이트의 정밀한 패턴 형성

을 위한 노력으로 기존의 반사방지막(anti-reflective coating, ARC)을 채용[2]하는 기본적인 방안부터 최근에는 화학기계적연마(chemical mechanical polishing, CMP)를 이용한 평탄화 공정 등도 적극적으로 도입되고 있다[3-4].

그림 1에는 ARC 평탄화와 폴리실리콘 상부에 하드 마스크를 채용해서 성공적으로 높이 150 nm, 선폭 90 nm의 게이트용으로 패턴된 폴리실리콘의 건식식각된 모습을 나타내고 있다. 따라서 폴리실리콘의 평탄화 공정은 앞으로도 나노급 게이트에 적극적으로 채용될 예정이다.

여러 가지 평탄화를 위한 공정중 특히 열에너지를 이용하여(열처리를 시행하여) 폴리실리콘의 결정립을 미세화 하거나 표면 에너지를 최적화하여 평탄화하는 것은 가장 경제적인 방법이면서 특히 하부의 p-well 또는 n-well의 도핑상태에 영향을 주지 않는 RTA(rapid thermal annealing, 쾌속열처리)를 이용하면 더욱 공업적 목적을 달성하는데 유용할 수 있다.

이 논문은 한국과학재단의 특장기초연구(과제번호 R01-2004-000-10028-0) 지원에 의하여 연구되었음.

¹서울시립대학교 신소재공학과

*교신저자 : 송오성(songos@uos.ac.kr)

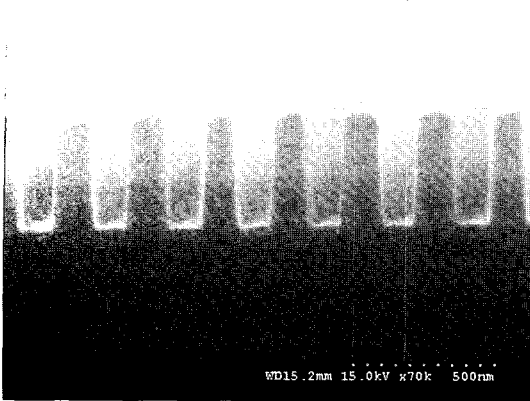


그림 1. 건식 식각된 선폭 90 nm 게이트 폴리 실리콘의 FESEM 이미지

RTA는 고밀도의 열원을 가진 다수의 할로겐 램프를 실리콘 기판 전면에 고루 가열될수 있도록 배열하여 통상 30~60 초 정도의 급속가열을 통하여 매우 단 시간 내에 목적하는 열처리를 완료하는 방법으로 이미 well 공정이나 salicide공정에서 선택적인 열처리를 위해 신뢰성있게 채용되는 열처리 방안이다[5-6].

본 연구는 게이트 절연층을 상정하여 기판 전면에 70 nm 두께의 폴리실리콘을 형성시키고 이때 쾌속열처리를 40초간 700~1100°C의 범위에서 100°C 단위로 변화시키면서 처리하고 이때의 폴리실리콘의 미세구조 변화와 표면조도의 변화를 확인하여 보았다.

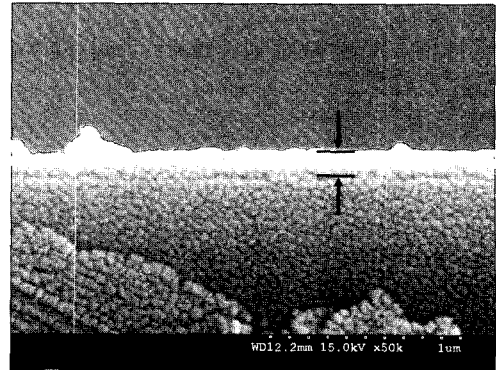
2. 실험방법

비저항 1~10 Ω-cm인 직경 4인치 실리콘기판 전면에 200 nm의 열산화막을 생성시키고 그 위에 70 nm의 도핑 되지 않은 폴리실리콘을 LPCVD공정으로 증착하였다. 준비된 시편은 0.5×0.5 cm² 크기로 절단한 후 FESEM(Hitachi社)을 사용하여 수직 단면과 표면형상을 측정하였다. 측정시 챔버내 진공도는 1.7×10⁻⁶ Pa의 진공도에서 Au 코팅을 150초간 시행한 후 카본테이프를 이용하여 전기전도도를 확보하여 관찰하였다.

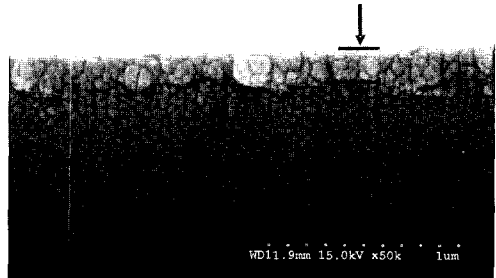
표면 조도를 측정하기 위해 AFM(PSIA社)를 사용하여 스캔 속도는 2 Hz, 스캔 사이즈는 4×4 μm²의 크기로 contact 모드에서 시행하였다.

3. 실험결과 및 토의

그림 2에는 FESEM으로 관찰한 폴리실리콘의 수직 단면을 나타내었다. 그림 (a)에는 RTA로 40 초간 700°C에서 열처리한 모습과 (b)에는 1100°C로 열처리한 모



(a)



(b)

그림 2. 열처리 온도에 따른 폴리실리콘 수직단면 사진 (a) 700°C (b) 1100°C

습을 각각 나타내었다. (a)에서 보듯이 도핑이 안되어 저항이 큰 폴리실리콘 층을 관찰하기 위한 구분은 쉽지 않지만 일단 폴리실리콘 층이 70 nm 두께로 균일하게 생성되었음을 알 수 있고, (b)에서는 1100°C의 고온에서 빠르게 열처리가 진행되면 매우 짧은 시간임에도 불구하고 폴리실리콘 층의 두께가 약 90 nm 정도로 증가하였음을 알 수 있었다.

폴리실리콘에서 진공열처리를 진행할 경우 산화막의 형성 등이 불가능하기 때문에 두께의 변화가 생기는 현상은 매우 이례적이지만, 물질이 한정된 경우 두께가 변화하였다기 보다는 표면 응집효과에 의해 상부결정립이 크게 우선성장하여 마치 두께가 증가한 것처럼 보인다고 판단되었다.

그림 3에는 RTA 온도가 상승한 경우의 FESEM으로 관찰한 폴리실리콘의 평면방향의 이미지를 나타내었다. (a), (b), (c), (d)에 각각 700, 900, 1000, 1100°C인 경우의 이미지를 나타내었는데 온도가 상승하면서 특별히 결정립의 우선 성장이나 결정립 분포의 차이는 확인할 수 없었다.

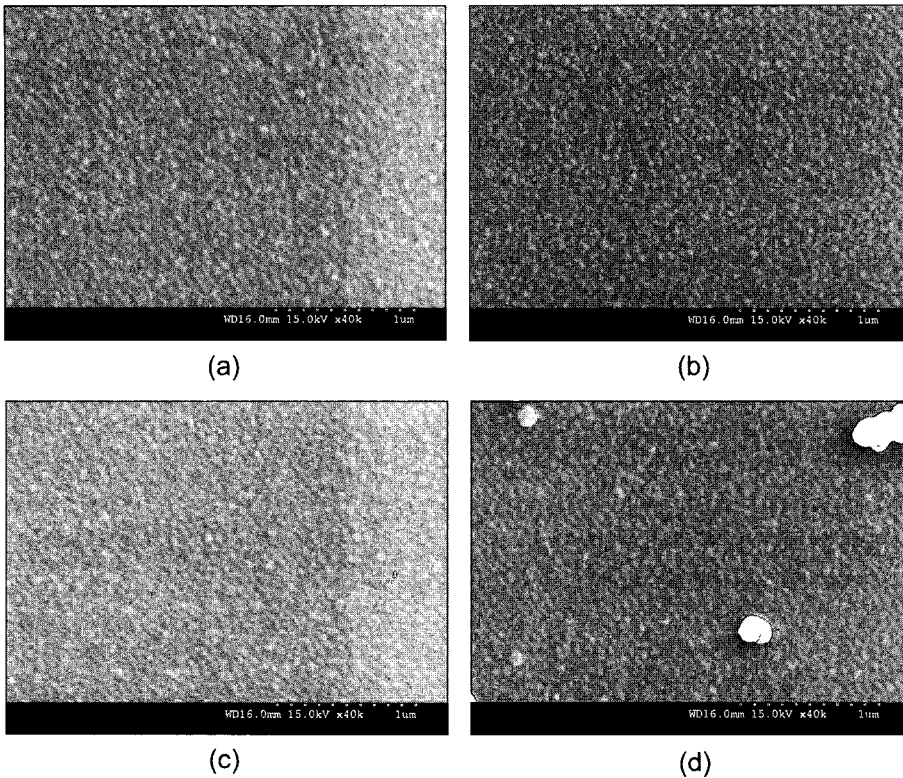


그림 3. 열처리 온도에 따른 폴리실리콘의 표면 FESEM 이미지 (a)700°C, (b)900°C, (c) 1000°C, and (d) 1100°C

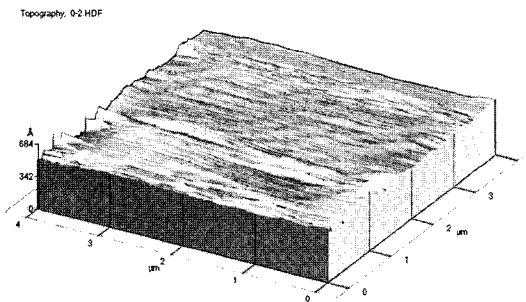


그림 4. 700°C에서 열처리한 폴리실리콘의 AFM 이미지

그림 4에는 700°C인 경우의 AFM으로 $4 \times 4 \mu\text{m}^2$ 범위에서 표면을 측정된 결과를 나타내었다. 매우 평탄한 표면조도를 보이고 있는 특징이 있다. 이러한 표면조도를 나타내는 방안으로는 이 rms(root mean square) 표면조도가 범용적으로 사용될 수 있다. 각 온도에서 동일한 방법으로 rms 표면조도를 확인하였다.

그림 5에는 각 RTA 온도에서 변화하는 rms(root mean square) 값을 나타내었다. 그림에서 보듯이 as-depo. 상태의 폴리실리콘의 rms는 16Å 정도로 단결정 실리콘 보다 약간 증가하는 경향이 있음에 반해 700°C에서는

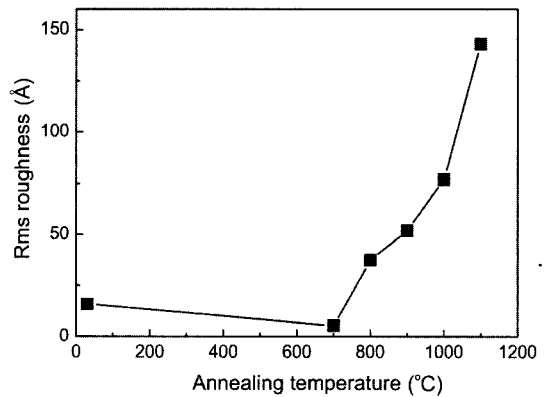


그림 5. RTA 열처리 온도에 따른 rms 조도의 변화

5.3 Å 정도로 단결정 실리콘기판정도로 감소하는 현상이 있었다. 이후 계속 증가하여 1100°C고온인 경우에는 143Å정도까지 증가하였다.

700°C에서의 표면조도의 감소는 비교적 균일한 결정립을 가진 표면이 열에너지를 가지는 경우 노출이 심한 왼쪽부에서부터 아래쪽으로 물질이동이 일어나서 평탄화 효과가 진행되지만 800°C이상의 열에너지는 표면

응집의 구동력을 제공하여 선택적인 표면 결정립의 성장을 유도한다고 판단되었다. 1100°C에서의 큰 표면조도는 특정결정립이 우선 성장하여 앞서의 수직단면 전자현미경이미지와 같이 마치 두께가 두꺼워진 것처럼 보이는 원인이 될 수 있었다.

따라서 이상의 논의와 같이 700°C-40초 조건의 RTA를 실시함으로써 평탄화 효과를 얻을 수 있는 것이 확인되었고, 나노급(90 nm이하) 게이트를 만드는데 hard mask를 채용하기 위해 CMP등 고가 공정이 필요했던 것에 비해, 비교적 단순한 RTA 공정을 부가하여 좀더 평탄한 상부막을 경제적으로 확보할 수 있는 신공정이 기대되었다.

4. 결 론

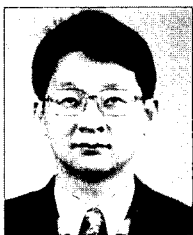
70 nm 두께의 LPCVD 폴리 실리콘을 쾌속열처리기로 조사하여 700~1100°C 범위에서 폴리실리콘 표면조도의 평탄화 가능성을 확인하였다. 실험범위 내에서 700°C-40 sec 조건에서 단결정실리콘정도로의 평탄화 효과가 있었으며 그 이상의 열처리에서는 과도한 표면 응집효과로 표면조도가 커지는 현상을 확인하였다. 단순한 RTA를 채용하고 조건을 최적화하여 나노급 폴리실리콘의 평탄화가 가능하였다.

참고문헌

- [1] The International Technology RoadMap For Semiconductor, "Front End Process", SIA, 2003 Edition, 2003.
- [2] W. C. Cheng, F. D. Lai, H. M. Huang and Lon A. Wang, "Design of a tri-layer bottom anti-reflective coating for KrF, ArF and F₂ lithographies", Microelectronic Engineering, Vol. 73-74, pp. 59-62, 2004.
- [3] W. E. Wallace, W. L. Wu and R. A. Carpio, "Chemical-mechanical polishing of SiO₂ thin films studied by X-ray reflectivity", Thin Solid Films, Vol. 280, pp. 37-42, 1996.
- [4] I. Heyvaert, M. Van Hove, A. Witvrouw, K. Maex, A. Saerens, P. Roussel, and H. Bender, "Effect of oxide and W-CMP on the material properties and electromigration behaviour of layered aluminum metallisation", Microelectronic Engineering, Vol. 50, pp. 291-299, 2000.
- [5] 정영순, 정성희, 송오성, "코발트/니켈 복합실리사이드의 실리사이드온도에 따른 면저항과 미세구조 변화", 한국재료학회지, Vol. 14, pp. 389-393, 2004.
- [6] K. L. Pey, P. S. Lee and D. Mangelinck, "Ni(Pt) alloy silicidation on (100) Si and poly-silicon lines", Thin Solid Films, Vol. 462-463, pp. 137-145, 2004.

송 오 성(Oh-Sung Song)

[정회원]



- 1987년 2월 : 서울대학교 금속공학과 (공학사)
- 1988년 2월 : 서울대학교 금속공학과 (공학석사)
- 1994년 5월 : MIT 재료공학 (공학박사)
- 1996년 3월 : NTT기초연구원
- 1997년 8월 : 삼성전자 CPY 기술팀
- 현재 : 서울시립대학교 신소재공학과

<관심분야>

반도체공정, 주얼리공학, 자성재료

김 상 열(Sang-Yeop Kim)

[준회원]



- 2005년 2월 : 서울시립대학교 신소재공학과 (공학사)
- 2005년 2월 ~현재 : 서울시립대학교 신소재공학과 (석사과정)

<관심분야>

자성재료, 반도체 공정.