

전자재료 산화박막에 대한 Ti 표면처리 효과

이원규¹ · 조대철^{2*}

Effect of Surface Treatment of Ti on Oxidative Thin Film of Electronic Materials

Won Kyu Lee¹ and Daechul Cho^{2*}

요 약 코발트 실리사이드는 낮은 전기 저항성 때문에 고효율 소자를 제조하는데 적합한 물질이다. 이는 전자소재가 소형화되면서 접촉저항과 혼합을 줄이기 위해 더욱 필요하게 되었다. 본 연구에서는 티타늄의 표면산화에 미치는 영향과, RTO 조건에서 온도에 따른 코발트 실리사이드 박막의 산화정도를 측정했다. 기질로서 p-형 실리콘 웨이퍼를 사용하였고, 고속 열가공을 통하여 박막을 가공하였다. 티타늄 층을 입혔을 때 산화층의 두께는 500Å 정도 성장하였다. 고속 열산화의 온도변화에 따라 산화막은 550°C~700°C까지는 성장을 보였으나 700°C 이상에는 산화막 성장이 포화상태를 보였다.

Abstract The behavior of surface oxidation on cobalt silicide layer was investigated under rapid thermal oxidation (RTO) conditions. The cobalt silicide layer was prepared on p-type silicon substrates. We used Ti thin film as a capping layer in order to measure the degree of oxidation of the layer. Oxide grew faster on the cobalt silicide prepared with the Ti capping layer to reach ca 500Å at 700°C in thickness. The oxide film kept growing under 550°C~700°C of the RTO condition, resulting in a saturated state above 700°C.

Key Words : 전자소재, 실리사이드, Ti, 산화막

1. 서 론

전자소재의 재료크기가 소형화되면서 접촉저항과 혼합을 줄이기 위해 저저항성의 실리사이드(silicide) 물질이 더욱 필요하게 되었다. 코발트 실리사이드는 실리콘과의 격자부정합성 및 낮은 전기 저항성 때문에 고효율 소자를 제조하는데 적합한 물질 중의 하나이다[1, 2]. 코발트 실리사이드는 가공 중에 접촉표면막에서 산소의 영향을 배제하기 위해 보통 부가적인 capping 또는 중간층을 필요로 한다. 이렇게 때문에 산소 배제제와 계면산화막 방지제인 티타늄이 좋은 capping재가 된다[3, 4]. 초고밀도 집적소자를 만들기 위해선 무경계 접촉으로 구조적 경직성을 완화시켜야 한다. 현재까지는 대부분 질화실리콘으로 된 에칭 벽이나 기저에 산화막을 가진 이중층이 에칭 공정 중 하부층 소실이나 파괴를 막는 목적, 또는 요구되는 만큼의 고립접촉 간격을 얻기 위해 사용되어 왔다. 한편 코발트 실리사이드막에서도 놀랄만한 두께의 산화층이 성장할 수 있다는 것을

발견하여 에칭 공정에 적용하려는 시도가 있었다.

본 연구의 목적은 티타늄의 표면산화에 미치는 영향을 조사하는 것이며, RTO(rapid thermal oxidation) 조건에서 온도에 따른 코발트 실리사이드 박막의 산화정도를 측정하였다.

2. 실험재료 및 방법

기질로서 p-형 실리콘 웨이퍼를 사용하였고, 세정 후에 약 45Å의 열산화층을 형성시켰다. 비소 도포가 그 뒤에 50 KeV에서 이루어졌고, 1050°C에서 활성 소성이 10초간 수행되었다. 기질은 표면 산화막을 제거하기 위하여 묽은 플루오르산 용액에 담근 후, 진공상태에서 (10^{-8} Torr) DC magnetron sputtering을 사용하여 120 Å의 코발트 막을 입혔다. 같은 조건에서 최종 380Å의 코발트 실리사이드 박막을 준비하였다.

고속 열가공을 통하여 500°C와 600°C에서 60초간 질소상태에서 Ti/CoSi₂ 막을 가공하고 NH₄OH/H₂O₂/H₂O 및 HCl/H₂O₂/H₂O로 에칭 하였다. 다시 750°C로 30초간 고속 열가공을 하였다. 코발트 실리사이드막의 산화정도를 조사하기 위해 고속 열산화를 3 l/min의 산소

¹강원대학교 화학공학과

²순천향대학교 환경공학과

*교신저자: 조대철(daechul@sch.ac.kr)

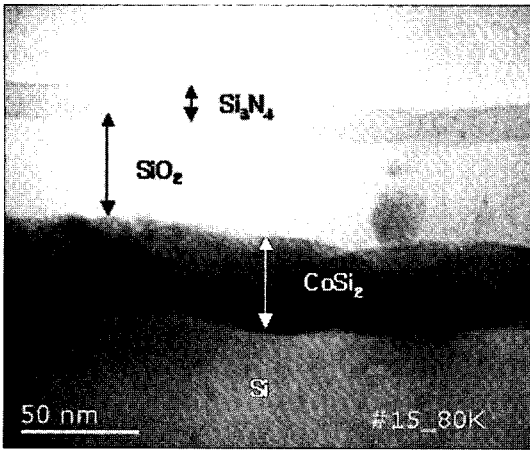


그림 1. Ti capping layer를 사용한 코발트실리사이드에 형성된 Si₃N₄ 및 SiO₂를 포함한 BLC scheme의 TEM 촬영 단면도(RTO 공정조건; 700°C 및 1분간).

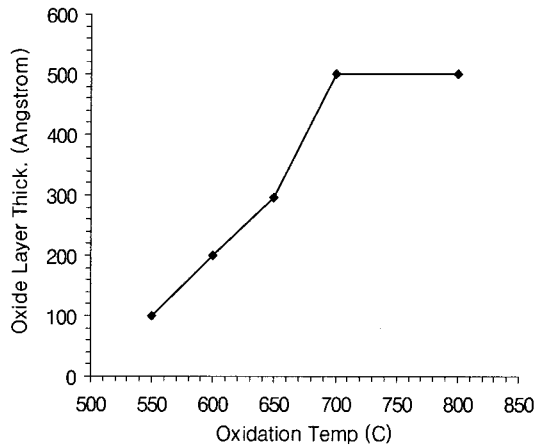


그림 2. 1분간 RTO 공정에 의해 자란 산화막(TEM관찰 결과).

흐름과, 60초간 550~800°C에서 수행하였다. 성장한 산화막의 두께는 TEM(Philips CM200-FEG)을 사용하여 관측하였다. 각 원자분포는 이차이온 질량분석기(SISM)를 이용하여 분석되었다.

3. 결과 및 고찰

[그림 1]은 각 분자층을 TEM으로 촬영한 단면이다. 산화조건은 700°C에서 고속 열산화를 통해 이루어졌고 각 시편에 대해 300Å의 질화실리콘을 집적하였다. 티타늄 층을 입혔을 때 산화층의 두께는 500Å정도 성장하였다.

고속 열산화 온도의 변화(550-800°C)에 따라 산화막 성장을 측정하였다[그림 2]. 티타늄을 도핑한 경우 산화막의 두께는 빠르게 증가하였고, 700°C 이상에서 증가율이 포화상태를 보였다. 이는 코발트 실리사이드 막의 응집현상으로 인해 나타난 것으로 생각되며 응집이 나타나면서 산화막 증가는 중단되었다. 최대 산화막 두께는 약 500Å이었다.

SIMS 분석을 통하여 Ti, O, As, Si 등 주요 원소의

막 내부 분포를 알 수 있었다. 특이한 사실은 비소의 농도가 산화막과 CoSi₂ 계면 및 CoSi₂와 Si계에서 최고 점을 나타낸다는 것이다. 과거 연구결과로부터 비소가 포함되었을 때 산화막의 성장이 가속화 되었다고 알려져 있으므로[5, 6] Si 막에서 외확산(outdiffusion)에 의해 비소가 전이되고 있다는 설명이 가능하다(비소는 Silicon 기질에 미리 도포된 것임). 따라서 산화막 두께 증가는 일어날 수 있었다.

참고문헌

- [1] K. Maex, Mater. Sci. Eng., R11, 53 (1993).
- [2] T. Tamazaki, K. Goto, T. Fukano, Y. Sugii, and T. Itô, Tech. Dig., Int. Electron Devices Meet., 906(1993).
- [3] M. Mo and I. Jung, J. Ind. Eng. Chem., 8, 437 (2002).
- [4] D. K. Sohn, J. S. Park, B. H. Lee, J. U. Bae, J. S. Byun, and J.J. Kim, Appl. Phys. Lett., 73, 2302 (1998).
- [5] H. H. Berger, B. Muller, and K. Jacob, J. Electrochem. Soc., 143, 115 (1996).
- [6] A. C. Adams and C. D. Capio, J. Electrochem. Soc., 126, 1042 (1979).

이 원 규(Won Kyu Lee)

[정회원]



- 1985년 2월 : 서울대학교 화학공학과 (공학사)
- 1995년 2월 : KAIST 화학공학과 (공학박사)
- 1995년3-2002년 2월 : 하이닉스반도체 책임연구원
- 2002년 3월~현재 : 강원대학교 화학공학과 조교수

<관심분야>

전자소재, 미세박막재료 및 공정공학

조 대 철(Daechul Cho)

[정회원]



- 1985년 2월 : 서울대학교 화학공학과 (공학사)
- 1996년 5월 : Purdue Univ. (공학박사)
- 2000년 3월~현재 : 순천향대학교 환경공학과 조교수

<관심분야>

박막계면현상, 생물환경처리, 토양정화