

## LPCVD 방법에 의한 저온 SiO<sub>2</sub> 박막의 증착방법과 DRAM 커패시터에서의 그 신뢰성 연구

안성준<sup>1\*</sup>, 박철근<sup>1</sup>, 안승준<sup>2</sup>

### Novel Low-Temperature Deposition of the SiO<sub>2</sub> Thin Film using the LPCVD Method and Evaluation of Its Reliability in the DRAM Capacitors

Seong-Joon Ahn<sup>1\*</sup>, Chul-Geun Park<sup>1</sup> and Seung-Joon Ahn<sup>2</sup>

**요약** 60~70 nm급의 design rule을 가진 고집적 반도체 소자를 제작하려면, 트랜지스터 형성 이후의 공정에서 thermal budget을 줄이기 위하여 공정의 온도를 낮추는 것이 중요하다. 본 연구에서는 고온의 습식 산화막을 대체할 수 있는 저온의 LPCVD (Low-Pressure Chemical Vapor Deposition) SiO<sub>2</sub>(LTO : Low-Temperature Oxide) 박막 증착공정을 제시하였으며, ONO (Oxide/Nitride/Oxide) 구조의 커패시터를 형성하여 증착된 LTO 박막의 전기적인 신뢰성을 평가하였다. LTO 박막은 5 MV/cm 이하의 전기장 영역에서는 고온의 습식 산화막과 크게 차이가 없는 누설전류 특성을 보였으나, 더 높은 전기장의 영역에서는 훨씬 더 우수함을 보여주었다.

**Abstract** The low-temperature processing is very important for fabrication of the very large scale (60~70 nm) semiconductor devices since the submicron transistors are sensitive to the thermal budget. Hence, in this work, we propose a noble low-temperature LPCVD (Low-Pressure Chemical Vapor Deposition) process for the SiO<sub>2</sub> film and evaluate the electrical reliability of the LTO (Low-Temperature Oxide) by making the capacitors with ONO (Oxide/Nitride/Oxide) structure. The leak current of the LTO was similar to that of the high-temperature wet oxide until the electric field was lower than 5 MV/cm. However, when the electric field was higher, the LTO showed much better characteristics.

**Key Words** : LPCVD, Low Temperature Oxide, DRAM Capacitor, Oxide-Nitride-Oxide, Breakdown Voltage

### 1. 서론

반도체 소자가 고집적화 됨에 따라 유전물질로 사용되고 있는 실리콘 산화막(SiO<sub>2</sub>)에 대한 전기적 특성과 신뢰성에 대한 개선이 시급히 요구되고 있다. SiO<sub>2</sub> 박막은 실리콘에 dopants를 확산시키거나 이온 주입을 할 때 마스크로 사용하며, 소자와 다른 소자를 전기적으로 격리(isolation)시키거나 표면 보호막으로 사용되기 때문에 uniformity가 좋아야 하며, 두께에 대한 재현성, dielectric breakdown voltage, 표면 보호능력이 높아야 하며, 계면 전하가 작아야 한다. SiO<sub>2</sub> 박막은 제조공정의 기법에 따

라 물분자가 H<sup>+</sup>와 OH<sup>-</sup> 이온으로 분해되어 OH<sup>-</sup> 이온이 이미 성장되어 있는 SiO<sub>2</sub> 박막을 뚫고 확산되어 실리콘과 반응함으로써 SiO<sub>2</sub> 박막을 형성시키는 확산(diffusion) 공정[1-3]과 SiH<sub>4</sub>과 N<sub>2</sub>O의 화학적 반응을 이용하여 SiO<sub>2</sub> 박막을 형성시키는 저압기상증착법(low pressure chemical vapor deposition : LPCVD)[4-6]으로 대별된다.

일반적으로 널리 사용되고 있는 LPCVD 방식의 SiO<sub>2</sub> 박막은 800~850℃의 고온에서 증착되므로 반도체 소자, 특히 DRAM 소자의 제조에 있어서 후속 공정으로 사용하는데 어려움이 있다. Design rule이 60~70 nm인 고분해능, 고집적의 반도체 소자를 제작하기 위하여 thermal budget이 낮은 저온의 SiO<sub>2</sub> 박막이 필요하게 되었다. 그러나 지금까지 많은 연구가 이루어진 저온의 SiO<sub>2</sub> 박막(low temperature oxide : LTO)은 증착되는 온도가 낮고,

<sup>1</sup>선문대학교 정보통신공학부

<sup>2</sup>선문대학교 신소재과학과

\*교신저자: 안성준(sjahn0@sunmoon.ac.kr)

얇은 박막을 증착할 때 uniformity를 높이기 위하여 source 가스로 SiH<sub>2</sub>Cl<sub>2</sub>를 사용하기 때문에 LTO 박막을 증착할 경우 Cl radical이 박막에 누적된다[7]. 따라서 SiH<sub>2</sub>Cl<sub>2</sub> 가스를 source 가스로 사용하여 증착된 LTO 박막에 누적된 Cl radical로 인하여 발생하는 불안정성과 결합 때문에 반도체 소자에 적용할 경우 반도체 소자의 전기적 특성과 신뢰성이 열화되는 문제가 있다.

본 연구에서는 이러한 문제점을 극복하기 위하여 850~950℃의 고온에서 확산 공정과 800~850℃의 LPCVD 공정으로 수행에 오던 SiO<sub>2</sub> 박막 제조방법 대신에 저온의 LPCVD 방법으로 SiO<sub>2</sub> 박막(LTO)을 증착하는 방법을 제시하고 oxide-nitride-oxide(ONO) 구조[8-10]의 커패시터를 형성하여 전기적 특성을 평가함으로써 본 연구에서 증착된 LTO 박막이 유전막으로 사용될 수 있는 신뢰성을 평가하였다.

## 2. 실험 및 실험방법

본 실험에서 증착한 LTO 박막은 NMOS의 gate 유전물질, FET와 bipolar memory의 커패시터의 유전물질로 사용되며, 몰과 Na 원자에 대한 보호막으로 사용된다. SiO<sub>2</sub> 박막의 증착 방법에는 APCVD, LPCVD, furnace 등 여러 가지 방법이 있으나 본 실험에서는 먼저 LTO 박막을 증착하기 위하여 chamber 내부의 온도(stand-by 온도)가 600℃인 상태에서 N<sub>2</sub> 가스로 chamber와 가스 line을 purge 하면서 웨이퍼를 chamber에 장착한 다음, N<sub>2</sub> 가스 분위기에서 5.0~7.5℃/min의 일정 비율로 온도를 박막 증착온도(650~750℃)까지 상승시킨다. 그리고 5분정도 온도를 안정화시킨 다음 온도가 650~750℃인 chamber 안으로 SiH<sub>4</sub> 가스(99.999%)와 N<sub>2</sub>O 가스를 SiH<sub>4</sub>:N<sub>2</sub>O = 1:40~1:50의 비율로 주입하여(증착 시 chamber 내의 반

응가스 압력은 0.2~5 torr로 유지) 증착시간을 변화시켜 30, 50, 100, 150, 200 Å의 LTO 박막을 증착하였다. 그림 1은 LPCVD 방법으로 LTO 박막을 증착하기 위한 실험장치도와 기본 공정을 도해한 그림이다.

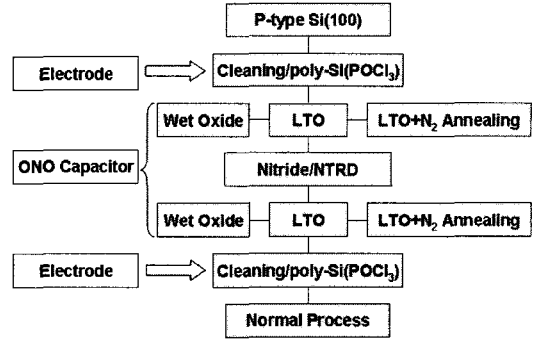


그림 2. LTO 박막의 전기적 신뢰성 평가를 위한 ONO 커패시터 형성 공정의 순서도.

증착된 LTO 박막으로 ONO 구조의 커패시터를 형성한 다음 LTO 박막이 유전막으로 사용될 수 있는 전기적 신뢰성을 평가하기 위하여 그림 2와 같은 공정 순서에 의하여 시료소자를 제작하였다. 먼저 실리콘 웨이퍼(100) 위에 불순물이 도핑된 poly-Si 박막(POCl<sub>3</sub>)을 ~2000 Å 증착하여 하부전극을 형성하고 그 위에 SiO<sub>2</sub> 박막, Si<sub>3</sub>N<sub>4</sub> 박막, SiO<sub>2</sub> 박막을 차례로 증착한 다음 하부전극과 같은 특성을 가진 불순물이 도핑된 poly-Si 박막을 ~1500 Å 증착하여 상부전극을 형성함으로써 ONO 구조의 커패시터를 형성하였다.

ONO 구조의 커패시터 형성에 있어서 기존에 사용하던 습식 산화막과 LTO 박막, 그리고 LTO 박막+annealing 등 세 가지 경우에 대하여 시료소자를 제작하여 전기적 신뢰성을 평가하였다. 제작된 시료소자의 등가

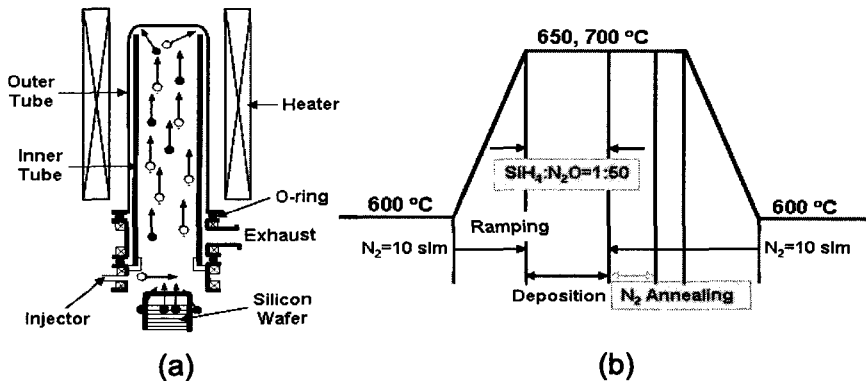


그림 1. LPCVD 방법으로 LTO 박막을 증착하기 위한 실험장치도(a)와 기본 공정도해도(b).

산화막의 두께는 HP4284 LCR meter를 이용하여 10 kHz의 주파수에서 -1.5~1.5 V를 sweep하여 측정하였다. 이때 사용한 TEG의 면적은  $153,750 \mu\text{m}^2$  인 area type 이었다. 또 HP4145B Semiconductor Parameter Analyzer를 이용하여 12 V의 positive bias 또는 -12 V의 negative bias를 인가한 상태에서 누설전류 밀도를 측정하였으며 breakdown field는 전류밀도가  $\pm 1 \text{ mA/cm}^2$ 일 때의 electric field로 구하였다.

### 3. 결과 및 토의

본 실험에서 제시한 반도체 소자의 유전막으로 사용되는 LTO 박막은 source 가스로  $\text{SiH}_2\text{Cl}_2$  가스를 사용하는 기존의 기술과 달리 Cl radical이 박막에 누적되는 것을 방지하기 위하여  $\text{SiH}_4$  가스를 source 가스로 사용하며 750~850 °C의 고온에서 증착되는 기존의  $\text{SiO}_2$  박막 보다 thermal budget을 낮추기 위하여 저온에서 박막을 증착하는 기술이다. LTO 박막은 반도체 소자의 트랜지스터와 커패시터를 제작하기 위한 유전박막용으로 LTO 박막의 증착속도는 1~15 Å/min이 적절하며 특히 박막의 uniformity 및 step coverage 특성을 확보해야 한다. 일반적으로 step coverage는  $\text{SiO}_2$  박막의 uniformity를 평가할 때 관찰한다.  $\text{SiO}_2$  박막,  $\text{Si}_3\text{N}_4$  박막, 그리고 poly-Si 박막 등과 같은 LPCVD 박막은 반응물이나 반응 매개물이 substrate 표면에 흡수된 다음 표면과 반응하기 전에 재빨리 표면을 따라 이동하여 표면상의 반응물 농도가 균일해지기 때문에 표면의 형상에 무관하게 일정한 두께로 증착되어 균일한 step coverage를 얻게 된다[11].

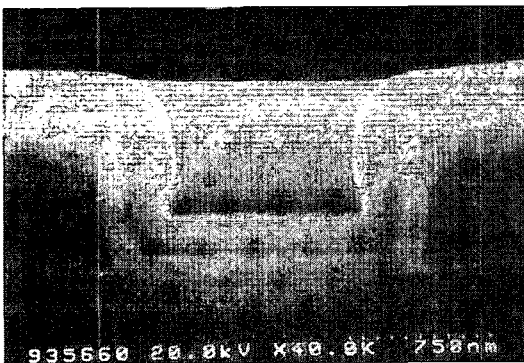


그림 3. LTO 박막의 step coverage 관찰을 위한 SEM 단면 사진

그림 3은 본 실험에서 LPCVD 장비로 증착한 LTO 박

막의 step coverage를 관찰하기 위한 SEM 사진인데, 먼저 실리콘 웨이퍼 위에 BPSG를 증착한 다음 그 위에 a-Si/LTO 박막/a-Si을 증착한 것이다. Step coverage는 증착된 박막 중 위 표면 부분의 박막두께와 아랫부분에 증착된 박막두께의 비로 정의가 되는데, 그림 3으로부터 측정된 step coverage는 약 90%로 나타났다. 이것은 일반적인 고온 LPCVD 박막에서 얻을 수 있는 값과 동일한 것으로서 LTO 박막도 역시 LPCVD 박막의 장점인 우수한 균일성(uniformity or conformity)을 그대로 가지고 있음을 확인할 수 있다.

일반적으로 ONO 구조를 가진 유전체를 커패시터의 유전막으로 사용할 경우  $\text{SiO}_2$  박막은 850~950 °C의 고온에서 산소 가스를 반응로 안으로 주입하여 박막을 성장시키는 습식 산화막을 사용한다. 이 경우에는 박막의 성장 온도가 고온이기 때문에 낮은 thermal budget을 요구하는 고집적 소자에는 사용할 수가 없는 단점이 있으나 본 연구에서 제시한 LTO 박막의 증착 조건으로 ONO의  $\text{SiO}_2$  박막을 증착하면 이러한 문제점을 해결할 수 있다.

그림 4는 ONO 구조를 가지는 커패시터를 제작함에 있어서  $\text{SiO}_2$  박막을 기존의 습식 산화막 대신에 본 연구에서 제시한 동일 두께의 LPCVD 방식의 LTO 박막으로 대체하여 소자를 제작한 다음 전기적 특성을 측정된 결과이다.

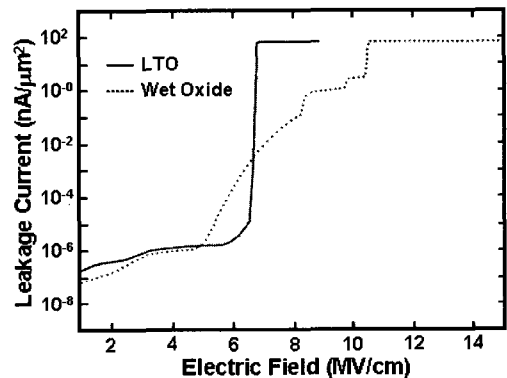


그림 4. LTO 박막과 습식 산화막으로 제작된 ONO 커패시터의 누설전류 특성

그림 4에서 보는 바와 같이 전기장의 세기가 ~5.0 MV/cm까지는 저온에서 증착한 LTO 박막과 차이가 없음을 알 수 있다. 오히려 전기장의 세기가 5.0~6.5 MV/cm인 영역에서는 누설전류밀도가 습식 산화막을 사용한 경우 보다 더 양호한 것을 알 수 있다. ONO 구조를 형성하는 여러 가지  $\text{SiO}_2$  박막의 화학적 조성을 분석하기 위하여 X-ray photo-emission spectroscopy (XPS)[12,

표 1. XPS를 이용한 SiO<sub>2</sub> 박막의 형성 방법에 따른 Si/O 조성비 분석

박막 종류	박막두께(Å)	증착온도(°C)	Source Gas	증착(성막) 방법	Si:O 조성비
Wet Oxide 박막	50	900	SiH <sub>4</sub> , H <sub>2</sub> O	Furnace	1 : 1.68
LTO 박막	50	700	SiH <sub>4</sub> , N <sub>2</sub> O	LPCVD	1 : 1.92
Dry Oxide 박막	50	900	SiH <sub>4</sub> , O <sub>2</sub>	Furnace	1 : 1.61
HTO 박막	300	SiH <sub>4</sub> , N <sub>2</sub> O	LPCVD	1 : 1.70	

13]로 분석하였고, 그 결과가 표 1에 정리되어 있다. 표 1에서 보듯이, LTO 박막이 일반적인 SiO<sub>2</sub> 박막(wet oxide 박막 및 dry oxide 박막)이나 HTO(High Temperature Oxide) 박막보다 1:2에 더 가깝게 결합을 하고 있는 것을 알 수 있다. LTO 박막 중에서는 표에 나타난 것과 같이 700 °C에서 증착된 LTO 박막이 화학적으로 매우 안정된 조성을 이루고 있었다. 또한 LTO 박막은 LPCVD 방법으로 박막을 증착하기 때문에, 기존의 습식 산화막을 성장시키는 공정에서 발생하는 자연 산화막(native oxide)을 억제시킬 수 있으므로 소자의 전기적 특성을 개선시킬 것으로 기대가 된다.

치밀하게 하여 막질이 더욱 더 안정화되었을 뿐 아니라 Si<sub>3</sub>N<sub>4</sub> 박막 내에 존재하고 있는 defect을 줄이는 효과도 함께 작용하기 때문인 것으로 생각된다.

따라서 본 연구결과로 볼 때, LPCVD 방법에 의해 형성된 LTO 박막을 고집적 반도체 소자의 커패시터 및 gate용 유전물질로 사용할 경우 thermal budget을 낮출 수 있어 소자 제작의 공정개선에 도움을 줄 수 있을 뿐 아니라 기존의 장비로 고집적의 소자를 제작할 수 있는 공정을 확보할 수가 있어 소자 제작의 단가를 낮추는데 기여를 할 것으로 생각된다.

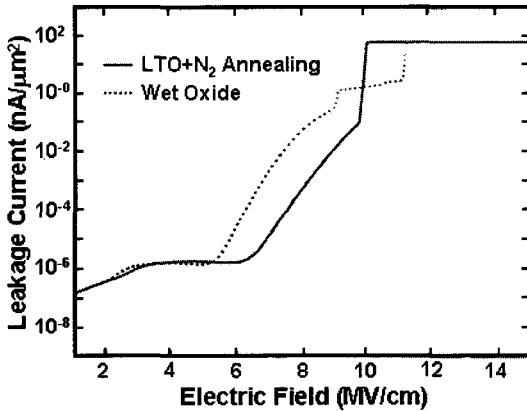


그림 5. LTO+N<sub>2</sub> annealing 박막과 습식 산화막으로 제작된 ONO 커패시터의 누설전류 특성

그림 5는 커패시터용 ONO 구조의 SiO<sub>2</sub> 박막을 기존의 습식 산화막과 같은 두께의 LTO 박막으로 증착한 후 LTO 박막을 그림 1의 diagram에서와 같이 30분 동안 N<sub>2</sub> 분위기에서 열처리한 다음 전기적 특성을 측정한 결과이다. 그림 5에서 보는 바와 같이 전기장의 세기가 ~5.0 MV/cm 까지는 저온에서 증착한 LTO 박막과 습식 산화막을 사용한 경우와 전기적 특성이 거의 비슷함을 알 수 있다. 그러나 전기장의 세기가 5.0~10.0 MV/cm인 영역에서는 소자의 누설전류밀도가 습식 산화막을 사용한 경우보다 더 양호한 것을 알 수 있다. 이것은 증착된 LTO 박막을 30분 동안 N<sub>2</sub> 분위기에서 열처리함으로써 박막을

#### 4. 결론

일반적으로 ONO 구조를 가진 유전물질을 커패시터의 유전막으로 사용할 경우 SiO<sub>2</sub> 박막은 850~950 °C의 고온에서 산소 가스를 반응로 안으로 주입하여 박막을 성장시키는 습식 산화막을 사용한다. 본 연구에서는 박막의 성장 온도가 고온이기 때문에 낮은 thermal budget을 요구하는 고집적 소자에는 사용할 수가 없는 문제점을 해결하기 위하여 LPCVD 방법으로 증착한 LTO 박막의 증착조건을 제시하고 ONO 구조의 커패시터를 제작하여 LTO 박막 소자의 전기적 특성을 평가하였다.

LPCVD 방법으로 증착된 LTO 박막은 SiH<sub>4</sub> 가스와 N<sub>2</sub>O 가스를 SiH<sub>4</sub>:N<sub>2</sub>O = 1:40~1:50의 비율로 주입하여 650~750 °C의 증착온도, chamber 내의 압력을 0.2~5 torr 로 하여 30, 50, 100, 150, 200 Å의 LTO 박막을 증착하였다. LTO 박막의 전기적 특성을 평가하기 위하여 ONO 구조의 커패시터를 형성한 다음 HP4284 LCR meter와 HP4145B Semiconductor Parameter Analyzer를 이용하여 누설전류 밀도를 측정하여 박막의 전기적 신뢰성을 평가한 결과 전기장의 세기가 ~5.0 MV/cm 까지는 습식 산화막과 차이가 없었으며 5.0~6.5 MV/cm인 영역에서는 습식 산화막을 사용한 경우보다 더 양호한 것을 알 수 있다.

ONO 구조의 SiO<sub>2</sub> 박막을 LTO 박막으로 증착한 후 LTO 박막을 30분 동안 N<sub>2</sub> 분위기에서 열처리한 경우에는 ~5.0 MV/cm 이상의 강한 전기장 영역에서 전기적 특

성이 습식 산화막을 사용한 경우 보다 더 개선되는 것을 알 수 있다. 이것은 증착된 LTO 박막을 30분 동안 N<sub>2</sub> 분위기에서 열처리함으로써 박막을 치밀하게 하여 막질이 더욱 안정화되었을 뿐 아니라 Si<sub>3</sub>N<sub>4</sub> 박막 내에 존재하고 있는 defect을 줄이는 효과도 함께 작용하기 때문인 것으로 생각된다.

### 참고문헌

- [1] A. Pacelli, A.L. Lacaita and A. Spinelli, "Effect of N<sub>2</sub>O nitridation on the electrical properties of MOS gate oxides", *Microelectronics and Reliability*, Vol. 38, Issue 2, pp. 239-242, 1998.
- [2] K.X. Zhang and C.M. Osburn, "The impact of in-situ rapid thermal gate dielectric processes on deep submicron MOSFETs", *Solid-State Electronics*, Vol. 41, Issue 4, pp. 619-625, 1997.
- [3] V. Nayar, C. Pickering and A.M. Hodge, "Determination of properties of thin thermal SiO<sub>2</sub> on silicon by spectroscopic ellipsometry", *Thin Solid Films*, Vol. 195, Issue 1-2, pp. 185-192, 1991.
- [4] L.I. Popova, B.Z. Antov, A.V. Shopov, M.S. Sotirova, G.D. Beshkov and E.N. Stefanov, "Characterization of low pressure chemically vapour-deposited thin silicon nitride films", *Thin Solid Films*, Vol. 122, Issue 2, pp. 153-163, 1984.
- [5] R. Miller, M.C. Ozturk, J.J. Wortman, F.S. Johnson and D.T. Grider, "LPCVD of silicon dioxide by pyrolysis of teos in a rapid thermal processor", *Materials Letters*, Vol. 8, Issue 9, pp. 353-356, 1989.
- [6] R. Riemenschneider, N. DasGupta, R. Schutz, H.L. Hartnagel, H. Krautle, "Low temperature deposition of SiO<sub>2</sub> and PSG using SiH<sub>4</sub>, N<sub>2</sub>O and phosphorous vapour for damage-free passivation of InP-based PIN diodes by plasma- and photo-assisted LPCVD", *Applied Surface Science*, Vol. 69, Issue 1-4, pp. 277-280, 1993.
- [7] F. Chauvet, A. Amari, A. Martinez, "Stability of silicon nitride/silicon dioxide/silicon electrodes used in pH microelectronic sensors", *Sensors and Actuators*, Vol. 6, Issue 4, pp. 255-267, 1984.
- [8] 정희환, 정관수, "비정질 실리콘을 이용한 다층 유전 박막의 전기적 특성에 관한 연구", *Journal of the Korean Vacuum Society*, Vol. 3, No. 1, pp. 71-76, 1994.
- [9] H. Lim, S.S. Kim and K.S. Chung, "Influence of Polysilicon Deposition Conditions on the Characteristics of Oxide-Nitride-Oxide Memory Capacitors", *Journal of the Korean Physical Society*, Vol. 33, No. 4, pp. 501-506, 1998.
- [10] M. Naich, G. Rosenman, Ya. Roizin, "Profiling of deep traps in silicon oxide-nitride-oxide structures", *Thin Solid Films*, Vol. 471, Issue 1-2, pp. 166-169, 2005.
- [11] C. Pavelescu, "Chemical foundations in understanding the step coverage problem in chemical vapour deposition using silane chemistry", *Thin Solid Films*, Vol. 213, Issue 2, pp. 160-163, 1992.
- [12] S. Schamm, R. Berjoan and P. Barathieu, "Study of the chemical and structural organization of SIPOS films at the nanometer scale by TEM-EELS and XPS", *Materials Science and Engineering B*, Vol. 107, Issue 1, pp. 58-65, 2004.
- [13] P. Temple-Boyer, B. Hajji, J.L. Alay, J.R. Morante and A. Martinez, "Properties of SiO<sub>x</sub>N<sub>y</sub> films deposited by LPCVD from SiH<sub>4</sub>/N<sub>2</sub>O/NH<sub>3</sub> gaseous mixture", *Sensors and Actuators A*, Vol. 74, Issue 1-3, pp. 52-55, 1999.

### 안 성 준(Seong-Joon Ahn)

[정회원]



- 1987년 2월 서울대학교 물리학과(이학사)
- 1989년 2월 한국과학기술원 물리학과(이학석사)
- 1992년 8월 한국과학기술원 물리학과(이학박사)
- 1992년 9월 삼성전자 반도체연구소 선임연구원

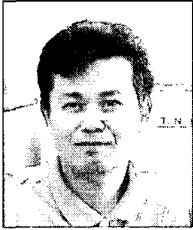
- 1996년 5월 한전전력연구원 선임연구원
- 현재 2002년 3월 ~ 현재 선문대학교 정보통신공학부 부교수

<관심분야>

반도체 공정, 광섬유 통신 및 센서, 전자빔 기술

**박 철 근(Chul-Geun Park)**

[정회원]



- 1983년 2월 : 부산대학교 자연과학대학 수학과(이학사)
- 1986년 2월 : 한국과학기술원 응용수학과(이학석사)
- 1995년 8월 : 한국과학기술원 수학과(이학박사)
- 1986년 4월~1997년 2월 : 한국통신 통신망연구소 선임연구원

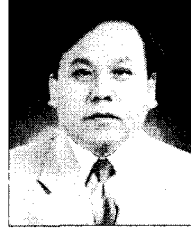
- 1993년 3월~현재 : 선문대학교 공과대학 정보통신공학과 부교수

<관심분야>

통신망 해석, 시뮬레이션, 레이저 응용, 접지기술

**안 승 준(Seung-Joon Ahn)**

[정회원]



- 1985년 2월 : 경북대학교 자연과학대학 물리학과(이학사)
- 1989년 2월 : 한국과학기술원 물리학과(이학석사)
- 1993년 2월 : 한국과학기술원 물리학과(이학박사)
- 1989년 2월~1997년 2월 : 삼성전자 반도체연구소 선임연구원

- 1993년 3월~현재 : 선문대학교 자연과학대학 신소재과학과 부교수

<관심분야>

반도체 공정 및 장비기술, 레이저 미세가공, 전자빔 기술