

격자부호를 이용한 정진폭 다중부호 이진직교 변조방식

홍대기*

Constant-Amplitude Multicode-Biorthogonal Modulation using Product Code

Dae-Ki Hong^{1*}

요약 본 논문에서는 다중부호 신호 (multi-code signal)를 정진폭으로 전송하는 정진폭 다중부호 이진직교 변조방식 (constant-amplitude multicode-biorthogonal modulation)에서 사용될 수 있는 오류제어 부호를 제안한다. 격자부호를 사용하여 시스템의 비트 오류 성능을 높이는 방식이 정진폭 다중부호 이진직교 변조방식에 적합함을 보인다. 정진폭 다중부호 이진직교 변조방식에서는 정진폭을 유지하기 위해 세로축의 패리티 비트를 사용하여 신호를 부호화 하게 된다. 제안된 시스템에서는 정진폭을 유지하기 위해 사용되는 세로축의 패리티 비트에 추가적으로 부호화를 수행하여 가로축의 패리티 비트를 부가하되 격자구조가 되도록 하여 비트오류 성능의 개선을 최대화 한다. 제안된 시스템은 시스템 복잡도의 증가가 거의 없으며 복호기도 매우 간단하게 구현될 수 있다. 실험결과에 의하면 제안된 시스템은 격자구조를 사용하지 않은 시스템에 비해 현격한 성능의 개선이 있음을 알 수 있다.

Abstract In this paper, we propose an error control coding scheme for constant-amplitude multicode-biorthogonal modulation. The product code is appropriate to the constant-amplitude multicode-biorthogonal modulation for the bit error rate performance improvement. In the constant-amplitude multicode-biorthogonal modulation, the vertical redundant bits are used for the constant amplitude coding. The proposed product code can be constructed by using the additional horizontal redundant bits. The hardware complexity of the encoder/decoder pair is very low. The simulation results show that the bit error rate performance of the proposed coding scheme is improve

Key Words : 정진폭 다중부호 이진직교 변조, 오류 제어 부호, 격자부호, 비트 오류 성능

1. 서론

최근에 대역확산 (SS : spread spectrum) 시스템은 간섭에 강한 특성 때문에 주요한 무선 LAN/PAN (wireless local/personal area networks)의 물리 층으로 사용되고 있다. 그 예로서 IEEE 802.11에서는 직접 확산 (DS : direct spreading) 방식을, IEEE 802.11b에서는 상보 부호 변조 (CCK : complement code keying) 방식을, IEEE 802.15.4에서는 직교 변조 (orthogonal modulation)를, 그 외 UWB (ultra-wideband)에서는 이진직교 변조 (biorthogonal modulation)를 사용하고 있다 [1-3].

그러나 대역 확산 시스템은 대역 확산으로 인해 스펙

트럼을 낭비함으로써 고속 데이터 전송을 제공하지 못하는 치명적인 단점이 있다. 따라서 간섭 신호에 강인한 대역확산 특성을 유지하면서 동시에 근거리 통신에서 요구되는 고속 전송을 제공하는 시스템에 대한 연구가 참고 문헌 [4-10]에서 활발히 연구되어 왔다.

이중에서 고속 전송을 제공하기 위한 가장 일반적인 방식은 다중부호 신호 (multi-code signal)를 이용하는 것이다. 이러한 방식은 기존의 대역 확산 시스템에 비해 높은 스펙트럼 효율 (spectral efficiency)을 얻을 수 있지만 다중 레벨 (multi-level)의 신호를 증폭하기 위해 넓은 선형 동작 영역 (linearity region)을 갖는 고가의 전력 증폭기 (power amplifier)를 필요로 한다. 반대로 충분히 넓지 않은 선형 영역을 갖는 전력 증폭기를 사용할 경우에는 증폭기의 비 선형성으로 인해 전체 다중부호 시스템의 성능에 악 영향을 끼치게 된다 [5-7].

따라서 선형 영역이 좁은 전력 증폭기를 사용하기 위해서는 다중부호 신호가 정진폭을 가져야만 한다. 이에

이 논문은 본 연구보고서는 정보통신부 출연금으로 MIC/IITA/ ETRI, SoC산업진흥센터에서 수행한 IT SoC 핵심 설계인력양성사업의 연구결과입니다.

¹상명대학교 정보통신공학과

*교신저자: 홍대기(hongdk@smu.ac.kr)

따라 정진폭을 갖는 다중부호 시스템 (constant-amplitude multi-code system)이 참고문헌 [9]에서 제안되었다. 제안된 구조의 최대 장점은 세로축의 패리티 비트를 이용하여 신호의 정진폭 특성을 얻을 수 있다는 것이다.

대역 확산 시스템에서 스펙트럼 효율을 유지하면서 정진폭을 얻는 또 다른 시스템은 레벨 클리핑을 이용하는 다중 위상 가변 확산 이득 시스템 (multiphase variable spreading gain system)이다[10]. 이 구조에서는 부호 선택 알고리즘이 비트 오류(bit error rate) 성능에 결정적인 영향을 주게 된다. 그러나 이 시스템은 다중부호 간의 간섭과 클리핑에 의한 손실 때문에 많은 부호를 사용하였을 경우 (즉 상당히 높은 스펙트럼 효율을 원하는 시스템의 경우) 만족스럽지 못한 비트 오류 성능을 나타내게 된다. 따라서 레벨 클리핑을 이용하지 않으면서 정진폭을 얻을 수 있는 정진폭 다중부호 이진직교 변조방식이 제안되었다[11]. 제안된 방식은 신호에 손상이 가해지는 레벨 클리핑 방식을 이용하지 않고 적절한 부호화 방식을 이용함으로써 더 신뢰성 있는 정보전송이 가능해지는 장점이 있다.

그런데 제안되었던 시스템들의 성능은 부호화가 포함되어 있지 않기 때문에 성능의 수준이 만족스럽지 못한 문제점이 있다. 따라서 본 논문에서는 다중부호 신호 (multi-code signal)를 정진폭으로 전송하는 정진폭 다중부호 이진직교 변조방식 (constant-amplitude multicode-biorthogonal modulation)에서 사용될 수 있는 오류제어 부호를 제안한다. 제안된 방식 중에서 격자부호를 사용하여 시스템의 비트 오류 성능을 높이는 방식이 정진폭 다중부호 이진직교 변조방식에 적합함을 보인다. 정진폭 다중부호 이진직교 변조방식에서는 정진폭을 유지하기 위해 세로축의 패리티 비트를 사용하여 신호를 부호화 하게 된다. 제안된 시스템에서는 정진폭을 유지하기 위해 사용되는 세로축의 패리티 비트에 추가적으로 부호화를 수행하여 가로축의 패리티 비트를 부가하되 격자구조가 되도록 하여 비트오류 성능의 개선을 최대화한다. 제안된 시스템은 시스템 복잡도의 증가가 거의 없으며 복호기도 매우 간단하게 구현될 수 있다. 실험결과에 의하면 제안된 시스템은 격자구조를 사용하지 않은 시스템에 비해 현격한 성능의 개선이 있음을 알 수 있다.

본 논문의 구성은 다음과 같다 먼저 2장에서는 정진폭 이진직교 변조 및 격자부호 방식을 설명한다. 그 후에 3장에서는 정진폭 이진직교 복조와 격자복호 방식에 대하여 제안한다. 4장에서는 격자부호에 대한 실험결과를 제시하고 5장에서는 결론을 맺는다.

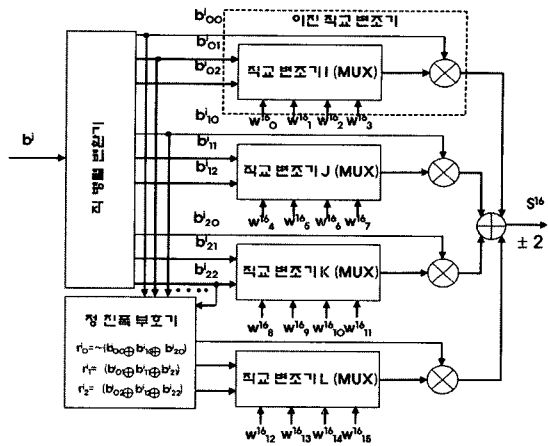


그림 1. 정진폭 이진직교 변조기의 구성

2. 정진폭 이진직교 변조 및 격자부호 방식

그림 1에는 참고문헌 [11]에 제안되었던 정진폭 이진직교 변조방식을 나타내는 개요도가 나타나 있다. 그림에 나타나 있는 것과 같이 변조기는 직렬 데이터를 병렬 데이터로 바꾸어 주는 직렬 병렬 변환기, 3비트의 세로축 패리티 r_0^i, r_1^i, r_2^i 를 생성시켜 주는 정진폭 부호기(3비트의 세로축 패리티는 최종 신호를 정진폭으로 만들어 주기 위해 사용된다. 또한 격자부호의 세로축 패리티로서 사용된다.), 9비트의 전송 비트와 이로 인해 생성된 3개의 세로축 패리티 비트를 변조하기 위한 4개의 이진직교 변조기 (직교변조기와 곱셈기로 구성된다.), 그리고 선택된 4개의 직교 부호를 더하여 정진폭 신호를 만들어 주는 덧셈기로 구성되어 있다. 즉 16칩에는 전송 비트가 12비트 포함되지만 이 비트들 중에서 9비트만이 정보 비트이고 3비트는 패리티 비트이다. 따라서 스펙트럼 효율(혹은 부호화율)은 9/16이다.

그림 1의 변조에서 확산 이득은 16이다. 제안된 변조 방식은 일종의 사전에 부호화 된 (pre-coded) 다중부호 시스템이다. 제안된 시스템의 설명을 위해 직렬로 전송되는 9 비트의 전송 비트 $b_{00}^i, b_{01}^i, b_{02}^i, b_{10}^i, b_{11}^i, b_{12}^i, b_{20}^i, b_{21}^i, b_{22}^i$ 를 가정한다. r_0^i, r_1^i, r_2^i 의 3 비트는 전송 비트에 의해 생성되는 정진폭 변환을 위한 세로축 패리티 비트들이다. 위의 표기에서 위 첨자는 9비트로 묶인 데이터의 인덱스를 의미하고 아래 첨자 중 첫 번째 비트는 이진직교 변조기 (biorthogonal modulator)의 인덱스를 의미하며 두 번째 비트는 이진직교 변조기로 입력되는 비트의 순서를

의미한다. (즉 b_{12}^i 에서 i 는 9비트 묶음의 인덱스이고, 1은 두 번째 이진직교 변조기로 입력되는 비트임을 의미하며, 2는 이진직교 변조기로 입력되는 세 번째 비트임을 의미한다.)

각 이진직교 변조기의 동작을 첫 번째 이진직교 변조기의 예를 들어 설명하면 다음과 같다. 먼저 두 번째, 그리고 세 번째 비트인 b_{01}^i, b_{02}^i 를 이용하여 16-ary Walsh-Hadamard 부호 중($w_0^{16} \sim w_3^{16}$) 하나의 부호를 선택하고 그 후 b_{00}^i 를 이용하여 그 위상을 반전시키게 되는데 만일 b_{00}^i 이 0이면 위상을 반전시키지 않고 b_{00}^i 이 1이면 위상을 반전시키게 된다. 첫 번째부터 세 번째 이진직교 변조기까지의 동작은 모두 같지만 네 번째의 경우는 입력이 다르다

정진폭 부호기에서는, 아래와 같은 식에 따라 앞서 설명한 바와 같이 3그룹의 비트 ($\{b_{00}^i, b_{01}^i, b_{02}^i\}, \{b_{10}^i, b_{11}^i, b_{12}^i\}, \{b_{20}^i, b_{21}^i, b_{22}^i\}$)들로부터 3비트의 세로축 패리티 $\{r_0^i, r_1^i, r_2^i\}$ 를 발생시키게 된다.

$$\begin{aligned} r_0^i &= \overline{b_{00}^i \oplus b_{10}^i \oplus b_{20}^i} \\ r_1^i &= b_{01}^i \oplus b_{11}^i \oplus b_{21}^i \\ r_2^i &= b_{02}^i \oplus b_{12}^i \oplus b_{22}^i \end{aligned} \quad (1)$$

여기서 \oplus 는 배타적 OR를 의미한다.

이렇게 만들어진 3개의 세로축 패리티 비트들은 앞서 설명한 바와 같이 적당한 Walsh-Hadamard 부호를 선택하는데 이용된다. 마지막으로 이렇게 만들어진 4개의 이진직교 부호를 모두 병렬로 더하게 된다. 따라서 이진직교 변조 신호는 선택된 Walsh-Hadamard 부호 벡터들과 극성 비트들의 선형조합으로 만들어지게 되는데 아래와 같은 식으로 표현될 수 있다.

$$\begin{aligned} s^{16} &= (s_0, s_1, \dots, s_q, \dots, s_{15}) \\ &= b_{00}^i \oplus \{w_0^{16}, w_1^{16}, w_2^{16}, w_3^{16}\}_{(b_{01}^i, b_{02}^i)} \\ &\quad + b_{10}^i \oplus \{w_4^{16}, w_5^{16}, w_6^{16}, w_7^{16}\}_{(b_{11}^i, b_{12}^i)} \\ &\quad + b_{20}^i \oplus \{w_8^{16}, w_9^{16}, w_{10}^{16}, w_{11}^{16}\}_{(b_{21}^i, b_{22}^i)} \\ &\quad + r_0^i \oplus \{w_{12}^{16}, w_{13}^{16}, w_{14}^{16}, w_{15}^{16}\}_{(r_1^i, r_2^i)} \end{aligned} \quad (2)$$

위 식에서 $\{w_{12}^{16}, w_{13}^{16}, w_{14}^{16}, w_{15}^{16}\}_{(r_1^i, r_2^i)}$ 는 (r_1^i, r_2^i) 의 값에 따라 $\{w_{12}^{16}, w_{13}^{16}, w_{14}^{16}, w_{15}^{16}\}$ 의 네 가지 값 중 하나를 선택함을 의미한다.

참고문헌 [11]에 나와 있는 증명에 의하면 제안된 정진폭 이진직교 변조의 q 번째 칩은 정진폭 부호화기에 의해 다음과 같이 정진폭을 유지하게 된다.

$$s_q = \pm 2 \quad (3)$$

이제 가산성 백색 가우스 잡음 채널 (AWGN: additive white Gaussian channel) $n(t)$ 을 가정하자. 이진 위상 변조 (BPSK : binary phase shift keying)로 신호를 전송한다고 가정하면 수신기에서 수신되는 신호는 다음과 같이 표현될 수 있다.

$$r(t) = s_q(t) \cos(2\pi f_c t) + n(t) \quad (4)$$

복조기에서는 수신된 신호에 포함되어 있는 직교 부호를 검출하고 이에 따른 정보 비트를 판정하게 된다.

세로축 패리티 비트는 단지 정진폭을 만들기 위해서 사용하였기 때문에 검출하지 않는다. 따라서 기존의 정진폭 이진직교 방식에서의 세로축 패리티 비트는 단지 정진폭을 얻기 위한 부가비트로 아무런 정보를 전송하지 않기 때문에 수신단에서는 세로축 패리티 비트를 검출하지 않게 되며 이에 따라 특별한 비트오율 성능의 개선없이 전송효율이 감소되는 문제점이 있다.

가로축 패리티 비트

b_{00}^i	b_{01}^i	b_{02}^i	b_{10}^i	b_{11}^i	b_{12}^i	b_{20}^i	b_{21}^i	b_{22}^i	r_0^i	r_1^i	r_2^i	p_{00}^{i+3}	p_{01}^{i+3}	p_{02}^{i+3}	p_{10}^{i+3}	p_{11}^{i+3}	p_{12}^{i+3}	p_{20}^{i+3}	p_{21}^{i+3}	p_{22}^{i+3}
b_{10}^i	b_{11}^i	b_{12}^i	b_{20}^i	b_{21}^i	b_{22}^i	r_0^i	r_1^i	r_2^i	p_{00}^{i+3}	p_{01}^{i+3}	p_{02}^{i+3}	p_{10}^{i+3}	p_{11}^{i+3}	p_{12}^{i+3}	p_{20}^{i+3}	p_{21}^{i+3}	p_{22}^{i+3}			
b_{20}^i	b_{21}^i	b_{22}^i	r_0^i	r_1^i	r_2^i	p_{00}^{i+3}	p_{01}^{i+3}	p_{02}^{i+3}	p_{10}^{i+3}	p_{11}^{i+3}	p_{12}^{i+3}	p_{20}^{i+3}	p_{21}^{i+3}	p_{22}^{i+3}						
r_0^i	r_1^i	r_2^i	p_{00}^{i+3}	p_{01}^{i+3}	p_{02}^{i+3}	p_{10}^{i+3}	p_{11}^{i+3}	p_{12}^{i+3}	p_{20}^{i+3}	p_{21}^{i+3}	p_{22}^{i+3}									

세로축 패리티 비트

그림 2. 변조기에서 사용된 격자부호의 구조

그림 2는 제안된 격자부호 검사 단위의 정보 비트 및 패리티 비트를 나타내는 구성도이다. 그림 2를 살펴보면, 송신단에서는 b 로 표현된 27비트의 정보를 하나의 격자부호단위로 묶고 여기에 p 로 표현된 9개의 가로축 패리티 비트 $p_{00}^{i+3}, p_{01}^{i+3}, p_{02}^{i+3}, p_{10}^{i+3}, p_{11}^{i+3}, p_{12}^{i+3}, p_{20}^{i+3}, p_{21}^{i+3}, p_{22}^{i+3}$ 를 첨가하였다. 9개의 가로축 패리티 비트는 아래의 식 (5)와 같이 계산된다.

$$\begin{aligned}
 p_{00}^{i+3} &= b_{00}^i \oplus b_{00}^{i+1} \oplus b_{00}^{i+2} & p_{01}^{i+3} &= b_{01}^i \oplus b_{01}^{i+1} \oplus b_{01}^{i+2} \\
 p_{02}^{i+3} &= b_{02}^i \oplus b_{02}^{i+1} \oplus b_{02}^{i+2} & p_{10}^{i+3} &= b_{10}^i \oplus b_{10}^{i+1} \oplus b_{10}^{i+2} \\
 p_{11}^{i+3} &= b_{11}^i \oplus b_{11}^{i+1} \oplus b_{11}^{i+2} & p_{12}^{i+3} &= b_{12}^i \oplus b_{12}^{i+1} \oplus b_{12}^{i+2} \\
 p_{20}^{i+3} &= b_{20}^i \oplus b_{20}^{i+1} \oplus b_{20}^{i+2} & p_{21}^{i+3} &= b_{21}^i \oplus b_{21}^{i+1} \oplus b_{21}^{i+2} \\
 p_{22}^{i+3} &= b_{22}^i \oplus b_{22}^{i+1} \oplus b_{22}^{i+2}
 \end{aligned}$$

(5)

본 구조에서는 27비트 당 9비트의 가로축 패리티 비트를 부가하였으나 경우에 따라서는 9, 18, 27, 36, ... (9n, n=1,2,...) 비트 당 9비트의 가로축 패리티 비트를 추가할 수 있다. 위의 격자부호 단위는 가로축 패리티 비트를 포함한 36비트에 대하여 정진폭 부호화를 위해 식 (1)에서 나타난 바와 같이 세로축 패리티 비트 $r_0^i, r_1^i, r_2^i, r_0^{i+1}, r_1^{i+1}, r_2^{i+1}, r_0^{i+2}, r_1^{i+2}, r_2^{i+2}$ 를 계산한 후 추가되어 48비트로 전송하게 되고, 선택된 4개의 이진직교 부호의 선형 합으로 전송하게 된다, 이렇게 되면 b 로 표현되는 전송 데이터들이 r 로 표현되는 세로축 방향 패리티와 p 로 표현되는 가로축 방향 패리티로 둘러싸이게 되어 격자부호를 구성할 수 있게 된다.

3. 정진폭 이진직교 복조 및 격자복호

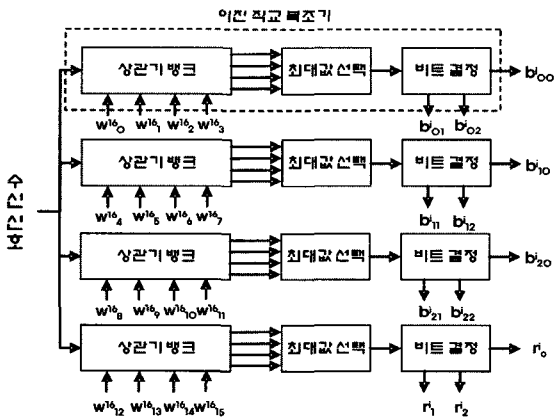


그림 3. 정진폭 이진직교 복조기의 구성

그림 3에는 기존의 정진폭 다중부호 직교 복조기의 구조를 보여주고 있다. 복조기는 4개의 상관기뱅크(각각 4개의 상관기가 필요하다.), 4개의 최대 값 선택 블록, 그리고 4개의 경 판정 블록으로 구성되어 있다. 각각 1개의 상관기뱅크, 최대 값 선택 블록, 경 판정 블록으로 이루어진 하나의 경로는 기존의 이진직교 복조 구조와 완전히 동일하다. 한 경로의 이진직교 복조기에서는 먼저 수

신신호와 직교 부호의 상관값이 최대일 때 직교 부호(Walsh-Hadamard 부호)의 인덱스를 선택한다. 이 인덱스로부터 각각의 경로는 2 비트의 데이터를 복조할 수 있게 된다. 또한 그 최대 상관값의 부호로부터 하나의 데이터 비트를 복조할 수 있게 된다. 이 복조기에서는 16개의 상관기와 추가적인 블록들이 요구된다. 따라서 시스템 복잡도는 그리 크지 않다.

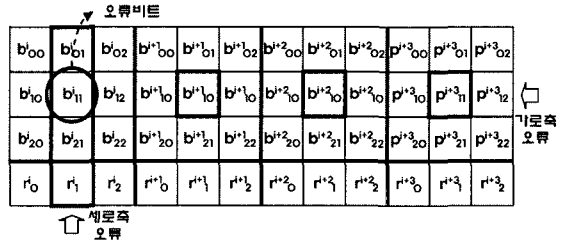


그림 4. 복조기에서 사용된 격자복호 방법

그림 4는 제안된 오류 비트에 대한 격자복호 방법을 나타내는 구성도이다. 그림 4에 도시된 바와 같이, 수신단에서 수신된 16 칩(그림 1의 S16)의 신호는 다시 4개의 이진직교 부호로 검출되고 위에서 검출된 이진직교 부호를 이용하여 정보 비트인 $b_{00}^i, b_{01}^i, b_{02}^i, b_{10}^i, b_{11}^i, b_{12}^i, b_{20}^i, b_{21}^i, b_{22}^i$, 그리고 $b_{00}^{i+1}, b_{01}^{i+1}, b_{02}^{i+1}, b_{10}^{i+1}, b_{11}^{i+1}, b_{12}^{i+1}, b_{20}^{i+1}, b_{21}^{i+1}, b_{22}^{i+1}$ 그리고 $b_{00}^{i+2}, b_{01}^{i+2}, b_{02}^{i+2}, b_{10}^{i+2}, b_{11}^{i+2}, b_{12}^{i+2}, b_{20}^{i+2}, b_{21}^{i+2}, b_{22}^{i+2}$ 를 얻게 된다. 또한 가로축의 오류 검출을 위한 패리티 비트인 $p_{00}^{i+3}, p_{01}^{i+3}, p_{02}^{i+3}, p_{10}^{i+3}, p_{11}^{i+3}, p_{12}^{i+3}, p_{20}^{i+3}, p_{21}^{i+3}, p_{22}^{i+3}$ 를 얻을 수 있고 마지막으로 세로축 오류를 검출할 수 있는 패리티 비트인 $r_0^i, r_1^i, r_2^i, r_0^{i+1}, r_1^{i+1}, r_2^{i+1}, r_0^{i+2}, r_1^{i+2}, r_2^{i+2}$ 를 각각 얻을 수 있다.

다음으로 위에서 검출된 정보 비트들인 $b_{00}^i, b_{01}^i, b_{02}^i, b_{10}^i, b_{11}^i, b_{12}^i, b_{20}^i, b_{21}^i, b_{22}^i$, 그리고 $b_{00}^{i+1}, b_{01}^{i+1}, b_{02}^{i+1}, b_{10}^{i+1}, b_{11}^{i+1}, b_{12}^{i+1}, b_{20}^{i+1}, b_{21}^{i+1}, b_{22}^{i+1}$ 그리고 $b_{00}^{i+2}, b_{01}^{i+2}, b_{02}^{i+2}, b_{10}^{i+2}, b_{11}^{i+2}, b_{12}^{i+2}, b_{20}^{i+2}, b_{21}^{i+2}, b_{22}^{i+2}$ 를 이용하여 수신단에서의 세로축 패리티 비트 $r_0^i, r_1^i, r_2^i, r_0^{i+1}, r_1^{i+1}, r_2^{i+1}, r_0^{i+2}, r_1^{i+2}, r_2^{i+2}$ 를 앞서 기술한 수식 (1)과 같이

$$\begin{aligned}
 r_0^i &= b_{00}^i \oplus b_{10}^i \oplus b_{20}^i, & r_1^i &= b_{01}^i \oplus b_{11}^i \oplus b_{21}^i, \\
 r_2^i &= b_{02}^i \oplus b_{12}^i \oplus b_{22}^i, & r_0^{i+1} &= b_{00}^{i+1} \oplus b_{10}^{i+1} \oplus b_{20}^{i+1}, \\
 r_1^{i+1} &= b_{01}^{i+1} \oplus b_{11}^{i+1} \oplus b_{21}^{i+1}, & r_2^{i+1} &= b_{02}^{i+1} \oplus b_{12}^{i+1} \oplus b_{22}^{i+1}, \\
 r_0^{i+2} &= b_{00}^{i+2} \oplus b_{10}^{i+2} \oplus b_{20}^{i+2}, & r_1^{i+2} &= b_{01}^{i+2} \oplus b_{11}^{i+2} \oplus b_{21}^{i+2},
 \end{aligned}$$

$r_2^{i+2} = b_{02}^{i+2} \oplus b_{12}^{i+2} \oplus b_{22}^{i+2}$ 재생성하고 수신된 세로축 패리티 비트들과 비교함으로써 일치하지 않을 경우 세로축 오류를 검출할 수 있다. 그 다음으로 가로축 오류를 검출하기 위해 수신단에서 가로축 패리티 비트 $p_{00}^{i+3}, p_{01}^{i+3}, p_{02}^{i+3}, p_{10}^{i+3}, p_{11}^{i+3}, p_{12}^{i+3}, p_{20}^{i+3}, p_{21}^{i+3}, p_{22}^{i+3}$ 를 앞선 수식 (5)와 같이 (예를 들면 $p_{00}^{i+3} = b_{00}^i \oplus b_{00}^{i+1} \oplus b_{00}^{i+2}$, $p_{01}^{i+3} = b_{01}^i \oplus b_{01}^{i+1} \oplus b_{01}^{i+2}$, $p_{02}^{i+3} = b_{02}^i \oplus b_{02}^{i+1} \oplus b_{02}^{i+2}$, $p_{10}^{i+3} = b_{10}^i \oplus b_{10}^{i+1} \oplus b_{10}^{i+2}$, $p_{11}^{i+3} = b_{11}^i \oplus b_{11}^{i+1} \oplus b_{11}^{i+2}$, $p_{12}^{i+3} = b_{12}^i \oplus b_{12}^{i+1} \oplus b_{12}^{i+2}$, $p_{20}^{i+3} = b_{20}^i \oplus b_{20}^{i+1} \oplus b_{20}^{i+2}$, $p_{21}^{i+3} = b_{21}^i \oplus b_{21}^{i+1} \oplus b_{21}^{i+2}$, $p_{22}^{i+3} = b_{22}^i \oplus b_{22}^{i+1} \oplus b_{22}^{i+2}$)를 재생성하고 수신된 가로축 패리티 비트들과 비교함으로써 일치하지 않을 경우 가로축 오류를 검출할 수 있다. 따라서 가로축 오류 및 세로축 오류가 검출되면 격자 모양으로 전송되는 정보 비트의 오류를 검출할 수 있게 되며, 오류가 검출되면 반전(bit reverse)을 취하여 정정하게 된다.

4. 실험 결과 및 토의

본 장에서는 본 논문에서 제안한 격자부호의 성능을 컴퓨터 시뮬레이션을 통하여 검증해 보도록 한다. 그림 5는 기존의 정진폭 이진직교 변조방식과 제안된 격자부호를 이용한 정진폭 이진직교 변조방식의 성능을 비교한 그래프이다. 그림 5의 결과에서는 제안된 격자부호를 이용한 정진폭 이진직교 변조방식은 기존의 정진폭 이진직교 변조방식의 성능을 비교할 때 오류 검출을 위하여 추가적으로 패리티를 전송하게 된다.

실험에서 사용한 채널환경은 AWGN 채널이며 격자부호를 사용한 정진폭 이진직교 변조 방식과 격자부호를 사용한 정진폭 이진직교 변조 방식을 실험하였다. 격자부호를 사용함에 있어서 부호율을 다양하게 유지하여 실험의 다양성을 확보하였다.

결과에 의하면 제안된 격자부호를 이용한 정진폭 이진직교 변조방식은 기존의 정진폭 이진직교 변조방식에 비해 10^{-4} 의 비트 오류에서 약 1.0dB 정도의 E_b/N_0 성능이 개선됨을 알 수 있다. 정진폭 이진직교 변조방식에서 오류정정을 위해 제안된 격자 부호 검사방법은 정진폭을 만들기 위해서 추가한 세로축 패리티 비트와 새롭게 추가한 가로축 패리티 비트를 이용하여 격자형태로 부호를 구성함으로써, 수신비트에 대하여 오류를 검출하거나 정정할 수 있는 장점이 있고, 성능을 개선하는 효과가 있다.

따라서 격자부호를 적용한 복조기는 정진폭 이진직교 복조를 위한 적절한 구조임을 알 수 있다.

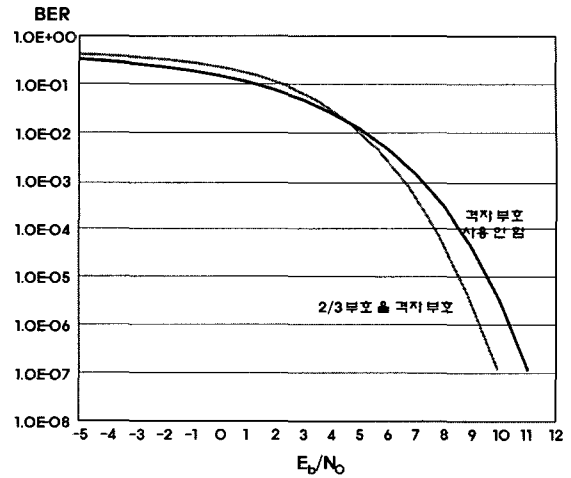


그림 5. 2/3 부호율 격자부호의 성능

위의 실험에서는 27비트 당 9비트의 패리티 비트를 부가하였으나 경우에 따라서는 9, 18, 27, 36, ... (9n, n=1, 2, ...)비트 당 9비트의 패리티 비트를 추가할 수 있다. 따라서 많은 비트를 부가 할수록 부호율이 낮아지게 되어 더 효율적인 시스템을 구현할 수 있게 된다. 아래의 그림 6에는 다양한 부호율에 따른 격자 부호의 성능을 보이고 있다. 부호화율을 높이면 높일수록 더 좋은 성능을 보임을 알 수 있다. 그러나 9/10의 부호율이 최적의 성능을 보임을 알 수 있다.

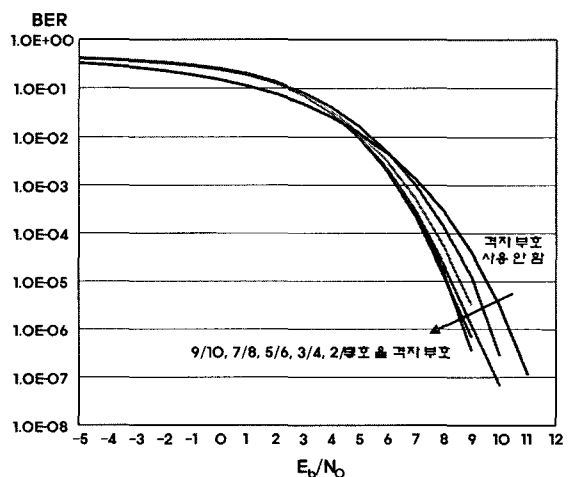


그림 6. 다양한 부호율에 따른 성능

따라서 격자부호는 실험에서 보인바와 같이 정진폭 이진직교 변조 방식에 적절한 부호화 방식이며 부적절한 부호율에서 가장 최적의 성능을 보임을 알 수 있다.

5. 결론

본 논문에서는 다중부호 신호를 정진폭으로 전송하는 정진폭 다중부호 이진직교 변조방식에서 사용될 수 있는 오류제어 부호를 제안하였다. 제안된 방식 중에서 격자부호를 사용하여 시스템의 비트 오류 성능을 높이는 방식이 정진폭 다중부호 이진직교 변조방식에 적합함을 보였다. 정진폭 다중부호 이진직교 변조방식에서는 정진폭을 유지하기 위해 세로축 패리티 비트를 사용하여 신호를 부호화 하게 된다. 제안된 시스템에서는 정진폭을 유지하기 위해 사용되는 세로축 패리티 비트에 추가적으로 부호화를 수행하여 가로축 패리티 비트를 부가하되 격자구조가 되도록 하여 비트오류 성능의 개선을 최대화 한다. 제안된 시스템은 시스템 복잡도의 증가가 거의 없으며 복호기도 매우 간단하게 구현될 수 있다. 실험결과에 의하면 제안된 시스템은 격자구조를 사용하지 않은 시스템에 비해 현격한 성능의 개선이 있음을 알 수 있었다.

참고문헌

[1] IEEE 802.11 standard, "Wireless LAN medium access control (MAC) and physical layer (PHY) specifications", 1997.
 [2] IEEE802.11a 802.11-98/156r2, "Updated submission template for Tga-revision2".
 [3] Ultra-wideband, "Updated submission template for Tga-revision2".
 [4] T. Ottosson and A. Svensson, "Multi-rate schemes in DS/CDMA systems," in Proc. VTC95, pp.1006-1010, 1995.
 [5] I. Chih-lin and R. D. Gitlin, "Multi-code CDMA wireless personal communications networks," in Proc. ICC95, pp. 1060-1064, 1995.
 [6] N. Guo and L. B. Milstein, "On rate-variable multidimensional DS/SSMA with dynamic sequence sharing," IEEE J. Select. Areas Commun.,

[7] N. Guo and L. B. Milstein, "Uplink performance evaluation of multi-code DS/CDMA systems in the presence of nonlinear distortions," IEEE J. Select. Areas Commun., vol. 18, no. 8, pp. 1418-1428, Aug. 2000.
 [8] D.-K. Kim, C.-Y. Ahn and D.-S. Kwon, "Analysis and improvement of performance of MC-CDMA system with nonlinear amplifier," IEE Electronics Letters, vol. 34, no. 22, pp. 2086-2088, Oct. 1998.
 [9] T. Wada, T. Yamazato, M. Katayama and A. Ogawa, "A constant amplitude coding for orthogonal multi-code CDMA systems," IEICE Trans. on Fundamentals, vol. E80-A, no. 12, pp.2477-2484, Dec. 1997.
 [10] Y. H. You, C. H. Park, D. K. Hong, S. J. Kang, K. H. Seo, and J. W. Cho, "Multi-phased VSG CDMA with level clipping for high-rate transmission systems," IEEE Communications Letters, vol. 48, no. 2, pp.159-161, Apr. 2003.
 [11] S. J. Kang, D. K. Hong, Y. H. You, M. J. Kim, and J. W. Cho, "Constant-amplitude multicode-orthogonal modulation," IEEE Transactions on Communications, vol. 55, no. 1, pp.1-7, Jan., 2007.

홍 대 기(Dae-Ki Hong)

[종신회원]



- 1997년 2월 : 광운대학교 컴퓨터 공학과 (공학사)
- 1999년 2월 : 연세대학교 전자공학과 (공학석사)
- 2003년 2월 : 연세대학교 전기전자공학과(공학박사)
- 2002년 1월 ~ 2006년 8월 : 전자부품연구원 선임연구원
- 2006년 9월 ~ 현재 : 상명대학교 정보통신공학과 전임강사

<관심분야>

무선통신, 정보통신, 이동통신, 무선 LAN/PAN