

수소화된 비정질규소 박막트랜지스터의 누설전류

이호년^{1*}

Leakage Current of Hydrogenated Amorphous Silicon Thin-Film Transistors

Ho-Nyeon Lee^{1*}

요약 능동형 평판디스플레이 소자를 제작하기 위해 수소화된 비정질 규소 박막트랜지스터 (a-Si:H TFT)의 상부에 화소전극을 형성하는 과정에 따른 TFT의 특성 변화를 연구하였다. 화소전극 형성 전에 1 pA 수준의 오프상태 전류 및 10^6 이상의 스위칭률을 보이던 TFT에 화소전극 공정을 행하면 오프상태 전류가 10 pA이상으로 증가하여 소자특성이 악화되었다. 이러한 소자특성의 악화는 SiNx 보호막 표면의 플라즈마 처리로 개선될 수 있었는데, 특히 N₂ 플라즈마가 좋은 결과를 보였다. 화소전극 공정에 의해서 누설전류가 증가하는 것은 투명전도막 증착공정 중에 SiNx 보호막 표면에 전하가 축적되어 이에 유도되는 백채널의 캐리어 축적에 기인하는 것으로 추정된다.

Abstract The variations in the device characteristics of hydrogenated amorphous thin-film transistors (a-Si:H TFTs) were studied according to the processes of pixel electrode fabrication to make active-matrix flat-panel displays. The off-state current was about 1 pA and the switching ratio was over 10^6 before fabrication of pixel electrodes; however, the off-state current increased over 10 pA after fabrication of pixel electrodes. Surface treatment on SiNx passivation layers using plasma could improve the off-state characteristics after pixel electrode process. N₂ plasma treatment gave the best result. Charge accumulation on the SiNx passivation layer during the deposition of transparent conducting layer might cause the increase of off-state current after the fabrication of pixel electrodes.

Key Words : leakage current, pixel, thin-film transistor, plasma treatment

1. 서론

수소화된 비정질규소(hydrogenated amorphous silicon (a-Si:H)) 박막트랜지스터(thin-film transistor (TFT))는 평판디스플레이의 능동형 스위칭 어레이로서 널리 사용되고 있다. 특히, 능동형 액정디스플레이(active-matrix liquid crystal display(AMLCD))의 제작에 필수요소가 되어 있다. a-Si:H TFT 어레이는 유리기판 위에 제작되며 공정온도는 대개 400℃를 넘지 않고 통상적으로 5개의 포토마스크 공정이 사용된다. 근래에는, a-Si:H TFT를 능동형 유기발광디스플레이의 스위칭 소자로 사용하고자는 연구가 진행되기도 하였다.[1-3] a-Si:H TFT는 다결

정 Si 혹은 결정질 Si 트랜지스터에 비해서 몇 가지 독특한 특성을 가지고 있다. 전계효과이동도는 대략 $1.0 \text{ cm}^2/\text{V} \cdot \text{sec}$ 이하이고, 오프상태의 전류는 상당히 낮다. 스위칭률 (온상태의 전류 / 오프상태의 전류)은 통상 10^6 이상으로 상당히 큰 값을 보인다. 또한, 광감응성 (photosensitivity)이 크고, 바이어스 전압 인가에 의해서 쉽게 열화 되는 특성을 보인다.[4-6] 상기와 같은 특성을 가지는 a-Si:H TFT의 가장 적절한 응용분야로는 AMLCD를 꼽을 수 있다. AMLCD는 비교적 작은 온상태 전류로도 동작이 가능하나 높은 수준의 스위칭률을 요구하기 때문이다. 또한, AMLCD의 선주사형 전압구동방식은 a-Si:H TFT의 열화를 늦추어 주는 효과가 있다.[7-8]

AMLCD는 보유형 (holding-type) 디스플레이의 일종이다. 즉, 화소에 인가된 데이터신호는 데이터 저장 축전기(storage capacitor)에 축적되어 한 프레임시간 동안 유지된다. 프레임 시간은 수직 재생률의 역수로, 통상적으

본 연구는 산업자원부 지방기술혁신사업(RTI04-01-02) 지원으로 수행되었음

¹순천향대학교 전자정보공학과

*교신저자: 이호년(hnlec@sch.ac.kr)

로 사용되는 60 Hz의 수직 재생률에 대하여 16.7 msec의 값을 가진다. 이렇게 축적된 데이터신호에 의해서 화소의 계조가 제어된다. 각 화소에는 스위칭 TFT, 데이터 저장 축전기 및 광밸브가 있어야 한다. 광밸브의 크기를 크게 할수록 보다 밝은 디스플레이를 만들 수 있다. 각 화소의 크기는 디스플레이 전체의 크기 및 해상도에서 결정되어져 있으므로, 광밸브의 크기를 크게 하기 위해서는 스위칭 TFT 및 데이터 저장 축전기의 크기가 작아져야 한다. 대개의 경우, 높은 개구율을 얻기 위하여 데이터 저장 축전기의 크기를 최대한 작게 만든다. 즉, 저장되는 전하의 양이 작아지는 것이다. 따라서, 저장 전하에 의한 데이터 신호의 수준을 한 프레임 시간 동안 일정 수준이상으로 유지하기 위해서는 누설전류를 극히 작게 만들어야 한다. 축전된 전하는 주로 스위칭 TFT를 통해서 누설 된다. 따라서, 스위칭 TFT의 오프상태 전류를 작게 만들 필요가 있다. 저장된 데이터의 유지율이 줄어들면 플리커 현상이 심해지고 적절한 계조 표현이 안 되는 등 화질이 급격하게 저하되는 문제가 있다.

누설전류를 적게 하고 소자의 특성을 향상시키기 위한 많은 연구가 진행되어 왔는데, 이 들은 주로 활성채널 및 게이트 절연막의 특성 향상에 초점이 맞추어져 있었다.[9-14] 이러한 연구를 통하여, a-Si:H 및 게이트 절연막의 증착조건, a-Si:H의 두께, 표면처리 조건 등이 최적화되었다. 또한, a-Si:H TFT 어레이의 생산성을 높이려는 노력들이 많았으며 좋은 결과를 거두었다. 이렇듯 TFT의 활성층 및 게이트절연막에 대한 연구는 TFT 자체의 특성을 많이 향상시켰다. 하지만, TFT-LCD등 실제로 사용되는 상황에서는 TFT위에 인듐-아연 산화막 (ITO)등으로 제작된 화소전극이 설치된다. 화소전극을 설치하기 위해서 사용되는 공정과정에서 TFT의 특성에 적지 않은 영향을 주는 것을 발견하였다. 본 논문에서는 TFT 소자의 제작 후에 진행되는 화소전극의 제작공정이 TFT의 누설전류에 미치는 영향과 이를 극복하기 위한 방법에 대해서 연구하였다.

2. 실험 결과 및 토의

이 연구에서는 화소전극 형성 공정에 따른 a-Si:H TFT의 특성 변화를 살펴보았다. 실험에는 하부게이트(bottom gate) 및 백채널 식각형(back channel etched type) 구조의 TFT가 사용되었다. 게이트 전극이 가장 하부에 존재하고, 그 위를 게이트 절연막이 덮는다. 게이트 신호선 및 전극은 다층 금속막으로 제작되었고 SiNx 박막이 게이트 절연막으로 사용되었다. 게이트 전극의 성막에는 Ar 가

스를 이용한 DC마그네트론 스퍼터링 방법이 사용되었으며, 습식식각법으로 패턴을 형성하였다. 이 게이트 절연막 위에 진성 a-Si:H막을 패터닝하여 활성층 영역을 만들었다. 활성층 위에 패터닝된 n+ a-Si:H 막으로 오믹접합층을 만들어 주었다. SiNx 게이트 절연막 및 진성 a-Si:H 막과 n+ a-Si:H막은 모두 플라즈마 화학기상증착법(PECVD)으로 약 300°C에서 성막 하였다. 게이트 절연막은 300 nm, a-Si:H 막은 100 nm, n+ a-Si:H 막은 50 nm의 두께를 가졌다. n+ a-Si:H 오믹접합층 위에 소스 및 드레인 전극을 설치하였다. 이 소스 및 드레인 전극도 다층의 금속 박막으로 제작되었으며, 성막 및 패터닝을 위해서 DC 마그네트론 스퍼터링 방법과 습식식각방법이 사용되었다. 그 위에 200nm 두께의 SiNx박막으로 보호층을 설치하여서 활성층의 백채널을 외기의 산소 및 수분으로부터 차단하였다. 보호층의 성막은 PECVD 방법으로 이루어졌다. 이 보호층 위에 투명도전막으로 화소전극을 설치하였다. 이렇게 만들어진 소자의 구조를 그림 1에 보인다.

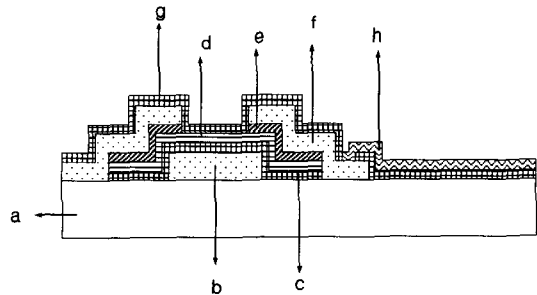


그림 1. 본연구에 사용된 TFT 구조 개념도. 그림의 표식은 각각 다음과 같다. a: 유리 기판, b: 게이트 전극, c: 게이트 절연막, d: 진성 a-Si:H 활성층, e: n+ a-Si:H 오믹접합층, f: 소스 및 드레인 전극, g: SiNx 보호층, h: 화소전극

이번 연구에 사용된 TFT의 채널은 길이 4 μ m, 넓이 13 μ m 이었다. 그림 2는 화소전극을 제작하기 전 및 후의 TFT 소자 특성을 보여주고 있다. 화소전극 제작전의 소자특성이란 게이트 전극에서 보호막까지의 공정이 완료된 후의 측정 결과를 말한다. 측정은 상온의 암상자 내에서 이루어 졌다. 소스 전극을 접지하고 드레인 전극에 15 V의 전압을 일정하게 인가한 후에 게이트 전극의 전압을 -20 V에서 20 V로 순차적으로 변화시키면서 드레인 전류를 측정하였다.

화소전극 형성 전에는 오프상태의 전류치가 pA정도의 수준을 보이고 온상태의 전류치는 μ A수준을 보여서,

a-S:H TFT의 특성으로는 우수한 상태라고 할 수 있다. 그래프에 그려진 몇 개의 데이터 선들은 서로 다른 소자에서 얻어진 결과를 표시한다. 또한, 그림 2에서 보호층 위에 화소전극을 형성한 후의 특성을 볼 수 있다. 여기에서 사용된 화소전극의 재료는 투명전도막의 일종인 인듐-아연 산화막 (IZO)이 사용되었다. IZO 막은 아르곤과 산소 분위기의 DC 마그네트론 방법으로 상온에서 증착되었다. 박막의 두께는 50 nm 이었다. IZO 막을 성막한 후에 포토레지스트를 스핀코팅 하였다. 포토레지스트에 프로젝션 마스크를 통하여 자외선 조사를 하고 화학용액으로 패터닝 하였다. 포토레지스트 패터닝 후에 습식식각법으로 IZO를 패터닝 하고 이어서 남아있는 포토레지스트 패턴을 제거하였다. 이러한 과정을 거쳐서 화소전극을 형성하고 난 후에 소자의 특성을 측정된 결과를 보여준다.

그림2에서 보이듯이, 화소전극이 형성되고 난 후의 소자 특성은 화소전극 형성전의 소자특성에 비해서 온상태의 전류 값은 큰 차이가 없으나, 오프상태의 전류 값이 많이 증가한 것을 볼 수 있다. 온 및 오프 상태의 전류비가 많이 감소하여 스위칭 소자로서의 성능이 저하된 것을 볼 수 있다.

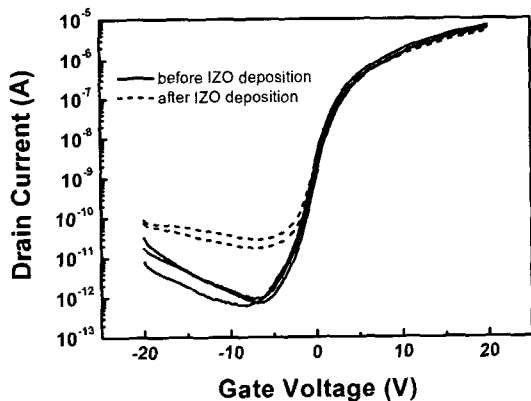


그림 2. 화소전극 형성 전 및 후의 TFT 드레인 전류.

그림3(a)은 화소전극층의 증착 전에 플라즈마를 이용하여 보호층의 표면처리를 하여준 경우의 소자 특성이다. 소자의 특성은 화소전극의 제작공정이 모두 완료된 이후에 측정하였다. 측정조건은 화소전극 형성전의 측정과 동일하게 시행하였다. PECVD 장비를 이용하여 N₂, N₂O, H₂ 플라즈마를 각각 형성하여 표면처리를 시행하였다. 어떤 경우에도, 화소전극 형성전 보다는 큰 오프상태 전류 값을 가지나, N₂ 플라즈마 처리를 하여준 경우가 더 낮은 오프상태 전류를 보였다. 플라즈마 표면처리는 모두 60초 동안 진행 되었으며, 약 0.86 W/cm²의 RF 전력을

인가하였다. 표면처리 중 압력은 N₂는 3 torr, N₂O 1.8 torr, H₂ 2 torr 로 진행 하였다.

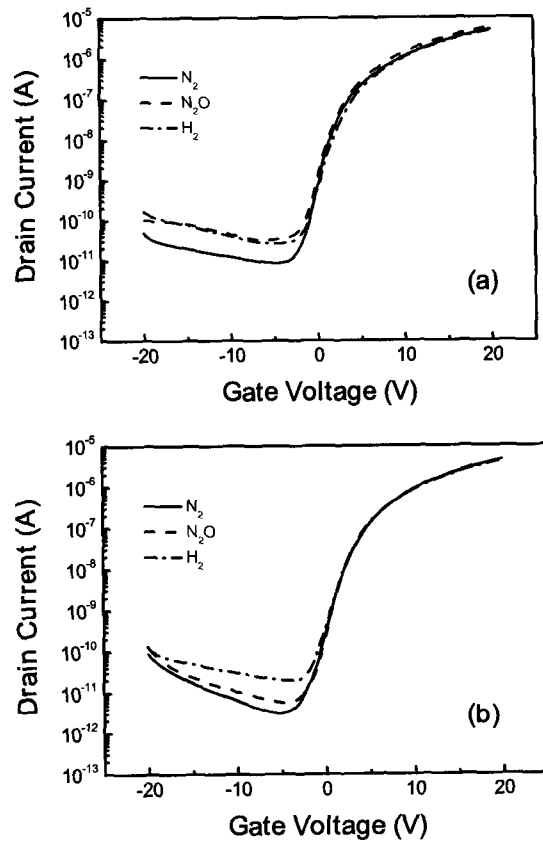


그림 3. SiN_x 보호층의 플라즈마 표면처리에 따른 TFT 특성; (a) 화소전극 형성 전 플라즈마 표면처리, (b) 화소전극 형성 후 플라즈마 표면처리.

그림3(b)는 화소전극의 형성을 완료한 후에 플라즈마를 이용하여 표면처리를 하여준 경우의 소자 특성이다. 그림 3(a)의 경우와 마찬가지로, PECVD 장비를 이용하여 N₂, N₂O, H₂ 플라즈마를 각각 만들어서 표면처리를 시행하였다. 플라즈마 처리 조건은 화소전극 형성 전에 하여준 경우와 동일하게 시행하였다. 이 경우에도, 화소전극 형성전보다 큰 오프상태 전류 값을 가지나, N₂ 플라즈마 처리를 하여준 경우는 비교적 낮은 오프상태 전류를 보였다. 또한, N₂O 플라즈마 처리가 H₂ 플라즈마 처리보다 우수한 소자 특성을 보여주었다. 측정조건은 화소전극 형성전의 측정과 동일하게 시행하였다.

그림2의 결과로부터, 투명전도막의 증착 공정이 TFT의 오프상태 전류의 증가를 유발한다는 것을 알 수 있다. 이러한 현상이 생기는 원인에 대해서 논의해 보면, 첫째

로, 활성층의 백채널 쪽으로 불순물의 유입에 의한 오프상태전류 증가의 유발을 생각해 볼 수 있다. a-Si:H 활성층의 백채널에 불순물이 유입되었다면 백채널 쪽의 밴드의 굽힘을 유발하여 캐리어의 밀도를 증가시켜 누설전류의 증가하게 할 수 있고, 불순물 준위에 의한 전류의 흐름을 유발할 수도 있다. 하지만, 불순물의 유입에 의한 특성열화의 경우, 공정이 완료된 후 (즉, 불순물의 유입이 완료된 후) 단순히 보호막 표면을 플라즈마 처리해 줌으로써 특성의 개선을 가져오는 결과 (그림 3(b))를 설명할 수 없다. 플라즈마 표면 처리로 보호층 아래에 있는 백채널의 불순물을 제거할 수 없기 때문이다. 이와는 다르게, 활성층의 백채널이 아니고 보호막의 표면에 전하가 축적되는 경우에도 오프상태 전류의 증가를 유발할 수 있다. 이 실험에서 사용된 TFT는 4 μ m의 채널 길이와 13 μ m의 채널 폭을 가지고, 활성층의 두께는 100 nm 이었다. 드레인 전류와 활성층 채널에 축적된 캐리어 밀도와의 관계를 $I = Wn_a e \mu \Phi / L$ 로 표시할 수 있다.[15] 여기서, I , W , n_a , e , μ , Φ , L 은 각기, 드레인 전류, 채널 폭, 캐리어의 면적밀도, 전자의 전하량, 전계효과 이동도, 소스전극과 드레인 전극 사이의 전압차, 채널 길이 이다. 10 pA의 드레인 전류에 해당하는 캐리어의 면적밀도는 대략 $2.6 \times 10^9 / \text{cm}^2$ 이다. 절연막으로 형성된 보호층은 평판축전기 유전체와 같이 취급할 수 있으므로 보호층의 상부 표면에 전하가 축적되면 같은 양의 반대 극성의 전하가 보호층 하부 표면 (즉, 활성층의 백채널)에 유도 되어야 한다. 화소전극 공정 후에 증가된 누설 전류는 대략 10 pA 수준인데, 이것은 $2.6 \times 10^9 / \text{cm}^2$ 의 캐리어로 유발할 수 있다. 이러한 캐리어 밀도는 활성층의 최상부층에 존재하는 규소 원자 밀도의 2.0×10^{-6} 배 수준의 매우 작은 양으로, 화소전극 성막시의 플라즈마 환경에서 축적 가능한 전하량으로 생각 된다. 이러한 전하의 축적은 보호막 표면에서 이루어 질 것이므로, 화소전극 공정 완료 후에 보호막 표면을 플라즈마 처리하여 줌으로 일부 회복되는 것이 설명 가능하다. N₂ 플라즈마 등은 SiNx 표면의 결함을 제거하여 막질을 개선하는 일반적인 공정이다. 따라서, 화소전극의 형성 전에도 N₂ 플라즈마 등으로 처리하여 보호층의 표면의 결함을 제거하여 줌으로써 이후 가해지는 플라즈마에 의한 전하축적을 감소시켜 그림 2(a)의 결과와 같이 소자 특성 개선에 기여할 수 있을 것이다.

4. 결론

투명산화막을 이용한 화소전극 제작공정이 TFT의 특

성에 미치는 영향에 대해서 연구하였다. SiNx 박막을 보호층으로 사용한 TFT에 대해서 화소전극의 증착공정을 진행하면 TFT의 누설전류가 증가한다는 것을 알 수 있었다. 보호층을 플라즈마 표면처리를 하여주면 누설전류의 증가를 억제할 수 있었는데, N₂ 플라즈마의 경우 화소전극의 증착 공정 전에 처리한 경우 및 후에 처리한 경우 모두 좋은 결과를 보였으며, N₂O 플라즈마의 경우 화소전극의 증착공정 후에 처리한 경우에 좀 더 나은 결과를 보였다. 반면에 H₂ 플라즈마는 두 경우 모두에 대해서 별 다른 효과를 보여주지 못하였다. 투명산화막 증착공정 후에 누설전류가 증가하는 원인은 두 가지 정도로 생각해 볼 수 있다. 그 중 하나는 투명전도막 증착시에 발생하는 불순물이 보호막을 통해 확산되어 활성층 백채널 쪽에 축적되는 경우이다. 이러한 경우는 누설전류의 증가는 설명할 수 있으나, 플라즈마 처리에 의해서 증가된 누설전류가 다시 감소하는 현상에 대해서는 설명이 어렵다. 본 연구의 실험결과를 토대로 보면, 누설전류의 증가는 앞에서 토의된 바와 같이 SiNx 보호층의 표면에 전하가 축적되어 생기는 현상으로 추정된다. 이 경우 화소전극 공정후의 누설전류의 증가 및 플라즈마 처리에 의한 증가된 누설전류의 감소를 설명할 수 있다.

연구의 결과와 같이, 보호층까지 제작된 TFT가 좋은 특성을 가진다고 하여도 이후의 화소전극 공정에 따라 최종적으로 얻는 소자의 특성이 바뀌게 된다. 본 논문에서는 화소전극 공정에 의한 소자 특성 변화 현상 및 원인을 알아보고, 플라즈마 표면처리에 의한 특성 개선의 방법을 제시하였다. 이러한 결과는 TFT의 실제 응용에 많은 도움을 줄 것으로 기대한다.

참고문헌

- [1] C. C. Wu, et al., "Integration of Organic LED's and Amorphous Si TFT's onto Flexible and Lightweight Metal Foil Substrates", IEEE Electron Device Lett. pp. 609-612. 1997. 18.
- [2] Y. He, et al., "Current-Source a-Si:H Thin-Film Transistor Circuit for Active-Matrix Organic Light-Emitting Displays", IEEE Electron Device Lett. pp. 590-592. 2000. 21.
- [3] J. Lee, et al., "A New a-Si:H TFT Pixel Circuit Compensating the Threshold Voltage Shift of a-Si:H TFT and OLED for Active Matrix OLED", IEEE Electron Device Lett. pp. 897-899. 2005. 26.
- [4] R. A. Street, Hydrogenated Amorphous Silicon, Cambridge University Press, pp. 375, 1991.

- [5] C. Van Berkel, Amorphous and Microcrystalline Semiconductor Devices Volume II Materials and Device Physics, ed. J. Kanichi, Artech House, pp. 412, 1992.
- [6] T. Tsukada, TFT/LCD Liquid-Crystal Displays Addressed by Thin-Film Transistors, OPA Amsterdam B.V, pp. 60-67, 1996.
- [7] L. E. Tannas, Jr., Flat-Panel Displays and CRTs, ed. L. E. Tannas, Jr., Van Nostrand Reinhold Company, pp. 24, 1985.
- [8] T. Tsukada, TFT/LCD Liquid-Crystal Displays Addressed by Thin-Film Transistors, OPA Amsterdam B.V, pp. 73 and pp. 127, 1996.
- [9] Y. Kuo, "Plasma Etching and Deposition for a-Si:H Thin Film Transistors", J. Electrochem. Soc., pp. 2486-2507, 1995, 142.
- [10] Y. Kuo, "Thin-Film Transistors with Multistep Deposited Amorphous Silicon Layers", Appl. Phys. Lett., pp. 2173-2175, 1995, 67.
- [11] T. Kashiro, et al., "Importance of First Layer Thickness on TFT Characteristics Using a-Si:H Deposited by 2-step Process", J. Non-Cryst. Solids, pp. 1130-1133, 1996, 198-200.
- [12] K. Fukuda, et al., "Switching Performance of High Rate Deposition Processing a-Si:H TFTs", J. Non-Cryst. Solids, pp. 1137-1140, 1996, 198-200.
- [13] J. W. Tsai, et. al., "Reducing Threshold Voltage Shifts in Amorphous Silicon Thin Film Transistors by Hydrogenating the Gate Nitride Prior to Amorphous Silicon Deposition", Appl. Phys. Lett., pp. 1237-1239, 1997, 71.
- [14] B. C. Lim, et. al., "Hydrogenated Amorphous Silicon Thin Film Transistor Fabricated on Plasma Treated Silicon Nitride", IEEE Trans. Electron Devices, pp. 367-371, 2000, 47.
- [15] M. Shur, Physics of Semiconductor Devices, Prentice-Hall, pp. 355, 1990.

이 호 년(Ho-Nyeon Lee)

[정회원]



- 1991년 2월 : 서울대학교 원자핵 공학과 (공학사)
- 1993년 2월 : 한국과학기술원 물리학과 (이학석사)
- 1997년 8월 : 한국과학기술원 물리학과(이학박사)
- 2006년 9월 ~ 현재 : 순천향대학교 전자정보공학과 전임강사

<관심분야>
디스플레이 소자, 박막 반도체