

MB-OFDM UWB에서 효율적인 자동 이득 조절 장치

홍대기*

Automatic Gain Control Algorithms for MB-OFDM UWB System

Dae-Ki Hong^{1*}

요 약 본 논문에서는 시스템 구현에 직접적으로 사용될 수 있는 직교 주파수 분할 다중화 (OFDM : Orthogonal Frequency Division Multiplexing) 통신 시스템을 위한 여러 가지 자동 이득 제어 (AGC : Automatic Gain Control) 알고리즘을 제안하고자 한다. 본 논문에서는 고속 패킷 전송을 위하여 비교적 많은 샘플 수를 갖고 긴 길이의 프리앰블을 반복적으로 사용하는 초 광대역 통신 (UWB : Ultra-Wideband)과 같은 OFDM 시스템의 디지털 수신 신호를 가정한다. 이러한 OFDM 시스템에서는 프리앰블 신호를 아날로그-디지털 변환기 (ADC : Analog-to-Digital Converter)를 통해 디지털 수신 신호로 변환한 후 최대 샘플 값 계수기내 버퍼의 길이만큼 디지털 수신 신호를 저장한다. 이 후 버퍼에 저장된 디지털 수신 신호 중 최대 샘플의 개수를 계산하고 이득 조절 신호 발생기에 저장된 이득 조절 테이블에 따라 이득을 조절하여 ADC 입력단의 전력 레벨을 자동으로 조절한다.

Abstract In this paper, we propose various types of AGC algorithms for implementing the OFDM communication systems. For the high-speed packet transmission, in this paper, we assume the OFDM system with relatively long and repeated preambles. We propose the maximum sample value counter for counting the number of maximum sample. In the maximum sample value counter, we use the buffer for the digital signal buffering. Finally, the counting value of the maximum sample value counter controls the gain control signal generator by using gain control table automatically.

Key word : AGC, MB-OFDM UWB, ADC

1. 서 론

최근 다중 경로 페이딩 채널에서 고속으로 데이터를 전송하기 위한 방식으로 OFDM 통신 시스템의 필요성이 점차 증가하고 있다. OFDM은 높은 대역폭 효율, 다중 경로 페이딩 및 지연 확산에 대해 강한 특성을 갖고 있어 기존의 다른 통신 시스템보다 널리 사용될 수 있는 요건을 갖추고 있다^[1]. 이러한 장점에 의해 OFDM은 현재 무선 랜 (WLAN : Wireless Local Area Network) 표준에서 고속의 전송률을 제공하기 위한 기술로 널리 사용되고 있다. OFDM 시스템이 표준에 적용된 대표적인 예로는 미국 전기 전자 학회 (IEEE : Institute of Electrical and

Electronics Engineers)의 802.11a WLAN^{[2][3]} 및 802.11g WLAN^[2]등이 있으며 802.11p를 표준으로 하는 차량내 무선 접속 (WAVE : Wireless Access in Vehicle Environment)^[4] 기술서도 유력한 통신 방식으로 부각되고 있다. 이외에도 OFDM은 UWB 방식의 물리 계층 (PHY : Physical layer)에서도 다중 대역 OFDM (MB-OFDM : Multiband-OFDM)이고 불리는 방식으로 사용되고 있다^[5].

이러한 OFDM을 이용한 표준 시스템은 다양한 개발 업체에서 SoC (System on Chip)의 형태로 개발되고 있으며, 최근의 구현 경향은 UWB에 집중되고 있다^{[1][5]}. 실제로 검증을 위해 FPGA (Field-Programmable Gate Array)로 OFDM 시스템을 구현할 경우에 디지털 회로에서 가장 먼저 동작시켜야 하는 블록이 바로 AGC이다^{[1][6]}. AGC가 올바르게 동작되지 않으면 이후에 처리될 기저 대역 신호 처리는 의미가 없을 정도로 AGC는 중요한 블록이다. 만일 RF (Radio Frequency) 모듈 없이 기저 대역에

본 논문은 정보통신부 출연금으로 MIC/IITA/ETRI, SoC 산업진흥센터에서 수행한 IT SoC 핵심설계인력양성사업의 연구결과입니다.

¹상명대학교 정보통신공학과

*교신저자: 홍대기(hongdk@smu.ac.kr)

서 루프 백을 수행하여 송·수신기를 구현할 경우에는 AGC의 필요성이 없으나 실제로 이러한 구현 형태는 일반적이라 볼 수 없다.

본 논문에서는 시스템 구현에 직접적으로 사용될 수 있는 OFDM 통신 시스템을 위한 여러 가지 AGC 알고리즘을 제안하고자 한다. 본 논문에서는 고속 패킷 전송을 위하여 비교적 많은 샘플 수를 갖고 긴 길이의 프리앰블을 반복적으로 사용하는 UWB와 같은 OFDM 시스템의 디지털 수신 신호를 가정한다. 이러한 OFDM 시스템에서는 프리앰블 신호를 ADC를 통해 디지털 수신 신호로 변환한 후 최대 샘플 값 계수기 내의 버퍼의 길이만큼 디지털 수신 신호를 저장한다. 이 후 버퍼에 저장된 디지털 수신 신호 중 최대 샘플의 개수를 계산하고 이득 조절 신호 발생기에 저장된 이득 조절 레이블에 따라 이득을 조절하여 ADC 입력 단의 전력 레벨을 자동으로 조절한다.

본 알고리즘의 최종 목표는 빠른 시간 내에 안정적으로 이득을 조절하는 것이다. 이를 위해 비교적 많은 디지털 수신 신호 샘플 수를 갖는 긴 길이의 프리앰블을 $1/p$ 크기의 윈도우로 분할하여 이득 조절을 수행한다. 이 기법을 통하여 수신기의 AGC는 한 프리앰블에 대해 최대 p 번의 이득 조절을 수행할 수 있게 되어 전력 레벨을 보다 빠르게 적절한 수준으로 조절하게 된다. 그러나 본 논문에서 제안된 프리앰블을 분할하여 이득을 조절하는 방식은 이전의 이득을 통해 조절된 이전 이득 샘플의 영향이 현재의 이득 추정 정확도에 악 영향을 주는 문제점이 있다. 따라서 본 논문에서는 이전 이득 샘플의 영향을 없애기 위한 최대 샘플 값 계수기의 최대 샘플의 개수를 계산 방법을 변형하여 보았다. 본 논문에서 제안된 시스템의 장점은 하드웨어의 성능에 따라 적절한 최대 샘플 값 계수기를 선택하여 기존의 방식에 비해 빠르게 적절한 수준으로 디지털 수신 신호의 전력 레벨을 조절 할 수 있다는 것이다.

2. 기존의 AGC 알고리즘

일반적으로 무선 통신 시스템에서의 아날로그 신호는 ADC를 통해 디지털 수신 신호로 변환된다. ADC에서 출력되는 디지털 수신 신호는 ADC에서 정해진 양자화 레벨에 따라 표현된 비트 데이터이다. ADC에 입력되는 신호의 전력 레벨이 매우 낮아 신호의 크기가 ADC에서 정한 신호의 범위 중 일부에만 존재한다면, ADC에서 출력되는 디지털 수신 신호는 입력된 아날로그 신호에 대해 큰 양자화 오류를 갖게 된다. 또한 ADC에 입력되는 신호의 전력 레벨이 매우 높아 아날로그 신호의 크기가 ADC

에서 정한 범위를 넘어서게 되면 대부분의 디지털 수신 신호들이 절단되어 디지털 수신 신호의 진폭 왜곡이 생기게 된다. 이러한 문제점을 해결하기 위한 AGC는 무선 통신 시스템에 있어서 상당히 중요한 부분을 차지한다.

그림 1은 기존에 사용되는 AGC의 구성을 나타내고 있다. 그림 1에 나타난 바와 같이 기존의 버스트 모드로 동작하는 무선 통신 시스템은 먼저 OFDM 신호를 수신하여 가변 이득 증폭기 (VGA : Variable Gain Amplifier)를 통과시킴으로서 그 이득을 조절하게 된다. VGA는 보통 아날로그 회로로 구성되어 있다. 따라서 이득이 조절된 신호는 ADC를 통해 디지털 신호로 변환시켜야 한다. 이 디지털 신호는 수신 신호의 수신 전력 레벨에 따라 ADC가 정한 범위를 넘어설 수도 있으므로 신호의 포화 또는 절단이 발생할 수 있다. 신호의 절단이 발생할 경우 그 디지털 값은 ADC가 정한 최대 값을 갖게 되므로 이 최대 값의 개수를 세면 신호의 크기 정보를 알 수 있게 된다¹⁾. 따라서 최대 샘플 값 계수기에 의해 계산된 샘플 수를 이용하여 이득 조절 값을 결정할 수 있게 되고 이 이득 조절 값을 이득 조절 신호 발생기로 발생시켜 디지털-아날로그 변환기 (DAC: Digital-to-Analog Converter)를 통과시켜 VGA를 조절하게 된다.

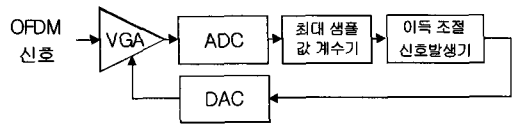


그림 1. AGC의 구성도

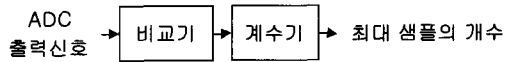


그림 2. AGC의 최대 샘플 값 계수기 구성도

AGC에 포함된 최대 샘플 값 계수기는 그림 2에서 나타난 바와 같이 구성될 수 있다. 먼저 비교기 (Comparator)는 입력된 디지털 샘플이 최대치 샘플인지의 여부를 가려내는 블록이다. 계수기는 비교기에서 결정된 최대 샘플의 개수를 카운트하기 위한 블록이다. 비교

1) 전체 수신 신호의 평균을 구하는 방식으로도 구현할 수 있지만 실제 구현에서는 시스템의 복잡도를 줄이기 위해 단지 일정 값을 넘게 되는 샘플만을 세는 알고리즘을 쓰며 이러한 방식이 오히려 일반적이다. 또한 수신 신호의 절단이 발생한 상태에서의 평균 계산 값은 정확하지도 않으므로 수렴속도 및 정확도에 있어서도 장점이 없다.

기의 윈도우 범위는 프리앰블의 길이와 동일하게 설정되어 있어서 전체 프리앰블을 모두 수신하여 비교한 후에야 비로소 최대 샘플의 개수를 계산하고 이득 조절을 수행할 수 있게 된다.

위와 같은 구성을 갖는 기존의 AGC는 동기 하드웨어를 포함하고 있지 않으므로 디지털 수신 신호의 시작과 끝 여부를 알 수 없어 효과적인 이득 조절이 어렵다. 그리고 위와 같은 기존의 방식은 짧은 프리앰블을 반복적으로 송수신하는 IEEE 802.11a와 같은 시스템에는 적합하지만, 비교적 긴 프리앰블을 반복적으로 송수신하는 MB-OFDM 등의 시스템에서는 전체의 프리앰블을 모두 수신한 후에 이득 조절을 수행하게 되므로 많은 시간 지연이 발생한다. 또한 프리앰블의 길이가 충분히 긴 경우에도 이득 조절은 한 번밖에 수행되지 못하므로 그 효율성이 매우 떨어지게 된다.

3. OFDM 시스템에서 제안된 AGC 알고리즘

본 논문에서는 OFDM 시스템에서 사용되는 새로운 AGC 알고리즘을 제안한다. 본 논문에서 제안된 방식은 반복적으로 일정한 시간의 프리앰블 구간과 데이터 구간을 갖는 패킷 전송 방식의 OFDM 시스템에서 많은 샘플수를 갖는 비교적 긴 길이의 프리앰블을 이용하는 방식이다. 제안된 방식에서는 디지털 수신 신호를 일정한 구간으로 분할하고 분할된 구간에 대해 이득 조절을 수행

하여 하나의 프리앰블에서 여러 차례 이득 조절을 가능하게 하는 방식이다. 이에 따라 빠른 시간 내에 ADC 입력단에 가장 적합한 전력 레벨을 유지하는 결과를 얻을 수 있다. OFDM을 이용하는 무선 통신 시스템을 위해 제안된 AGC가 그림 3에 나타나 있다. 그림 3에 나타난 AGC는 그림 2의 기존의 AGC에 추가적으로 심벌 동기 신호 발생기가 더해진 형태이다. 심벌 동기 신호 발생기의 역할은 ADC의 출력을 입력받아 프리앰블의 상관값을 검사하여 디지털 수신 신호의 시작과 끝을 알아내는 일이다.

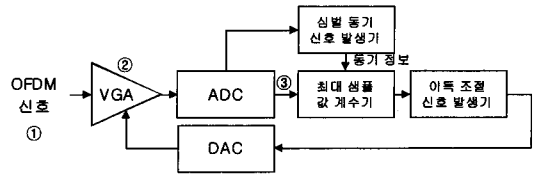


그림 3. 제안된 AGC의 구성도

그림 4는 그림 3의 각 구성 요소의 기능을 설명함과 동시에 본 논문에 따른 AGC의 처리 흐름을 나타낸다. 그림 4에 나타난 것처럼 수신기에서는 초기에 VGA의 이득은 최대로 설정된다. 이에 따라 이득이 적용된 VGA를 통해 이득이 조절된다. 이득이 조절된 신호가 ADC를 통해 디지털 수신 신호로 변환되고 디지털 수신 신호로 변환된 ADC 출력 신호가 최대 샘플 값 계수기와 심벌 동기 신호 발생기로 입력된다. 최대 샘플 값 계수기는 후에 설명할 3가지 방법 중 하나의 방법으로 비교기의 윈도우(UWB에서와 같이 128 샘플 길이의 프리앰블에서 윈도우

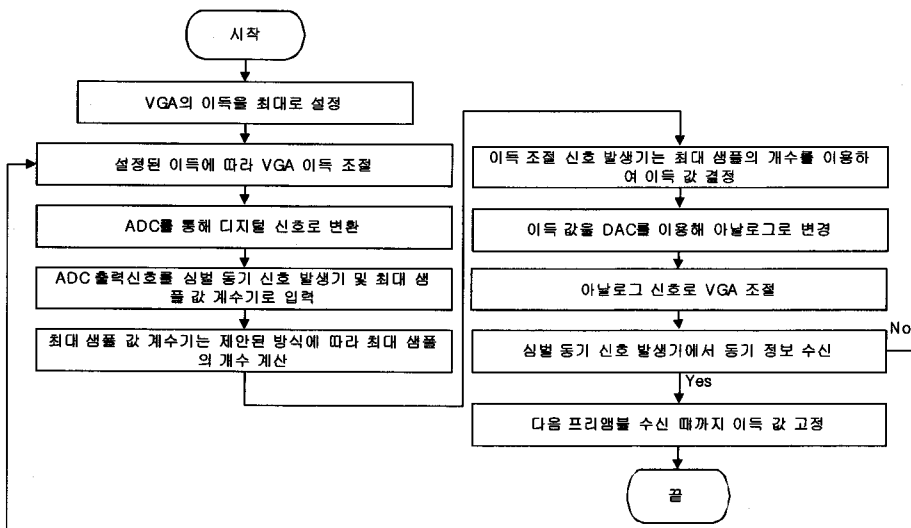


그림 4. AGC의 절차를 나타낸 흐름도

우 길이는 32로 잡았다고 가정)만큼의 샘플에서 최대 샘플의 개수를 계산한다. 이 동작이 진행됨과 동시에 심벌 동기 신호 발생기에서는 상관을 이용하여 동기 정보를 추출하고 있다. 이득 조절 신호 발생기는 최대 샘플 값 계수기에서 계산된 최대 샘플의 개수를 이용하여 조절된 이득 조절 값을 이득 조절 테이블을 이용해 결정한다. 이득 조절 신호 발생기에서 결정된 이득 조절 값을 DAC를 통해 아날로그 신호로 변경한 후 변경된 아날로그 신호를 이용해 VGA의 이득을 조절한다. 심벌 동기 신호 발생기에서는 상관 값 계산을 통해 디지털 수신 신호의 시작과 끝점을 알아내고 알아낸 동기 정보를 최대 샘플 값 계수기에 전달한다. 최대 샘플 값 계수기에서는 심벌 동기 신호 발생기에서 동기정보가 전달되면 디지털 수신 신호의 끝을 알아내어 다음 프리앰블이 수신될 때까지 이득 조절을 중지하고 다음 프리앰블을 기다린다. 위와 같이 분할된 프리앰블 방식을 이용하면 한 프리앰블에 최대 4번(프리앰블 길이 : 128, 윈도우 길이 : 32)의 AGC 루프 실행이 가능하기 때문에 보다 빠르게 AGC를 수행할 수 있다는 장점이 있다.

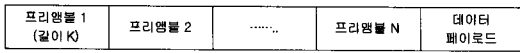


그림 5. 패킷의 구조

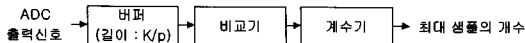


그림 6. 최대 샘플 값 계수기 내부 구조도

고속 패킷 전송을 위하여 K 개의 샘플 수를 갖는 긴 길이의 프리앰블을 N 번 반복적으로 사용하는 OFDM 시스템의 패킷구조가 그림 5에 나타나 있다. 그림 5의 프리앰블을 사용하는 AGC는 하나의 프리앰블 구간을 p 개의 일정한 구간으로 분할하여 이득 조절을 수행하기 때문에 하나의 프리앰블 구간 동안 최대 p 번의 이득 조절을 수행할 수 있다. 이때 분할된 구간의 길이는 K/p 가 된다.

초기의 VGA의 이득은 최대 이득인 G_0 로 설정되고 신호를 수신한다. 최대 이득으로 증폭되어 들어오는 신호는 ADC를 거쳐 최대 샘플 값 계수기에 입력된다. 최대 샘플 값 계수기의 내부 구조는 그림 6과 같다. 최대 샘플 값 계수기는 하나의 프리앰블을 적절한 길이를 갖는 p 개의 부분으로 나누어 이득 조절을 수행한다. 최대 샘플의 개수를 계산하기 위해 ADC 출력 신호가 입력되면 K/p 만큼의 길이를 갖는 버퍼에 ADC 출력 신호를 저장한다. 버퍼에 ADC 출력 신호가 모두 저장되면 비교기에서는 저장된 신호의 ADC 레벨의 최대치 여부를 판단한다. 계수기

는 비교기에서 판단된 결과를 모두 더하여 최대 샘플의 개수를 계산하여 이득 조절 신호 발생기에 전달한다. 이득 조절 신호 발생기는 전달된 최대 샘플의 개수를 검사하여 메모리에 저장된 이득 조절 테이블에 따라 이득 조절 값을 결정하고 결정된 이득 조절 값을 DAC에 전달한다. VGA는 수신된 이득 조절 신호를 이용하여 증폭기의 이득을 G_1 로 조절한다. 가변 이득 조절 값을 G_{CONT} 라고 하면 조절된 증폭기의 이득은 아래의 식과 같이 얻을 수 있다.

$$G_1 = G_0 + G_{CONT} \quad (1)$$

위와 같은 과정을 수행하면 K 의 길이를 갖는 프리앰블에 대해 p 번의 최대 샘플의 개수 계산과 이득 조절이 가능하지만 K/p 길이의 신호에 대해 최대 샘플의 개수를 계산하고 이득 조절을 수행하는 동안 발생하는 시간지연으로 인해 프리앰블의 나머지 부분이 조절되기 전의 이득으로 수신되어 정확한 이득 조절에 어려움이 생기는 단점이 발생한다.

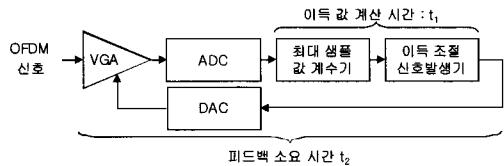


그림 7. 시간 지연의 원인

그림 7은 위와 같은 문제점이 발생하는 시간 지연의 원인을 나타낸 그림이다. 그림 7에서와 같이 최대 샘플의 개수를 계산하고 이득 조절 값을 결정하는 동안의 지연 시간 t_1 과 결정된 이득 조절 값을 DAC를 거쳐 피드백해 주고 VGA를 조절하는 동안의 지연시간 t_2 가 이득 조절에 영향을 주어 최종적으로는 $t_1 + t_2$ 에 해당하는 시간동안 프리앰블의 나머지 부분에 조절 전의 이득 조절 값이 적용되어 수신된다. 이때 지연 시간동안 수신되는 샘플을 이전 이득 샘플이라고 하면, 이전 이득 샘플은 최대 샘플의 개수 계산시 이전의 이득 값이 적용되어 수신되므로 문제를 초래한다.

그림 8은 $p=4$ 인 경우의 이전 이득 샘플에 의해 발생하는 문제를 나타내었다. 4단 블록의 각 부분은 최대 샘플의 개수가 계산되고 그에 따른 이득 조절이 수행되는 프리앰블 길이의 1/4에 해당하는 부분을 나타낸다. 처음 신호가 VGA의 최대값인 G_0 로 수신되면 최대 샘플 값 계수기는 $K/4$ 범위의 버퍼를 이용해 신호를 저장하고 위

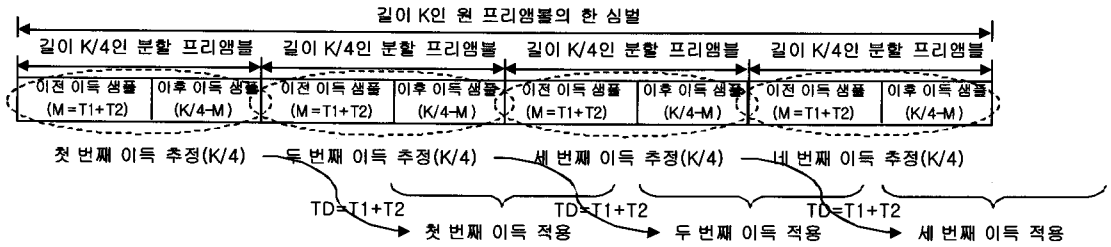


그림 8. $p=4$ 인 경우의 이전 이득 샘플에 의해 발생하는 문제점

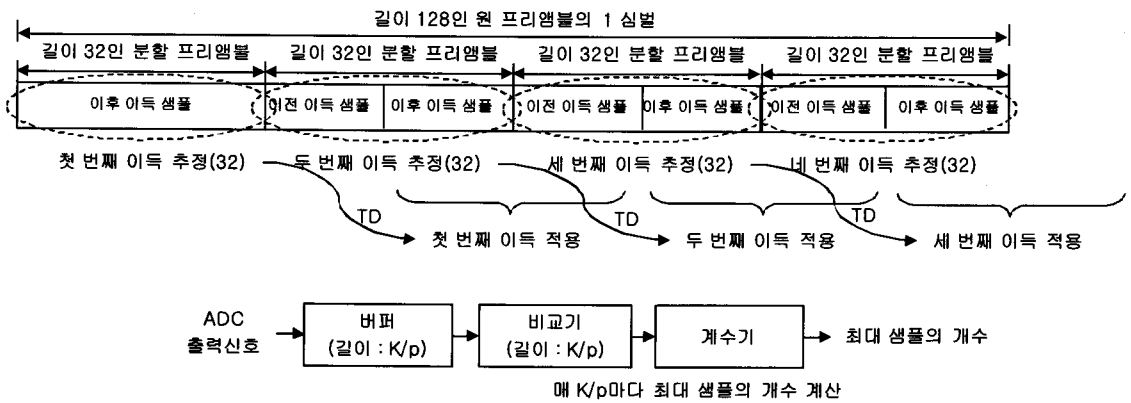


그림 9. 첫 번째 이득 조절 방법

와 같은 일련의 과정을 거쳐 VGA를 조절한다. 이렇게 이득 조절을 수행하는 동안 길이 M 만큼의 이전 이득 샘플이 발생하게 되고 M 개의 이전 이득 샘플이 수신된 후에야 비로소 첫 번째 과정을 거쳐 이득 조절이 적용된 이후 이득 샘플이 수신된다. 이러한 과정을 거쳐 VGA가 조절될 때 이전 이득 샘플이 이득을 조절하는 동안 잔존하여 정확한 AGC의 수행을 어렵게 한다. 이러한 문제를 해결하기 위해 본 논문에서는 세 가지의 최대 샘플의 개수 계산 및 AGC 방법을 제안한다.

3.1 첫 번째 이득 조절 방법

그림 9는 첫 번째 이득 조절 방법과 이에 대한 최대 샘플 값 계수기 (최대 샘플 값 계수기 I)의 구조를 나타낸 것이다. 그림 9에서와 같이 최대 샘플 값 계수기 I는 K/p 의 버퍼에 있는 모든 샘플을 비교하여 최대 샘플의 개수를 계산한 것이다. 이와 같은 최대 샘플 값 계수기 I는 수신기의 하드웨어 성능이 충분히 빠른 경우에 매우 용이하다. 이전 이득 샘플이 잔존하여도 이후 이득 샘플이 길이가 이전 이득 샘플의 길이보다 충분히 클 경우 이전 이득 샘플의 영향이 매우 미미하여 전체적인 이득 조절에

거의 영향을 주지 않기 때문이다. 이렇게 되면 이득 조절 구간동안 많은 수의 샘플을 이용하여 이득 조절을 수행할 수 있으므로 빠른 시간 내에 적절한 레벨로 이득이 조절될 수 있다. 또한 수신기의 하드웨어 성능이 빠르지 않아 비교적 많은 수의 이전 이득 샘플이 존재하는 경우에도 일정 구간 후에는 이득이 적절한 레벨로 고정될 수 있는 장점이 있다.

3.2 두 번째 이득 조절 방법

그림 10은 두 번째 이득 조절 방법과 이에 대한 최대 샘플 값 계수기 (최대 샘플 값 계수기 II)의 구조를 나타낸 것이다. 그림 10에서와 같이 최대 샘플 값 계수기 II는 K/p 의 버퍼의 절반의 범위에 해당하는 $(K/p)/2$ 의 범위 안에 있는 샘플을 비교하여 최대 샘플의 개수를 계산한다. 이와 같은 최대 샘플 값 계수기 II는 수신기의 하드웨어 성능이 충분히 빠르지 않은 경우에도 가장 일반적으로 사용할 수 있는 방법이다. 이와 같은 방법을 사용하면 프리앰블을 적절한 길이로 나누는 p 를 선택하여 비교 영역 내에 이전 이득 샘플의 영향을 완전히 제거할 수 있으며, 앞서 말한 것과 같이 약간의 이득 샘플이 존재하여도

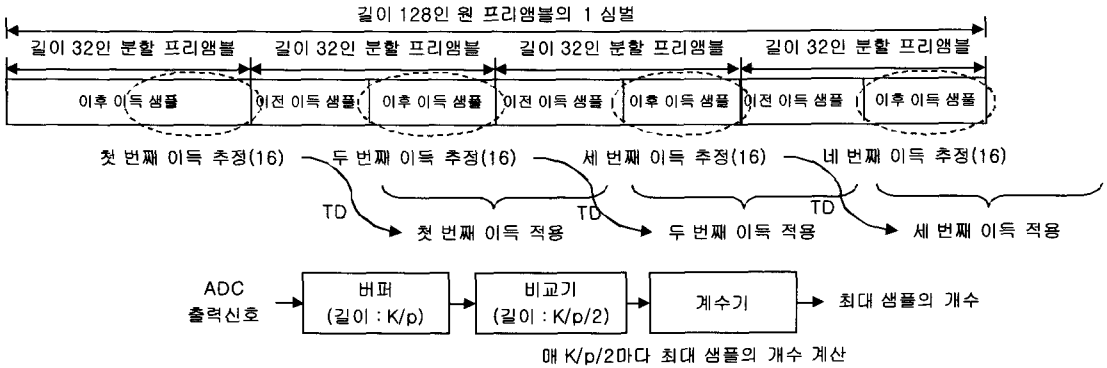


그림 10. 두 번째 이득 조절 방법

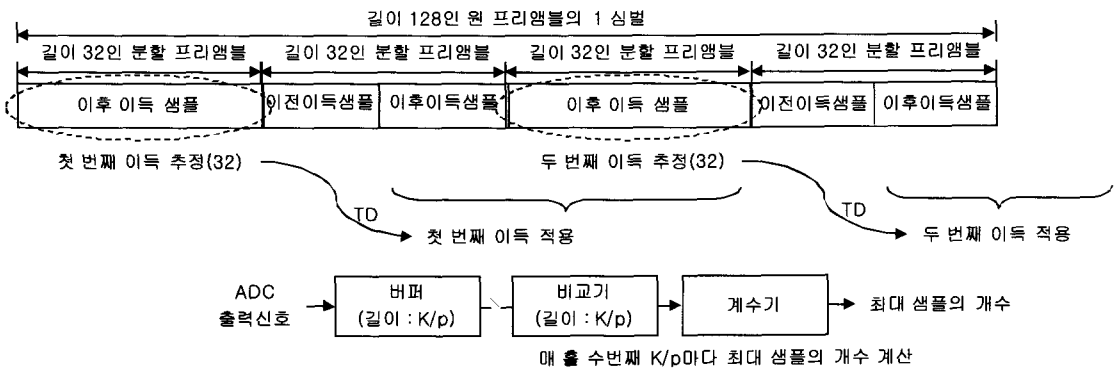


그림 11. 세 번째 이득 조절 방법

이후 이득 샘플이 길이가 이전 이득 샘플의 길이보다 충분히 클 경우 이전 이득 샘플의 영향이 매우 미미하여 전체적인 이득 조절에 거의 영향을 주지 않아 효과적으로 이득 조절을 수행할 수 있다.

3.3 세 번째 이득 조절 방법

그림 11은 세 번째 이득 조절 방법과 이에 대한 최대 샘플 값 계수기 (최대 샘플 값 계수기 III)의 구조를 나타낸 것이다. 그림 11에서와 같이 최대 샘플 값 계수기 III의 버퍼와 비교기는 스위치로 연결되어 있다. 세 번째 이득 조절 방법은 위 두 가지의 방법과 달리 하나의 프리앰블에 대해 두 번의 이득 조절을 수행한다. 4개의 프리앰블 부분에 대해 두 번만 이득 조절을 수행할 경우 홀수

번째 분할된 프리앰블 부분에는 이전 이득 샘플이 없는 이후 이득 샘플 부분 존재한다. 이것을 바탕으로 그림 11의 스위치는 분할된 프리앰블의 홀수 번째 부분에서만 연결되어 최대 샘플의 개수를 계산하게 된다. 세 번째 방법을 사용하면 이전 이득 샘플의 영향을 완벽하게 피할 수 있어 하드웨어의 성능에 관계없이 사용할 수 있다.

4. 실험 결과 및 토의

본 절에서는 제안된 AGC 알고리즘들을 실험을 통하여 검증하도록 한다. 앞으로 설명될 모든 그림에 적용된 실험 환경은 표 1과 같다.

표 1. 실험환경

시스템	프리앰블 길이	분할 프리앰블의 길이	이전 이득 샘플의 수	AGC의 기준 레벨	채널 환경	신호 대 잡음비
UWB MB-OFDM	128	32	22	0.8	가산성 가우스 잡음	25dB

그림 12부터 14까지의 그림에서 x축은 디지털 수신 신호의 샘플 인덱스를 나타낸다. 아날로그 관점에서는 시간이라고 볼 수 있다. y축은 그림의 위치에 따라 다르다. 구체적인 내용은 아래와 같다.

첫째 단의 그림은 VGA 입력 데이터인 OFDM 신호를 나타내며 그림 3의 ① 부분에 해당되는 신호이다.

둘째 단의 그림은 VGA 이득 값을 나타내며 그림 3의 ② 부분에 해당되는 신호이다.

셋째 단의 그림은 ADC 출력 신호를 나타내며 그림 3의 ③ 부분에 해당되는 신호이다.

넷째 단의 그림은 프리앰블 구간을 나타낸다. 즉 홀수 번째 피크는 프리앰블의 시작을, 짝수 번째 피크는 프리앰블의 끝을 나타낸다.

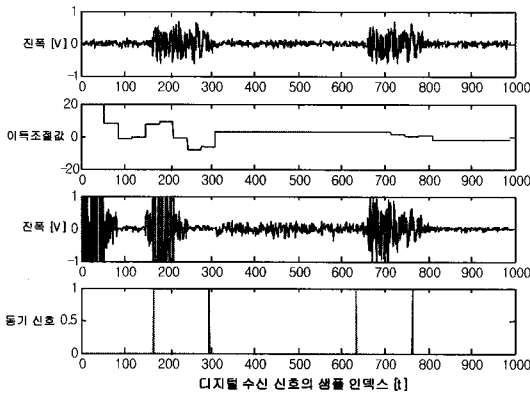


그림 12. 첫 번째 이득 조절 방법의 결과

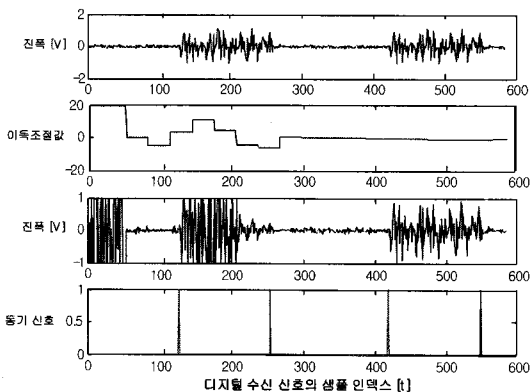


그림 13. 두 번째 이득 조절 방법의 결과

그림 12는 첫 번째 이득 조절 방법을 이용하여 전체 32개의 프리앰블 모두를 이용하여 (이전 이득 샘플 22개 포함) AGC 수행한 경우의 결과를 보여주고 있다. 신호가

줄어들지만 이전 이득 샘플의 영향 때문에 크기가 심하게 줄어들어 적당한 크기로 수렴하는 것이 어려움을 보여주고 있다.

그림 13은 두 번째 이득 조절 방법을 이용하여 전체 32개의 프리앰블 중 뒤의 16개를 이용하여 (이전 이득 샘플 6개 포함) AGC 수행한 경우의 결과를 보여주고 있다. 첫 번째 프리앰블에서는 이전 이득 샘플의 영향 때문에 신호가 크게 줄어드는 현상이 발견되지만 두 번째 프리앰블에서는 신호의 크기가 어느 정도 수렴하여 설정된 기준 레벨인 0.8에 가까워짐을 확인할 수 있다.

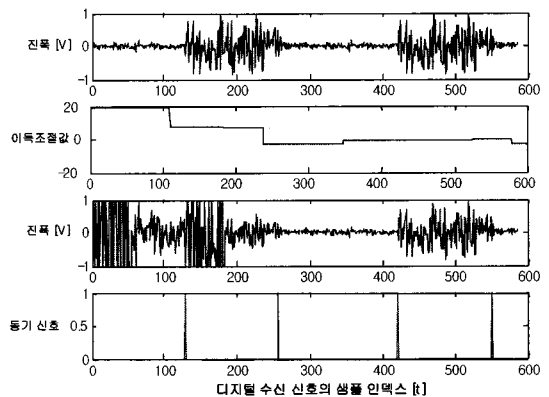


그림 14. 세 번째 이득 조절 방법의 결과

그림 14는 세 번째 이득 조절 방법을 이용하여 이전 이득 샘플을 완전히 제외하고 AGC수행한 경우의 결과를 보여주고 있다. 그림에서 볼 수 있는 바와 같이 한 프리앰블동안 두 번만 AGC가 수행되지만 두 번째 프리앰블에서는 신호의 크기가 어느 정도 수렴하여 설정된 기준 레벨인 0.8에 가까워짐을 확인할 수 있으므로 매우 안정적이지만 수렴속도가 낮아 질수 있는 가능성이 있다.

5. 결론

본 논문에서는 시스템 구현에 직접적으로 사용될 수 있는 OFDM 시스템을 위한 여러 가지 AGC 알고리즘을 제안하였다. 본 논문에서는 고속 패킷 전송을 위하여 비교적 많은 디지털 수신 신호 샘플 수를 갖고 긴 길이의 프리앰블을 반복적으로 사용하는 UWB와 같은 OFDM 시스템을 가정하였다. 이러한 OFDM 시스템에서 프리앰블 신호를 ADC를 통해 디지털화 한 후 최대 샘플 값 계수기내의 버퍼의 길이만큼 디지털 신호를 저장하고 버퍼에 저장된 디지털 신호 중 최대 샘플의 개수를 카운트 하

여 이득 조절 신호 발생기에 저장된 이득 조절 테이블에 따라 이득 조절을 수행하여 ADC 입력단의 전력 레벨을 자동으로 조절하는 방식을 제안하였다. 제안된 시스템의 장점은 하드웨어의 성능에 따라 적절한 최대 샘플 값 계수를 선택하여 기존의 이득 조절 방식에 비해 빠르게 적절한 수준으로 전력 레벨을 조절 할 수 있다는 것이다.

참고문헌

- [1] 장영범, 박규식, 홍대기, “초고속 통신용 UWB 모뎀 IP 설계,” SoC 산업 진흥센터 IT-SoC아카데미, 2007년 하계 설계특론, 2007년 7월
- [2] IEEE 802.11 Standard, "Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications," 2007
- [3] IEEE 802.11a Standard, "Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications : High-Speed Physical Layer in the 5 GHZ Band," 1999
- [4] IEEE 802.11p Standard, "Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications : Wireless Access in Vehicle Environment (WAVE)," 2005
- [5] MultiBand OFDM Alliance (MBOA) Special Interest Group (SIG)/WiMedia Alliance, Inc. (WiMedia), "Multiband OFDM Physical Layer Specification Release 1.1," 2005
- [6] 강성진, 조진웅, 김용성, 홍대기, 김선희, 김도훈, “자동 이득 제어 장치 및 방법 및 이를 이용한 디지털 통신 시스템,” 대한민국등록특허, 출원번호 10-2005-0133766, 2005년 12월 29일
- [7] <http://ieee802.org>
- [8] <http://www.itfind.or.kr>
- [9] 강성진, 조진웅, 김용성, 홍대기, 김선희, 김도훈, “직교주파수분할 다중화방식을 사용하는 무선 통신 시스템의 자동 이득 조절 장치 및 그 방법,” 대한민국출원특허, 2006년 12월 12일

홍대기(Dae-Ki Hong)

[종신회원]



- 1997년 2월 : 광운대학교 컴퓨터 공학과 (공학사)
- 1999년 2월 : 연세대학교 전자공학과 (공학석사)
- 2003년 2월 : 연세대학교 전기전자공학과(공학박사)
- 2002년 1월 ~ 2006년 8월 : 전자부품연구원 선임연구원
- 2006년 9월 ~ 현재 : 상명대학교 정보통신공학과 전임 강사

<관심분야>

무선통신, 정보통신, 이동통신, 무선 LAN/PAN