

ICP-CVD 비정질 실리콘에 형성된 처리온도에 따른 저온 니켈실리사이드의 물성 변화

김종률^{1*}, 최용윤¹, 박종성¹, 송오성¹

Property of Nickel Silicides on ICP-CVD Amorphous Silicon with Silicidation Temperature

Jongryul Kim^{1*}, Youngyoun Choi¹, Jongsung Park¹ and Ohsung Song¹

요약 ICP-CVD(inductively-coupled plasma chemical vapor deposition)를 사용하여 250℃기판온도에서 140 nm 두께의 수소화된 비정질 실리콘(a-Si:H)을 제조하였다. 그 위에 30 nm-Ni를 열증착기를 이용하여 성막하고, 200~500℃ 사이에서 50℃간격으로 30분간 진공열처리하여 실리사이드화 처리하였다. 완성된 실리사이드의 처리온도에 따른 실리사이드의 면저항값 변화, 미세구조, 상 분석, 표면조도 변화를 각각 사점면저항측정기, HRXRD(high resolution X-ray diffraction), FE-SEM(field emission scanning electron microscope), TEM(transmission electron microscope), SPM(scanning probe microscope)을 활용하여 확인하였다. 300℃에는 고저항상인 Ni₃Si, 400℃에서는 중저항상인 Ni₂Si, 450℃이상에서 저저항의 나노급 두께의 균일한 NiSi를 확인되었다. SPM결과에서 저저항 상인 NiSi는 450℃에서 RMS(root mean square) 표면조도 값도 12 nm이하로 전체 공정온도를 450℃까지 낮추어 유리나 폴리머기판 등 저온기판에 대응하는 저온 니켈모노실리사이드 공정이 가능하였다.

Abstract We fabricated hydrogenated amorphous silicon(a-Si:H) 140 nm thick film on a 180 nm-SiO₂/Si substrate with an inductively-coupled plasma chemical vapor deposition(ICP-CVD) equipment at 250℃. Moreover, 30 nm-Ni film was deposited with a thermal-evaporator sequentially. Then the film stack was annealed to induce silicides by a rapid thermal annealer(RTA) at 200~500℃ in every 50℃ for 30 minutes. We employed a four-point tester, high resolution X-ray diffraction(HRXRD), field emission scanning electron microscope(FE-SEM), transmission electron microscope(TEM), and scanning probe microscope(SPM) in order to examine the sheet resistance, phase transformation, in-plane microstructure, cross-sectional microstructure evolution, and surface roughness, respectively. We confirmed that nano-thick high resistive Ni₃Si, mid-resistive Ni₂Si, and low resistive NiSi phases were stable at the temperature of <300, 350~450℃, and >450℃, respectively. Through SPM analysis, we confirmed the surface roughness of nickel silicide was below 12 nm, which implied that it was superior over employing the glass and polymer substrates.

Key Words : Low temperature process, nickel silicide, flextronics, nano-thick TFT, hydrogenated amorphous silicon(a-Si:H)

1. 서론

전자기기의 소형화 및 고밀도화에 따라 정보단말기의 휴대성, 내구성, 착용성을 개선하고, 경량화와 저가격화를

도모하기 위하여 디스플레이 산업에서는 PDP(plasma display panel), LCD(liquid crystal display), OLED(organic light-emitting diode) 등의 평판디스플레이 기술이 개발되어 왔다.

또한 전자종이(electrophoretic display)와 3차원 디스플레이, 플렉스블(flexible) 디스플레이가 차세대 디스플레이의 중요한 과제로 연구가 진행되고 있으며, 특히 TFT(thin film transistor) 구동회로소자가 있는 AMOLED(active matrix OLED)와 TFT-LCD의 backplane

본 논문은 2007년도 정부(과학기술부)의 재원으로 한국 과학재단의 지원을 받아 수행된 연구임 (No. R01-2007-000-20468-0).

¹서울시립대학교 신소재공학부(석사과정)

*교신저자: 김종률(sng1211@uos.ac.kr)

을 폴리머기판(플라스틱)과 250 μm 이하의 유리기판을 이용한 플렉시블 디스플레이 개발 및 연구도 활발히 진행되고 있다 [1~4].

이러한 플렉시블 디스플레이의 구현을 위해서는 기판의 내구성에 영향을 미치지 않도록 폴리머기판은 250 $^{\circ}\text{C}$ 이하, 유리기판은 500 $^{\circ}\text{C}$ 이하에서 소자가 제작되는 저온 단위공정의 개발이 필수적이다.

저온 단위공정 중에 있어서 폴리머나 유리기판 위에 비정질 실리콘(a-Si : amorphous silicon)을 저온으로 증착하는 기술이 중요하다. 비정질 실리콘은 주로 TFT소자와 금속 배선층이 제작되는 활성영역층(active layer)으로 사용되며 전자의 이동도가 0.5~1 cm^2/Vs 로 제조공정이 단순하고 디스플레이의 대면적화에 유리하다 [3,5].

a-Si를 제조할 수 있는 방법은 여러 가지가 있으나 물리적 증착 방법인 RF 스퍼터나 e-beam에 의해 제작된 비정질 실리콘은 결합밀도가 높아 TFT 소자의 구동이 어려워져서 화학증착방법인 PECVD(plasma enhanced chemical vapor deposition)가 주로 사용되어 왔다. PECVD로 증착을 하면 a-Si에 10~20 at. % 정도의 수소가 포함되어 수소화된 비정질 실리콘(a-Si:H : hydrogenated amorphous Si)이 되어 결합밀도를 $10^{15} \text{ cm}^{-3} \text{ eV}^{-1}$ 감소시킬 수 있는 장점을 가지고 있으나, 공정시 기판의 온도가 250~350 $^{\circ}\text{C}$ 에서 증착하며 플라즈마 밀도가 낮아서 비정질 실리콘의 증착속도가 초당 1 \AA 미만이라는 큰 단점을 가지고 있다 [6].

최근 들어 PECVD보다 낮은 기판온도인 200 $^{\circ}\text{C}$ 이하에서 증착이 가능하고 높은 플라즈마 밀도(10^{12} cm^{-3})를 가져 a-Si:H의 증착속도가 우수한 ICP(inductively coupled plasma)-CVD를 이용한 증착기술이 연구가 진행되고 있다. Kim 등[7]의 보고에 따르면 ICP-CVD를 이용하여 a-Si:H 제작에 필요한 기판온도, 챔버 내부의 압력, SiH_4 : H_2 의 유량비, 파워, 플라즈마와 기판홀더의 거리를 각각 250 $^{\circ}\text{C}$, 1 : 8 sccm, 30 mTorr, 80W, 10 cm를 유지하여 기존 PECVD와 같은 a-Si:H의 특성을 가짐을 보고한바 있다. 이러한 배경에서 BMR Technology사의 ICP-CVD를 활용하여 250 $^{\circ}\text{C}$ 에서 140 nm두께의 균일한 나노급 두께의 a-Si:H을 성막하는 공정을 개발하고자 시도하였다.

한편 완성된 a-Si:H을 이용하여 상부에 Ni를 증착하고 저온 열처리를 통하여 니켈모노실리사이드를 형성시키면, TFT의 활성층 영역과 금속층간의 ohmic contact 유지하고 실리사이드층 자체를 투명한 나노급 배선층으로 활용하며, 메탈 콘택 에치(metal contact etch)시 stopping layer로서의 역할로 활용하는 것이 가능하다 [8-9].

실리사이드는 최근 반도체소자의 고집적화에 따른 소자선폭이 수 나노미터가 되면서 반도체 제조공정에서 매

우 보편적인 단위공정으로 자리 잡고 있다. 이러한 실리사이드 물질은 살리사이드(salicide : self-aligned silicide) 공정으로 구현이 된다. 살리사이드는 말 그대로 마스크 없이 자체적으로 실리사이드가 위치하게 하는 공정으로 게이트 양쪽에 스페이서를 형성시킨 후 기판 전면에 전이금속을 성막시켜 열처리하여 원하는 게이트와 소오스/드레인의 상부에 실리사이드화 시키고 잔류금속을 제거하는 공정으로 대부분의 게이트 최소선폭 0.25 μm 이하의 CMOS(complementary metal-oxide semiconductor) 공정에 채택되고 있다. 여러 실리사이드 재료 중, 특히 니켈실리사이드는 이미 반도체 CMOS공정을 통하여 450 $^{\circ}\text{C}$ 까지 저온 NiSi로 채용하는 것이 가능하며 나노급 두께의 박막상태 또는 Ru원소의 삽입층이 있으면 350 $^{\circ}\text{C}$ 의 저온 패속열처리(RTA : rapid thermal annealing)에서도 NiSi가 형성되는 것으로 보고된 바 있다 [10-11]. 그러므로 저온에서 30분 열처리시간에 실리사이드화를 하여 유리나 플라스틱 기판의 디스플레이용 소재로써 활용이 가능하다.

따라서 본 연구에서는 ICP-CVD를 활용하여 250 $^{\circ}\text{C}$ 에서 140 nm두께의 a-Si:H을 균일하게 형성하는 공정을 확보하고, 여기에 30 nm 두께의 Ni를 증착하여 진공 패속 열처리를 이용하여 30분간 온도를 달리하며 실리사이드화 처리하였다. 이때 실리사이드화 열처리 온도에 따른 전기저항과 미세구조의 변화를 확인하여 나노급 니켈실리사이드의 저온공정 가능성을 알아보았다.

2. 실험방법

직경 100 mm 유리기판과 직경 100 mm, 두께 550 μm 의 p-type(100) 단결정실리콘 웨이퍼로서 세척을 마친 기판 전면에 열산화막을 성막시켜 기판 위에 a-Si:H을 제조하였다. BMR Technology사의 ICP-CVD를 채택하여 a-Si의 최적 두께를 얻기 위해서 기판온도를 250 $^{\circ}\text{C}$, H_2 와 SiH_4 의 유량비를 10~20, 5~10 sccm으로 각각 변화시키고 챔버 내부 압력을 20~80 mT, 파워를 500~1500 W로 변화시키면서 증착률을 결정하였다. 여러 가지 공정조건 중에서 기판온도 250 $^{\circ}\text{C}$, H_2 : SiH_4 = 20 : 5 sccm, 20 mT, 1500 W 조건에서 2.58 $\text{\AA}/\text{sec}$ 의 증착율을 얻을 수 있었으며, 이 공정조건으로 살리사이드 공정을 위한 그림 1(a)와 같이 140 nm 두께의 a-Si:H을 유리기판과 180 nm SiO_2 가 성막된 단결정 실리콘 기판에 제조하였다.

a-Si의 상을 확인하기 위해서 Micro-Raman Spectrometer(Jobin Yuon사 Lab Ram HR model)을 사용하여 박막 표면에 Laser 초점을 맞추고 632.817nm의 레이저가 시료에 입사하여 반사되어 나올 때의 에너지 손실

을 측정하는 것으로 $400 \sim 650 \text{ cm}^{-1}$ 까지 측정하였다 [16]. 마이크로 라만을 사용하여 통상의 단결정 라만 피크가 521 cm^{-1} 인에 비해서 ICP-CVD로 만들어진 실리콘은 481 cm^{-1} 을 보이는 비정질임을 확인하였다.

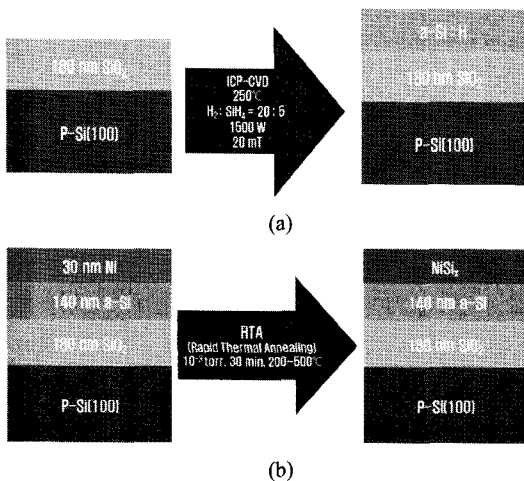
증착율을 확인하기 위한 a-Si:H 층의 두께는 DHF 용액(HF : D · I water = 1 : 10)에 10초간 침지시켜 SiO₂ 층을 선택적으로 식각하여 수직단면을 Hitachi사의 FE-SEM(field emission scanning electron microscopy)을 15 kV 가속전압을 사용하여 배율 ×180000에서 관찰하였다. 동일한 방법으로 여러 공정조건에서 만들어진 a-Si:H 두께를 측정하여, 최종적으로 140 nm 두께의 a-Si:H이 성막 되도록 ICP-CVD의 공정시간을 조절하여 완성하였다.

본 실험에서는 180 nm의 열산화막을 성막된 기판에 위에 9분간 증착을 실시하여 최종 140 nm의 a-Si:H 박막층을 형성하였고, a-Si:H 성막된 기판에 위에 자연 산화막을 제거하기 위해 각 시편은 증착 직전에 BOE(NH₄F : HF= 50 : 1) 용액을 이용하여 자연산화막을 완전히 제거한 후 Ni을 30 nm 두께로 열증착기(thermal evaporator)를 이용하여 연속적으로 증착시켜 그림 1(b)과 같이 최종적으로 30 nm-Ni/140 nm a-Si:H/180 nm-SiO₂/single-Si 구조의 시편을 준비하였다. 완성된 시편들은 10^{-3} torr의 진공에서 7쌍의 할로겐램프로 구성된 패속열처리기(RTA : rapid thermal annealing)를 활용하여 200~500 °C 사이에서 50 °C 간격으로 30분간 진공 열처리하여 실리콘사이드가 생성되도록 하였다. 열처리가 완료된 시편들은 잉여금속을 제거하기 위해서 80 °C에서 30%-황산(H₂SO₄)에 10분간 담가 처리하였다.

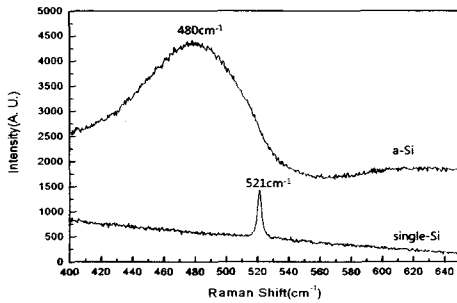
완성된 시편은 각 실리콘사이드화 온도별로 전기저항 변화를 확인하기 위해서 사점전기저항측정기(four point probe, Changmin사, CMT-SR1000N)를 이용하여 상하좌우 중심(TCBRL) 위치에서 면저항(Rs)을 측정하고 평균값으로 판단하였다. 생성된 상을 확인하기 위해서 고해상도 X-선 회절분석(HR-XRD, PANalytical사, X'pert-pro MPD)을 이용하였다. 시편 상부에 형성된 실리콘사이드 형상을 확인하기 위해서 FE-SEM을 이용하여 미세구조를 관찰하였다. 전처리 공정으로는 시편의 전도성을 좋게 하기 위해 표면에 Pt 코팅을 15 nm 두께로 실시 후 FE-SEM의 메인 챔버에 장입하여 15 kV가속전압을 사용하여 배율 ×50000에서 관찰하였다. TEM을 이용하여 박막의 두께와 실리콘사이드의 균질성 및 미세구조를 관찰하였다. 시편을 JEOL 200 kV 투과전자현미경에 장입하여 실리콘사이드 층을 명시야상(bright field image)으로 관찰하여 두께와 미세구조를 확인하였다. 실리콘사이드 공정에 따른 실리콘사이드층의 표면조도의 변화를 확인하기 위해 SPM(scanning probe microscope, PSIA XE-100)을 이용하여 $1 \times 1 \mu\text{m}^2$ 범위를 접촉방식(contact mode)으로 스캔하여 RMS(root mean square)를 측정함으로써 실리콘사이드 박막의 표면의 균일성을 정량화 하였다.

3. 실험결과 및 토의

그림 2에는 열산화막 있는 단결정 실리콘 기판 위에 ICP-CVD이용하여 기판온도 250 °C, H₂ : SiH₄ = 20 : 5 sccm, 20 mT, 1500 W, 9 분간 형성된 a-Si:H 층의 특성 피크를 마이크로 라만을 이용하여 나타내었다. 비교를 위하여 하부에는 p-type 단결정 실리콘 기판을 측정한 결과를 비교하여 나타내었다. 라만 스펙트럼을 이용하여 a-Si:H은 480 cm^{-1} 에서 폭이 넓은 피크(broadening peak)를 관찰할 수 있었다. H₂ 유량을 20 sccm 상태에서 공정한 a-Si에 수소의 함유량은 확실치는 않았다. 그러한 기존 Iqbal 등[13]이 보고에 따르면 a-Si은 480 cm^{-1} 에서 폭이 넓은 피크가 관찰된다는 보고와 동일한 피크가 관찰되어 a-Si 생성되었음을 확인할 수 있었다. 비교를 위해 측정 한 단결정 실리콘의 피크는 521 cm^{-1} 에서 특성피크를 관찰할 수 있었다 [12,13]. 따라서 본 실험에서는 a-Si:H 성공적으로 성막 되었음을 확인할 수 있었다.

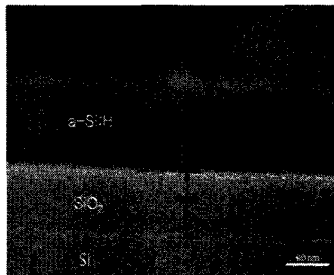


[그림 1] 시편 제작 모식도 ; (a) 비정질 실리콘 시편 제작, (b) 니켈실리사이드 시편 준비 공정.

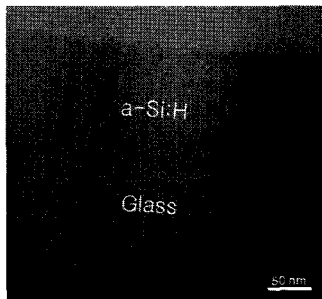


[그림 2] 수소화된 비정질 실리콘과 단결정 실리콘의 라만 스펙트럼 분석.

그림 3에는 a-Si:H 층의 수직단면을 FE-SEM과 TEM 이미지로 나타내었다. (a)는 그림 2와 동일한 시편으로 a-Si:H 층의 두께를 확인하기 위해서 DHF 용액(HF : DI water = 1 : 10)에 10초간 침지시켜 열산화막(SiO₂)층을 선택적으로 식각하여 155 nm의 두께를 갖는 a-Si:H 층을 확인하였다. 따라서 ICP-CVD를 이용하여 2.58 Å/sec 증착을 갖는 a-Si:H의 공정을 확보하였다. (b)는 (a)의 증착율을 이용하여 543초(= 9분)간 유리기판 위에 a-Si:H 을 제조한 TEM 수직단면 이미지이다. 유리기판 위에 정확 하게 140 nm의 a-Si:H 층이 형성된 것이 확인 되었으며, 저온에서 형성된 나노급 a-Si:H은 주상정형태를 관찰할 수 있었다.



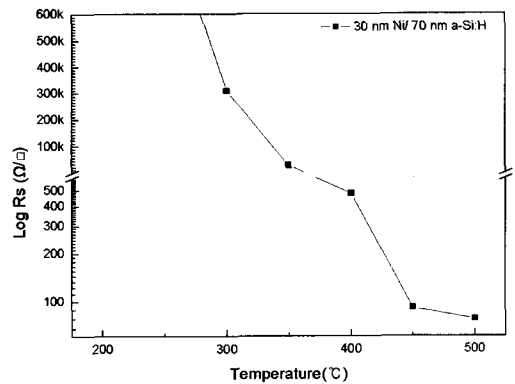
(a)



(b)

[그림 3] (a) a-Si:H/SiO₂/single-Si 구조의 SiO₂를 선택적 식각한 수직단면 FE-SEM 이미지 와 (b) 유리기판 위에 140 nm a-Si:H 의 수직단면 TEM 이미지.

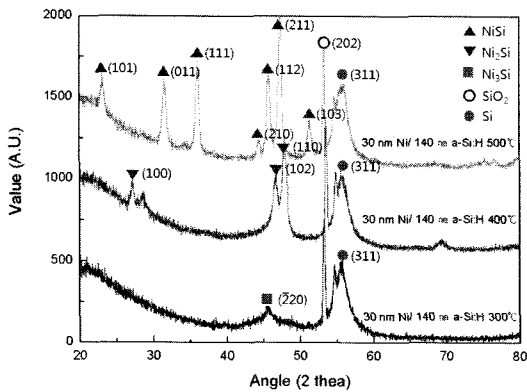
그림 4는 30 nm Ni/140 nm a-Si:H/180 nm SiO₂/Si 시편을 RTA로 200~500℃(50℃간격), 30분간 실리사이드화한 실리사이드층의 면저항값측정 결과를 나타내었다. 350℃이하에서는 Ni₃Si상으로 추정되는 고저항상이 생겼다고 판단되었으며, 400℃에서는 Ni₂Si상이 생겨 약 480 Ω/□의 증저항을 보이고, 450℃이상에서는 저저항인 NiSi상의 출현으로 90 Ω/□로 낮은 저항값을 보이는 특징이 있었다. 기존의 500 nm이상의 벌크두께의 단결정 실리콘 박막에서는 통상 200~350℃에서는 고저항상인 Ni₂Si상이 생성되며, 350~700℃에는 저저항상인 NiSi상이 생성되고, 700℃이상에서는 고저항상인 NiSi₂가 생성된다고 알려져 있다 [14,15]. 그러므로 나노급 a-Si:H은 기판으로 처리한 경우 각 상의 안정화 온도가 두꺼운 박막에 비해서 달랐으며 특히 350℃에서 Ni₃Si의 출현과 450℃로 NiSi 안정화 온도가 작아지는 차이점이 있었다. 이러한 두꺼운 NiSi 박막과의 차이는 비슷한 나노급 두께의 다결정 실리콘 기판으로부터 형성된 니켈실리사이드의 상안정화 구간을 보고한 Yoon의 연구 [8]와 일치하였다.



[그림 4] 70 nm a-Si:H/180 nm SiO₂/single-Si 위에 형성된 니켈실리사이드의 열처리온도에 따른 면저항값 변화.

그림 5는 각각 30 nm Ni/140 nm a-Si:H/180 nm SiO₂/Si 기판구조에서 300, 400, 500℃로 30분간 열처리한 경우의 니켈실리사이드 XRD 피크를 2θ=20~80° 범위에서 나타낸 결과물이다. 모든 처리온도에서 실리콘 기판에 나타나는 56°의 Si(311) 피크(●표시)와 53.5°의 SiO₂ 피크(○표시)가 공통으로 나타났다. 그래프 하단부에 나타난 300℃ 열처리한 경우는 Ni₃Si(220)상(■표시)이 관찰되었으며, 벌크 두께의 박막에서 측정된 Julies의 보고[14]와 다른 나노급 a-Si:H 기판에서 형성된 본 연구의 경우는 Ni₂Si상이 아닌 고저항의 Ni₃Si가 형성된 것으로 판단

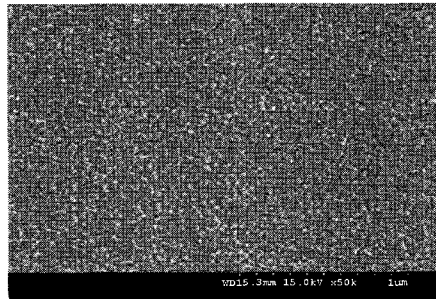
되었다. 400°C 열처리한 경우는 26.997°, 46.034°, 47.834°에서 각각 고저항상인 Ni₂Si의 주요 피크인 (100), (102), (110) 피크(▼ 표시)가 나타나서 Ni₂Si가 생성되었음을 확인하였다. 그래프 상단에 나타난 500°C 열처리한 경우는 저저항상인 NiSi상의 주요 피크(▲ 표시)인 31.669°(011), 45.837°(112), 47.331°(211)에 근거하여 NiSi상이 형성되었다고 판단할 수 있었다. 따라서 앞서 보인 그림 4의 면저항값 변화와 동일하게 HRXRD 분석을 통하여 300°C 이하에서는 Ni₃Si상, 350°C~400°C에는 Ni₂Si상, 450°C 이상에서는 저저항상인 NiSi가 각각 형성되는 것으로 확인되었다.



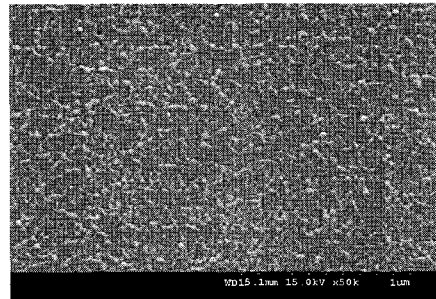
[그림 5] 140 nm a-Si/180 nm SiO₂/single-Si기판 위에 형성된 니켈실리사이드의 상분석; 30 nm Ni/140 nm a-Si:H /180 nm SiO₂/single-Si기판 구조에 30분 RTA 처리.

그림 6은 140 nm a-Si:H 위에 30 nm Ni이 증착된 시편을 300, 400, 500°C에서 30분간 실리콘처리 후 세정을 마친 니켈실리사이드를 상부에서 관찰한 FE-SEM 이미지 결과이다. (a)의 300°C에서 실리콘처리한 경우는 약 16 nm의 구형을 가진 구형응집상과 미로형의 미세상이 보였다. 구형의 응집상은 주변부보다 밝은 콘트라스트를 가지므로 전도성이 주변부보다 상대적으로 우수한 실리사이드라 판단되었으며, 이러한 응집상은 국부적으로 결정성이 우수한 실리사이드층의 핵이라고 판단되었다. (b)의 400°C로 열처리한 경우는 (a)의 경우와 비슷한 구형을 가진 구형응집상과 미로형의 미세상이 보였다. 구형응집상의 크기는 약 25 nm이며, (a)보다 구형응집상이 크기가 컸으며 상대적으로 더 많은 구형응집상을 볼 수 있었다. 미로형 미세상도 (a)보다 더욱 뚜렷하게 발달한 것으로 보였다. (c)의 500°C로 열처리한 경우는 (b)의 경우와 같은 구형응집상과 미로형 미세상을 보이나 (b)보다 주기가 작아지고 폭이 더 커진 것을 확인하였다. 이는

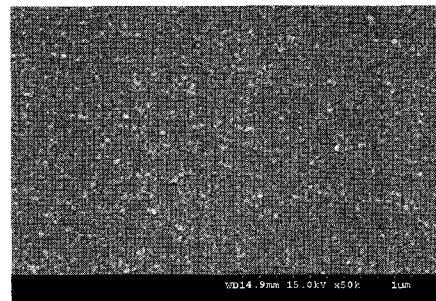
앞서 보인 HRXRD 분석에서와 같이 NiSi가 생성되면서 상대적으로 실리사이드 반응에 따른 부피변화가 작아서 안정한 표면을 갖기 때문이라고 판단되었다.



(a)



(b)

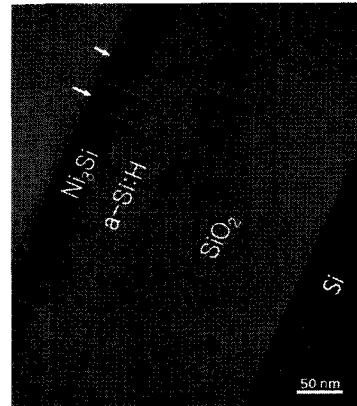


(c)

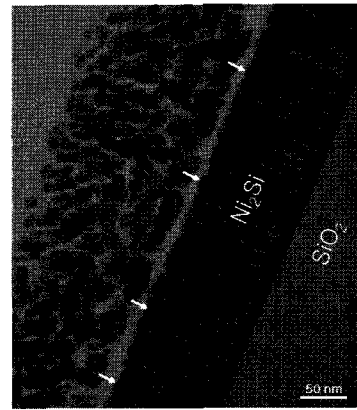
[그림 6] 140 nm a-Si/180 nm SiO₂/single-Si 위에 형성된 니켈실리사이드의 FE-SEM 이미지; (a) 140 nm a-Si:H /180 nm SiO₂/Si기판, 300°C 처리, (b) 140 nm a-Si:H /180 nm SiO₂/Si기판, 400°C 처리 (c) 140 nm a-Si:H / 140 nm SiO₂/Si기판, 500°C 처리.

그림 7은 그림 6에서 확인한 140 nm 두께의 a-Si:H 위에 형성된 동일한 니켈실리사이드의 수직단면 TEM 이미지를 나타내었다. (a)의 300°C의 TEM 수직 단면은 SiO₂층 위에서 있는 주상정형태의 a-Si:H와 실리사이드의 총 두께는 120 nm를 보이고 실리사이드의 두께는 40 nm를 보이고 있었으며, 열처리 전 140 nm a-Si:H 이었던 것이 실리사이드화 되면서 두께가 약 20 nm가 감소하였다. 또

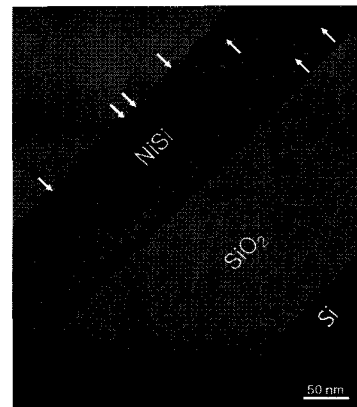
한 TEM 이미지에서 실리사이드 층의 내부에 화살표로 표시한 직경 10 nm 와 16 nm의 검은 콘트라스트를 보이는 실리사이드를 관찰할 수 있었다. Ni, Al을 금속 시드 층을 이용하여 a-Si을 다결정 실리콘(poly crystalline silicon)으로 재결정화하는 금속 유도 재결정(MIC : metal induced crystallization)기술에 관한보고 [16,17] 따르면, TEM 이미지에서 실리사이드 형성시 실리사이드 내부의 검은 콘트라스트를 보이는 것은 실리사이드와 혼합된 다결정 실리콘이 형성되었다는 간접적인 증거라고 알려졌다. 따라서 본 연구에서도 동일하게 화살표로 표시한 부분을 결정질이 우수한 실리사이드 영역이라고 판단되었으며, 한편 표시된 화살표시부분은 그림 6(a)에서 FE-SEM으로 관찰한 구형응집상의 직경과 유사하였다. (b)의 400 °C에서는 (a)와 같은 120 nm 두께의 니켈 실리사이드가 형성되었음을 보이고 있으나 실리사이드의 형성이 (a)와 다르게 SiO₂와의 계면에 남아있는 a-Si:H 없이 모두 명확한 주상정 형태의 균일한 실리사이드층이 형성되었음을 보이고 있다. 또한 그림 6(b)에서 FE-SEM으로 관찰된 구형응집상 직경과 일치하는 직경 25 nm의 검은 주상정 형태의 콘트라스트 차이를 보이는 실리사이드가 보였다. (c)의 500 °C에서는 (b)보다 4 nm 감소한 a-Si:H 없이 모두 명확한 주상정 형태의 136 nm 균일한 실리사이드 층이 형성되었으며 그림 6(c)에서 FE-SEM으로 관찰된 완화된 미로형 콘트라스트가 부피팽창이 작은 NiSi로 상변화를 하였다는 것을 뒷받침해 주고 있다. 또한 구형응집상 직경과 일치하는 직경 25 nm의 검은 주상정의 콘트라스트 차이를 보이는 실리사이드가 관찰되었다. 따라서 140 nm 주상정형태의 a-Si:H에 30 nm 니켈을 증착하여 30분간 RTA로 열처리한 경우 300 °C에서는 40 nm 주상정 형태의 실리사이드층과 상부에 다결정 실리콘과 혼합된 니켈실리사이드가 존재하였으며, 400 °C로 열처리한 경우 120 nm 주상정의 실리사이드층과 다결정 실리콘과 혼합된 니켈실리사이드가 주상정형태의 실리사이드와 동일한 방향으로 결정화가 진행되었음을 확인하였다. 500 °C로 열처리한 경우 부피팽창이 작은 NiSi의 상변화로 인한 136 nm두께의 니켈실리사이드 층이 다결정성이 뚜렷한 주상정 텍스처를 가진 니켈실리사이드가 생성됨을 확인하였다.



(a)



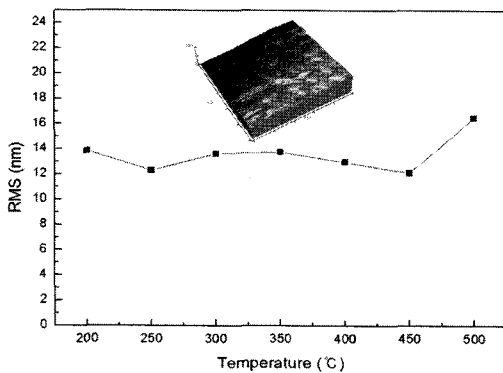
(b)



(c)

[그림 7] 30분 동안 실리사이드화한 TEM 수직단면 이미지 ; (a) 140 nm a-Si:H /180 nm SiO₂/Si 기판 300 °C 처리, (b) 140 nm a-Si:H /180nm SiO₂/Si기판 400 °C처리, (c) 140 nm a-Si:H /180nm SiO₂/Si기판 500 °C처리.

그림 8에는 각각 140 nm 두께의 a-Si:H 위에 200°C에서 500°C까지 형성된 니켈실리사이드의 RMS 표면조도를 SPM으로 측정한 결과를 나타내었다. 70 nm a-Si:H 기판 위에 형성된 실리사이드의 경우 200°C~450°C 최소 12 nm에서 최대 14 nm의 RMS 값을 보였고, 500°C에서는 16.5 nm의 RMS 값을 보였다. 열처리 온도에 따른 니켈실리사이드가 형성되면서 Ni₃Si, Ni₂Si, NiSi로 상변화에 의한 표면조도 변화는 거의 없었다고 할 수 있다. 따라서 표면조도의 변화가 최소 12 nm에서 최대 16.5 nm의 나노급 이므로, 수소화된 비정질 실리콘 기판 위에 형성된 저온 니켈 실리사이드는 나노급 저온기판을 채용한 소자에 유용하게 적용될 수 있었다.



[그림 8] 140nm 두께의 a-Si:H 위에 형성된 니켈실리사이드층의 RTA 처리온도에 따른 표면 RMS의 변화.

4. 결론

250°C 저온에서 ICP-CVD를 활용하여 140 nm 두께의 균일한 a-Si:H을 성공적으로 제조하였다. 준비된 a-Si:H 층에 30 nm-Ni를 증착하고 200~500°C 범위에서 50°C 간격으로 30분간 실리사이드화 열처리 하여 나노급 니켈실리사이드를 제조하였다. 300°C 이하에서는 기존에 보고되지 않은 실리콘층 상부에 고저항상인 Ni₃Si의 실리사이드가 40 nm로 생성됨을 확인하였으며, 350~400°C에서는 고저항상인 Ni₂Si의 실리사이드가 120 nm 형성되었고, 450°C 이상에서 저저항상인 NiSi의 실리사이드가 균일한 116 nm 두께로 형성되었다. FE-SEM과 TEM을 통하여 300°C~500°C에서 실리사이드 형성시 a-Si:H이 다결정화된 실리사이드가 존재하였으며 열처리온도가 증가하면서 결정화가 향상된 니켈실리사이드가 발달하였다. SPM 분석결과 a-Si:H 위에 형성된 저온니켈실리사이드는 450°C에서 NiSi상이 표면조도값이 12 nm이하로 나노급 저

온기판을 채용하는 실리사이드 공정에 유리하였다.

참고문헌

- [1] Electronic paper : A revolution about to unfold, Science, 308, (2005) 785-786.
- [2] J. Jang, Materials Today, 9(4), (2006) 46-52.
- [3] P. C. Wang, and A. MacDiarmid, Display, 28, (2007) 101-104.
- [4] F. Templier, B. Aventurier, P. Demars, J. L. Botrel, and P. Martin, Thin Solid Films, 515, (2007) 7428-7432.
- [5] F. Vaillant, and D. Jousse, Phys. Rev. B, 34, (1986) 4088-4098.
- [6] G. N. Parsons, C. Wang, M. J. Williams, G. Lucovsky, Applied Physics Letters 56, (1990) 1895-1897.
- [7] Sung Ki Kim, Young Jin Choi, Kyu Sik Cho, and Jin Jang, IEEE Transactions on Electron Devices, 46, (1999) 1001-1006.
- [8] K. J. Yoon, J. J. Han, and O. S. Song, Kor. J. Mater. Res., 17(6), (2007) 323-330.
- [9] Ohsung Song, Jongryul Kim, Youngyoun Choi, and J. H. Ryu, J. Mater. Res., in-press.
- [10] K. J. Yoon, and O. S. Song, Kor. J. Mater. Res., in-press.
- [11] Jongryul Kim, Youngyoun Choi, and O. S. Song, J. Kor. Academic Industrial Soc., in-press.
- [12] W. H. Weber and R. Merlin eds, Raman Scattering in Materials Science, Springer, New York (2000).
- [13] Z. Iqbal, S. Veprek, A. P. Webb and P. Capezzuto, Soli State Communications, 37, (1981), 993-996.
- [14] B. A. Julies, D. Knoesen, R. Pretorius, and D. Adams, Thin Solid Films, 347 (1999) 201-207.
- [15] M. C. Poon, C. H. Ho, F. Deng, S. S. Lau, and H. Wong, Microelectronics Reliability, 38, (1998) 1495-1498.
- [16] Per I. Widenborg, and Armin G. Aberle, Journal of Crystal Growth, 242, (2002) 270-282.
- [17] Soo Young Yoon, Seong Jin Park, Kyung Ho Kim, and Jin Jang, Thin Solid Films, 383, (2001) 34-38.

김 종 료(Jong-Ryul Kim)

[준회원]



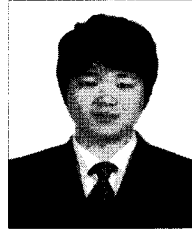
- 2006년 2월 : 서울시립대학교 신소재공학과 (공학사)
- 2006년 8월 ~ 현재 : 서울시립대학교 신소재공학과 석사과정

<관심분야>

반도체 재료, 자성 재료, 철강 재료

박 종 성(Jong-sung Park)

[준회원]



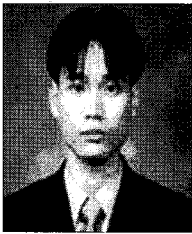
- 2008년 2월 : 서울시립대학교 신소재공학과 (공학사)
- 2008년 2월 ~ 현재 : 서울시립대학교 신소재공학과 석사과정

<관심분야>

반도체 재료, 자성 재료

최 용 윤(Young-youn Choi)

[정회원]



- 1999년 3월 : 부경대학교 화학공학과 (공학사)
- 2005년 8월 : 서울시립대학교 신소재공학과(공학석사)
- 2007년 2월 ~ 현재 : 서울시립대학교 신소재공학과 박사과정

<관심분야>

반도체 재료, 자성 재료

송 오 성(Oh-sung Song)

[중신회원]



- 1987년 2월 : 서울대학교 금속공학과 (공학사)
- 1989년 2월 : 서울대학교 금속공학과 (공학석사)
- 1994년 5월 : MIT 재료공학과 (공학박사)
- 1997년 9월 ~ 현재 : 서울시립대학교 신소재공학과 교수

<관심분야>

반도체 재료, 자성 재료, 보석재료