

무선 PAN 응용을 위한 FPGA 설계 및 SoC

김용성¹, 김선희¹, 홍대기^{2*}

FGPA Design and SoC Implementation for Wireless PAN Applications

Young-Sung Kim¹, Sun-Hee Kim¹ and Dae-Ki Hong^{2*}

요 약 본 논문에서는 KOINONIA 무선 개인 영역 네트워크 (WPAN: Wireless Personal Area Network) 표준을 프로그래밍 가능한 게이트 배열 (FPGA: Field-Programmable Gate Array)로 설계하고 시스템 온 칩 (SoC: System on Chip)으로 구현하였다. 변조부에서는 정진폭을 유지할 수 있도록 잉여 비트를 이용하여 부호화 하였고, 수신부에서는 이 잉여 비트를 복호 하는데 사용함으로써 낮은 신호 대 잡음비 (SNR: Signal to Noise Ratio)에서도 동작이 가능하게 하였다. KOINONIA WPAN은 400만 게이트 급의 FPGA에서 44MHz이상으로 동작하였으며, 무선 주파수 (RF: Radio Frequency) 모듈과의 연동 실험에서는 최소 입력 전력 레벨 감도 (MIPLS: Minimum Input Power Level Sensitivity)가 -86dBm인 환경에서 SNR은 13dB, 패킷 오율 (PER: Packet Error Rate)은 1% 이하라는 높은 성능을 나타내었다. SoC 칩은 하이닉스 0.25um 상보 금속 산화 반도체 (CMOS: Complementary Metal Oxide Semiconductor) 공정을 이용하였으며 면적은 6.52mm×6.92mm이다.

Abstract In this paper, we design the FPGA (Field-Programmable Gate Array) of the KOINONIA WPAN (Wireless Personal Area Network), and implement the SoC (System on Chip). We use the redundant bits to make a constant-amplitude in a modulator part. Additionally, the SNR (Signal to Noise Ratio) performance of the demodulator is improved by using the redundant bits in decoding steps. The four-million FPGA of the KOINONIA WPAN can be operated at 44MHz frequency. The PER (Packet Error Rate) of the designed FPGA with RF (Radio Frequency) module is below 1% at the -86dB MIPLS (Minimum Input Power Level Sensitivity), and the SNR is about 13dB. The SoC is implemented by using Hynix 0.25um CMOS (Complementary Metal Oxide Semiconductor) process. The size of the SoC is 6.52mm×6.92mm.

Key Word : 무선 PAN, KOINONIA, FPGA, SoC, CMOS

1. 서 론

인터넷 사용자가 급증하면서 기간간의 정보 공유를 가능하게 하는 근거리 네트워크 기술이 급부상하고 있다. "AnyTime, AnyWhere"를 모토로 한 근거리 네트워크를 구축하기 위해서는 배선이 필요 없고 기기의 이동성을 지원할 수 있는 무선 채널에 의한 구내 영역 네트워크

(LAN: Local Area Network)와 개인 영역 네트워크 (PAN: Personal Area Network)가 효율적이다 [1]. 현재 이 분야의 기술로는 미국 전기 전자 협회 (IEEE: Institute of Electrical and Electronics Engineers) 802.11, IEEE 802.15.3, Bluetooth, HomeRF 등이 있다 [2-5]. 그러나 이 기술들은, 사용자가 증대되면 사용자간 상호 간섭의 영향이 커져서 모든 사용자들의 전송 품질이 저하될 뿐 아니라 다양한 무선 액세스 포인트의 증가로 액세스 포인트 간의 주파수를 효율적으로 배정하는데 어려움을 겪게 된다 [1].

이러한 문제들을 해결하기 위한 방법으로 코드 분할 다중 접속 (CDMA: Code Division Multiple Access) 기술이 사용된다. 최근에 고속 데이터 전송을 제공하는

본 연구는 21세기 프론티어 연구개발사업의 일환으로 추진되고 있는 지식경제부의 유비쿼터스컴퓨팅및네트워크 원천기반기술개발사업의08B3-B2-20S 과제로 지원된 것임

¹전자부품연구원 통신네트워크연구센터

²상명대학교 정보통신공학과

*교신저자: 홍대기(hongdk@smu.ac.kr)

CDMA 시스템에 대한 연구가 활발히 연구되어 왔다. 고속의 전송서비스를 지원하는 기술로는 확산 이득을 변화시키는 VSG-CDMA 시스템과 여러개의 병렬 브랜치의 다중 부호를 사용하는 다중부호 CDMA 시스템이 가장 보편적인 것으로 알려지고 있다 [6-7]. 이 중 다중부호 CDMA 기술은 확산 이득의 변화가 없고 주파수 효율성을 높임으로써 전송속도를 올릴 수 있다는 장점이 있어서 차세대 무선 접속 규격으로 주목 받고 있다 [8]. 그러나 다중부호 CDMA 기술은 높은 스펙트럼 효율을 얻을 수는 있지만 다중레벨 신호의 증폭을 위한 고가의 선형 전력증폭기를 필요로 한다. 이러한 단점을 해결하기 위해서 정진폭을 갖는 다중부호 시스템이 제안되었고 [9], 효율적인 정진폭 특성을 갖기 위한 이진 직교 변조 방식 즉 KOINONIA 표준 방식이 제안되었다 [10]. KOINONIA 방식은 잉여비트를 사용하여 신호를 부호화함으로써 정진폭 특성을 갖게 할 수 있고 매우 높은 스펙트럼 효율을 지원할 수 있다. 또한 사용된 잉여비트는 수신부의 성능 개선을 위해 이용할 수 있다. 또한 KOINONIA 표준은 다중 코드 CDMA 방식에 의해 발생하는 다양한 레벨의 변조 신호를 이진화 하여 외형적으로 시간 분할 다중 접속 (TDMA: Time Division Multiple Access) 신호 파형으로 만들어 전송한다. 따라서, 대역폭의 증가 없이 스펙트럼 효율 (SE: Spectral Efficiency)이 증가하는 다중 코드 CDMA 방식의 장점을 가지면서 동시에 구조의 복잡성, 높은 가격, 높은 전력소모 등의 문제들을 해결할 수 있다 [11-12].

최근 무선 통신 서비스를 제공하는 단말기의 소형화, 경량화, 저전력, 저가격화 및 고성능화 요구가 증대됨에 따라, 마이크로 프로세서, 메모리, 아날로그 블록, 디지털 블록 등을 모두 집적하는 시스템 수준의 시스템 온 칩 (SoC: system on Chip)화가 필수적이 되어가고 있다. 따라서 본 논문에서는 KOINONIA 표준을 프로그래밍 가능한 게이트 배열 (FPGA: Field-Programmable Gate Array) 로 설계하고 SoC로 구현하였다.

본 논문은 다음과 같이 구성된다. 2장에서는 KOINONIA 표준의 개요에 대해서 설명한다. 그리고 3장에서는 KOINONIA 표준의 FPGA 설계에 대해 설명한다. 4장에서 KOINONIA SoC 설계 방법 및 제작된 칩에 대하여 설명을 하고 마지막으로 5장에서는 결론을 내린다.

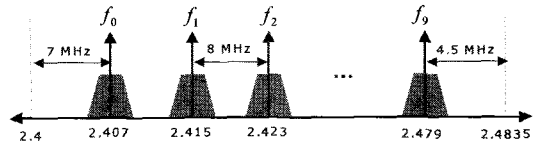
2. KOINONIA 표준의 개요

KOINONIA 표준은 크게 물리 계층, 데이터 링크 계층으로 나뉘며 주요 특징은 다음과 같다 [12].

2.1 주파수 대역

그림 1과 같이 KOINONIA는 2.4-2.4835 GHz의 산업, 과학, 및 의료 (ISM: Industrial, Scientific, and Medical) 대역을 사용하는데 전체 10개의 대역으로 구성되며, 각각의 주파수 대역폭은 8MHz이고 중심 주파수는 다음과 같다.

$$f_k = 2407 + 8 \times k \text{ MHz}, \quad k = 0, \dots, 9 \quad (1)$$



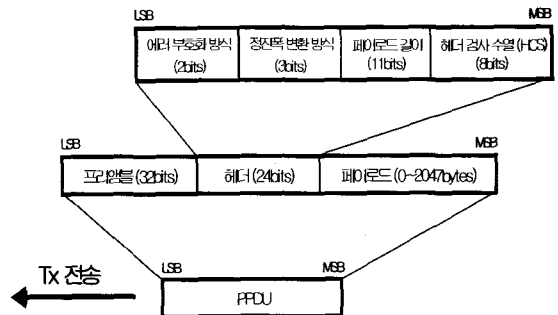
[그림 5] 주파수 대역

2.2 패킷 형식

물리 계층 패킷의 형식은 그림 2에 나타나 있는데, 패킷의 최하위 비트 (LSB: Least Significant Bit) 부터 송신이 이루어진다.

각각의 물리 계층 패킷은 다음의 기본 구성을 따른다.

- 수신기에서 비트 동기화 및 프레임 동기를 위한 프리앰블
- 에리 부호화 방식, 정진폭 변환 방식과 페이로드 길이와 헤더 검사 수열을 포함한 헤더
- 매체 접속 제어 (MAC: Medium Access Control) 부계층 프로토콜 데이터 유닛 (MPDU : MAC Protocol Data Unit)을 전달하는 가변적인 길이의 페이로드



[그림 6] 물리 계층 패킷 형식

2.3 정진폭 신호 변환

정진폭 신호 변환 방식은 총 4가지로 나뉘는데, 4가지의 방식은 각각 RATE i , $i \in \{1, 2, 3, 4\}$,이며 서로 다른 전송률을 지원할 수 있다 [10]. 그 중 RATE 1, RATE 2,

RATE 3는 동위상/직교위상 (I/Q: Inphase/Quadrature Phase) 채널에 동일한 데이터를 전송하고, RATE 4는 I/Q 채널에 서로 다른 데이터를 보내 채널의 효율을 높인다. 이러한 4가지의 변환 방법은 데이터를, 요구되는 서비스의 품질 (QoS: Quality of Service)와 현재 채널의 상태에 따라 선택된다.

2.4 전송 데이터 율

정진폭 변환 방식에 따른 전송 데이터율은 다음의 식으로 표현된다.

$$Data\ Rate = 343.8kbps \times n \quad (2)$$

단, 여기서 n 은 16개의 칩을 통해 한 번에 전송하는 데이터의 개수이며 1, 3, 9, 18 중 하나인데. 정진폭 변환방식에 따른 데이터율이 표 1에 정리되어 있다.

[표 2] 변환 방식에 따른 데이터율

정진폭 변환방식	n	데이터율 (Mbps)	직교변조 블록수	정진폭 부호화 블록	I/Q 채널 데이터
RATE 1	1	0.34	0	X	같음
RATE 2	3	1.0	1	X	같음
RATE 3	9	3.1	4	O	같음
RATE 4	18	6.2	8	O	다름

2.5 패킷 각 부분의 변조 방법

최종 송신단의 변조 방식은 직교 위상 변조(QPSK: Quadrature Phase Shift Keying)이지만 패킷의 변조 방법은 프리앰블, 헤더, 페이로드 세 부분이 각각 다르다. 이번 절에서는 패킷 각 부분의 변조 방법을 소개한다.

2.5.1 프리앰블 변조 방법

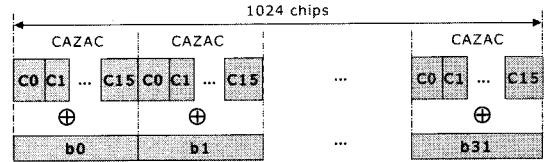
프리앰블 신호는 수신단에서 프레임 동기, 심벌 시간 조정 등의 목적으로 사용한다. 프리앰블 수열 $[b_k]$ 과 프리앰블 수열의 확산에 사용되는 정진폭 영 자기 상관 부호 (CAZAC : Constant Amplitude Zero Autocorrelation Code) 수열 $[C_k]$ 은 다음과 같다.

$$[b_0\ b_1\ \dots\ b_{31}] = [01010101010101010101010101010100]$$

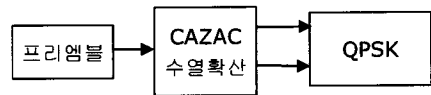
$$[C_0\ C_1\ \dots\ C_{15}] = [e^{j\frac{\pi}{4}}\ e^{j\frac{\pi}{4}}\ e^{j\frac{\pi}{4}}\ e^{j\frac{\pi}{4}}\ e^{j\frac{\pi}{4}}\ e^{j\frac{3\pi}{4}}\ e^{j\frac{5\pi}{4}}\ e^{j\frac{7\pi}{4}}\ e^{j\frac{\pi}{4}}\ e^{j\frac{5\pi}{4}}\ e^{j\frac{\pi}{4}}\ e^{j\frac{5\pi}{4}}\ e^{j\frac{\pi}{4}}\ e^{j\frac{7\pi}{4}}\ e^{j\frac{5\pi}{4}}\ e^{j\frac{3\pi}{4}}\ e^{j\frac{\pi}{4}}]$$

(3)

32 비트의 프리앰블 수열을 주기 16인 CAZAC 수열 확산해 만들어진 512개의 심벌로 이루어진 프리앰블은 I/Q 채널에 각각의 신호를 구성하며 그 구조는 그림 3과 같다. 확산된 신호는 그림 4에서와 같이 QPSK에 의해 변조되어 전송된다.



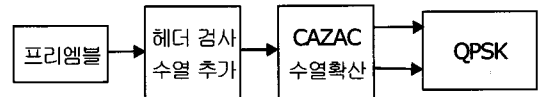
[그림 7] 프리앰블 수열의 구조



[그림 8] 프리앰블 변조

2.5.2 헤더 변조 방법

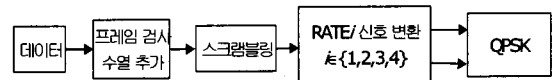
헤더는 총 24비트의 정보를 CAZAC 수열 확산해 전송하는데, I/Q 채널에 같은 데이터를 전송한다. 먼저 순수 헤더 정보 16비트에 헤더 검사 수열 8비트를 추가하고 CAZAC 수열 확산을 이용해 I/Q 신호를 만들어 그림 5와 같이 QPSK를 이용해 전송한다.



[그림 9] 헤더 변조

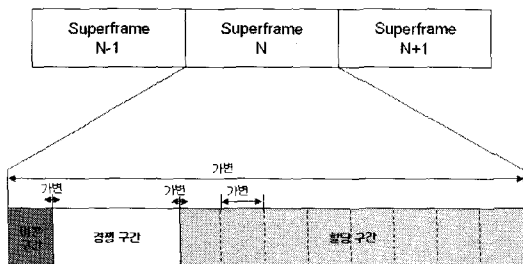
2.5.3 페이로드 변조 방법

실제 데이터 부분과 프레임 검사 수열 32비트로 이루어지는데 요구되는 QoS에 따른 전송률과 채널 상태에 따라 RATE i , $i \in \{1,2,3,4\}$, 중 하나를 선택한다. 데이터에 32 비트의 프레임 검사 수열을 추가하고 스크램블링을 거친 후에 전송률에 따라 4가지의 변환 방식 중 하나를 선택하게 된다. 이에 대한 그림은 그림 6에 나타나 있다.

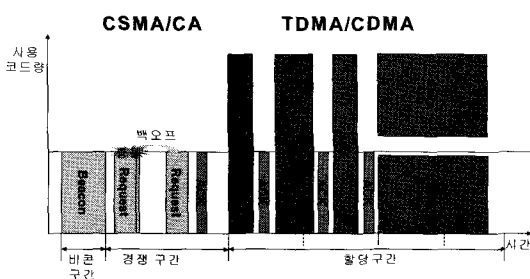


[그림 10] 페이로드 변조 방법

2.6 KOINONIA 표준의 데이터 링크층



[그림 11] 슈퍼 프레임 구조



[그림 12] 구간별 접근방식

KOINONIA의 데이터 링크 계층에서는 물리계층의 특성을 살려 코드와 시간슬롯의 조합을 통해 매체접근을 하는 복합 다중 접속 (HMA: Hybrid Multiple Access) 방식을 사용하고 있다. KOINONIA는 그림 7과 같이 슈퍼프레임이 반복되는 구조를 채택하고 있으며, 하나의 슈퍼프레임은 비콘 구간, 경쟁 구간, 할당 구간으로 나뉜다. 비콘 구간에서는 마스터가 비콘을 통해 슬레이브들에게 피코넷의 상황 및 할당구간에서의 자원 할당 상황을 알려주고, 경쟁 구간에서는 슬레이브들이 마스터에게 자원 할당 요청이나 피코넷 합류 요청을 하게 된다. 할당 구간에서는 슬레이브들은 비콘을 통해 할당받은 자원 (코드, 시간슬롯)을 사용하여 통신을 하게 된다. 각 구간에서의 매체 접근 방식은 그림 8과 같다.

KOINONIA의 가장 큰 특징 중 하나는 잡음이 많은 무선 환경에서도 QoS를 보장하는 것이다. 먼저, KOINONIA가 사용하는 물리계층인 바이너리 CDMA 기술이 잡음에의 대응이 뛰어나다. 그리고 채널 내에 잡음이 많아지는 경우 그에 따라 코드 할당수를 조정하는 '동적 자원 할당'이나 분할되는 패킷의 길이를 조정하는 '분할' 기능을 지원한다. 또 긴 시간동안 채널상황이 좋지 않은 경우에는, 상황이 좋은 다른 채널로 피코넷 전체가 이동해 가는 '동적 주파수 채널 변경' 기능을 지원하는데, 잡음 회피 기능을 넘어 IEEE 802.11b와 같은 기존의 무

선 네트워크 표준과의 공존방안으로도 사용될 수 있다.

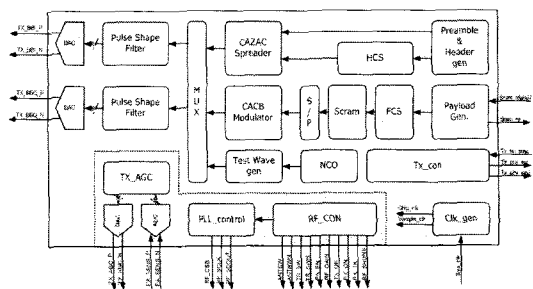
3. KOINONIA 표준의 FPGA 설계

KOINONIA 표준의 FPGA 시스템은 크게 물리 계층 블록과 데이터 링크 계층 블록으로 구성된다.

3.1 물리 계층 블록의 FPGA 설계

물리 계층 블록은 바이너리 CDMA 신호를 정진폭 신호로 변환하여 QPSK 변조하는 송신부와 채널을 거쳐 왜곡된 정진폭 신호를 복원하는 수신부로 구성하였다.

송신부는 그림 9와 같이 크게 프리엠블과 헤더, 페이로드를 매 슬롯마다 발생시키는 프레임 발생 블록과 프리엠블 각 비트를 수열 확산하는 CAZAC 확산기, 32비트 검사수열을 추가하고 스크램블링을 거친 페이로드 데이터를 정진폭 신호로 변환하는 정진폭 부호화 다중 부호이진 직교 (CACB: Constant Amplitude Coded Multicode Biorthogonal) 변조기, QPSK 변조기로 구성하였다. 송신부의 정진폭 신호변환은 RATE1, RATE2, RATE3, RATE4로 총 4가지로 나뉘는데, 4가지 방식은 서로 다른 전송률을 지원하며, 이러한 변환방법은 데이터율과 요구되는 QoS와 현재 채널 상태에 따라 선택되도록 하였다. 정진폭 변환 방식에 따른 전송 데이터율은 RATE에 따라 표 1과 같이 정리될 수 있었다.

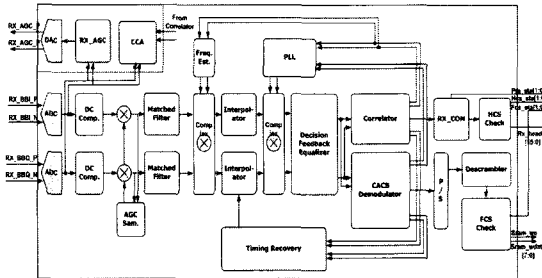


[그림 13] KOINONIA 물리계층 송신부 블록도

그림 10은 설계된 수신부의 블록 연결도를 나타낸 것이다. 아날로그 입력신호는 아날로그-디지털 변환기 (ADC: Analog to Digital Converter)를 거쳐 8비트의 디지털 신호로 변환이 되며, 입력신호의 직류 (DC: Direct Current) 오프셋을 보정해 주는 DC 보상 블록을 거치게 되도록 설계하였다. DC 성분이 제거된 신호는 자동 이득 제어 (AGC: Automatic Gain Control)를 거쳐 신호 레벨이 일정하게 되었다. 일정 레벨의 수신신호는 폴 오프 인자

(ROF: Roll-off Factor)가 0.3인 정합필터(MF: Matched filter, Square Root Raise Cosine filter)를 거친 후 원하는 심볼을 추출하기 위해 보간하였다. 주파수 추정은 수신데이터의 프리앰블 구간에 존재하는 반송파 성분을 CAZAC의 상관 특성을 이용하여 수신신호에 포함된 반송파 성분을 측정하고 후 수신신호에 곱함으로써 반송파 성분을 제거하였다. 주파수 추정기에서 발생한 오차 성분의 잔여 캐리어와 위상 오프셋은 결정 궤환 등화기(DFE: Decision Feedback Equalizer)와 위상 고정 루프(PLL: Phase Locked Loop)가 추적하여 제거하였다. DFE는 9개의 전치(FF: Feedforward) 탭과 5개의 후치(FB: Feedback) 탭으로 구성하였으며 채널에서 발생한 다중경로 성분을 제거하였다.

상관기는 CAZAC 역 확산기로서 16탭 유한 임펄스 응답(FIR: Finite Impulse Response) 필터로 구성하였다. 상관기의 출력은 기저대역 신호에 존재하는 캐리어를 제거하거나 전후(EL: Early-Late) 알고리즘의 타이밍 복원을 위해 사용되었다.



[그림 14] KOINONIA 물리 계층 수신부 블록도

상관기에서 프리앰블과 헤더가 검출된 후 정진폭 변환 방식에 의해 변환된 데이터를 복원하는 CACB 복조기를 거쳐 최종 데이터를 역 스크램블러와 프레임 검사 부호(FCS: Frame Check Sequence)를 거쳐 데이터 링크 계층에 전달되도록 설계하였다. 복조기는 I채널과 Q채널에 각각 16개의 누산기로 구성되며, 누산기의 가장 큰 누적값을 이용하여 데이터를 복원하고, 또 두 번째로 큰 누산기와 패리티부호를 이용한 재부호화 알고리즘을 적용하여 성능을 향상시켰다.

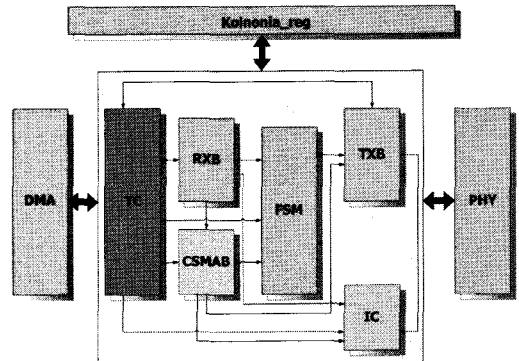
RF의 송수신 전력을 제어하는 AGC는 송신 AGC와 수신 AGC로 구성되는데, 그림 9의 송신 AGC는 RF의 전력증폭기(PA: Power Amplifier)의 신호 레벨을 검출하여 송신 전력을 일정하게 유지하도록 하거나, 그림 10에서 수신 AGC는 ADC를 거친 8비트 디지털신호의 레벨을 검출하여 수신부가 검출 가능한 ADC 입력 레벨을 갖

도록 RF의 수신 이득을 조절하였다.

3.2 데이터 링크 계층의 설계

데이터 링크 계층의 하드웨어를 설계함에 있어서 기준은 다음과 같다.

- 정확한 타이밍을 요하는 기능은 하드웨어로 구현한다. 예를 들어서 마스터와 슬레이브 간의 슈퍼프레임 동기화, 즉시 수신 확인 프레임 송/수신 등 ...
- 데이터의 흐름에서 가능한 한 중앙 처리 장치(CPU: Central Processing Unit)의 부담을 덜어준다.
- 전력소모를 줄이기 위해 휴지(Idle) 모드를 사용한다.



[그림 15] 데이터 링크 계층 하드웨어 블록도

송신하는 경우 직접 메모리 접근(DMA: Direct Memory Access)가 버스 마스터로 동작을 하면서, 지정된 위치의 메모리에서 송신할 데이터를 읽어서 DMA_IF 블록으로 보내도록 설계하였다.

그리고 나서 물리계층에서 데이터 송신을 요구하면 데이터를 보내게 된다. 그리고 수신하는 경우에는 물리계층 블록에서 받은 데이터를 DMA_IF 블록에서 받은 다음 즉시수신확인 프레임이 아닌 경우에는 DMA 블록으로 데이터를 전송한다. 그러면, DMA는 버스 마스터로 동작을 하면서 지정된 위치의 메모리로 수신된 데이터를 저장하게 된다.

데이터 링크 계층의 하드웨어 블록은 그림 11과 같다.

- FSM 블록은 데이터 링크 계층 하드웨어의 상태(송신, 수신, Idle, 비콘구간, 경쟁구간) 천이를 관리하여 다른 데이터 링크 계층 하드웨어 블록을 제어한다.
- TC 블록은 데이터 링크 계층에서 정의한 슈퍼프레임 구조를 지원하기 위해서 필요한 여러 종류의 타이머와 카운터를 처리한다.
- RXB 블록은 데이터 수신과 수신된 데이터 필터링, 그리고 즉시수신확인 프레임 송신등을 처리한다.

- TXB 블록은 데이터 송신과 즉시 수신확인 프레임 수신등을 처리한다.
- CSMAB 블록은 경쟁공간에서 사용하는 반송파 감지다중 접속/충돌 회피 (CSMA/CA: Carrier Sense Multiple Access/Collision Avoidance) 프로토콜을 처리한다.
- IC 블록은 데이터 링크 계층 하드웨어에서 발생하는 인터럽트를 처리한다.

3.3 RF 인터페이스의 설계

본 칩에는 수신된 I/Q 신호를 처리하기 위한 8-비트 22MHz ADC와 전송할 I/Q 신호를 위한 8-비트 44MHz 디지털-아날로그 변환기 (DAC: Digital to Analog Converter)가 포함되도록 설계하였다. 그 외에도 전송 전력 레벨 검출을 위한 ADC와 송신 신호의 파위를 조절하기 위한 AGC용 DAC, 그리고 수신된 신호의 입력 레벨을 조절하기 위한 수신 AGC용 DAC가 포함되도록 설계하였다. RF 모듈과의 연동시험에서는 칩레이트는 11Mcps로 고정하고 송신기와 수신기 사이에 감쇄기를 95dBm을 삽입한 후 송신 전력을 변화 시키면서 수신신호전력레벨과 SNR, 그리고 PER을 측정해 보았으며, 그

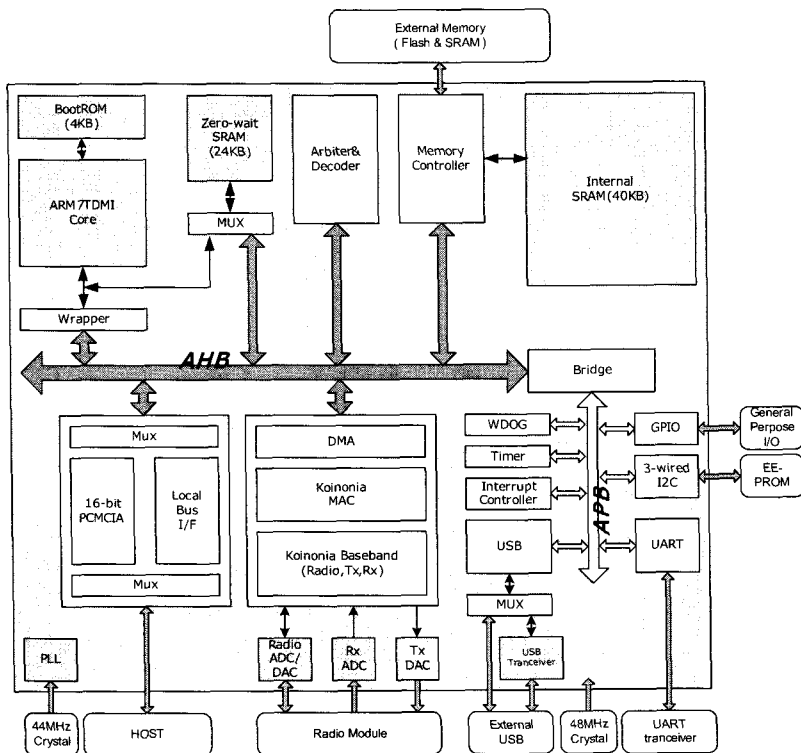
결과는 표 2와 같다. 표 2에서 보는 바와 같이 표준에서 정의된 최소 수신전력레벨 감도인 -76dBm에서 PER 8% 보다 우수한 PER 1%를 나타냈다.

[표 2] 모델의 RF연동시험시 성능

송신전력 (dBm)	채널 감쇄기	RSSI (dBm)	SNR(dB)	PER(%)
15	95dBm	-81	15~16	1%이내
13	95dBm	-83 ~ -84	14~15	1%이내
11	95dBm	-85 ~ -86	13	1%이내
9	95dBm	-88 ~ -90	12~13	5%이내
7	95dBm	-91 ~ -92	10~11	30%이내

4. KOINONIA SoC 시스템 구조 및 설계 방법

그림 12는 본 논문에서 구현된 KOINONIA SoC 시스템의 블록도이다. 블록도에서 보는 바와 같이 본 SoC 시스템에서는 ARM(Advanced RISC Machine)/AMBA (Advanced Microcontroller Bus Architecture) 플랫폼을 사



[그림 16] 시스템 블록도

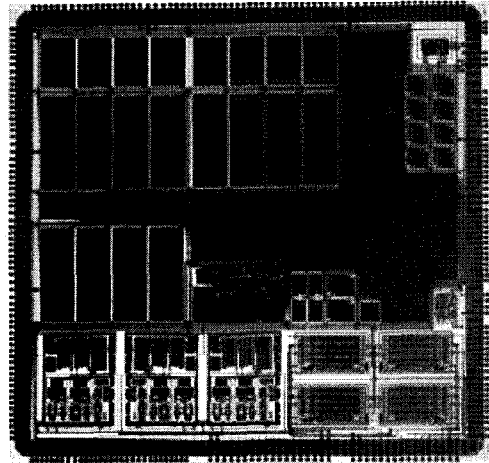
용하였다. ARM/AMBA 플랫폼은 SoC 내부 모듈들을 위한 공통 시스템 버스를 정의함으로써, 선택 사항에 따라 쉽게 플랫폼을 구성, 변경할 수 있으며 재사용을 강화시키는 장점을 제공한다 [13].

ARM/AMBA 플랫폼은 AHB 버스와 APB 버스로 구성된다. AHB 버스는 ARM7TDMI 프로세서, AHB 버스의 마스터를 결정하는 중재기, 메모리영역을 디코딩하기 위한 어드레스 디코더, 프로그램 코드와 데이터를 저장하기 위한 내부 메모리, 외부 메모리의 내용을 내부 메모리에 매핑하기 위한 정적 메모리 인터페이스등으로 구성된다. 외부 호스트와의 통신을 위한 16-비트 PCMCIA (Personal Computer Memory Card International Association) 모듈과 메모리와 모뎀 모듈 사이에 데이터 전송을 전달하기 위한 DMA가 있다.

APB 브릿지는 AHB버스와 APB버스를 연결하는 인터페이스 모듈이다. APB에는 저속의 기능 블록들이 (타이머, 워치독-타이머, 인터럽트 제어기) 연결되어 있다. 외부 통신을 위하여 USB (Universal Serial Bus) 1.1을 지원하며 온칩, 오프칩 모드로 모두 사용할 수 있다. 16C550 UART (Universal Asynchronous Receiver/Transmitter), 3-wire 직렬 인터페이스 그리고 16-비트 GPIO (General Purpose Input Output)를 지원한다. 이와 같은 통신 인터페이스 모듈도 APB 버스에 접속된다. 시스템 클럭은 칩 내부 PLL이 22MHz 신호를 입력으로 받아서 시스템 클럭모드에 따라 44MHz 또는 88MHz로 증배한 후 2분주 (22MHz, 44MHz)하여 사용한다.

KOINONIA 물리계층과 데이터 링크 계층의 알고리즘 검증에 위하여 각각 C와 Matlab을 이용하였다. 이 단계에서 데이터 링크 계층의 하드웨어 부분과 소프트웨어 부분을 구분하였으며, 물리계층 및 데이터 링크 계층 하드웨어의 구조, 설계 파라미터, 메모리와 버퍼의 구조 및 크기를 결정하였다. 오픈 표준 버스 규격인 AMBA를 기본으로 위에서 결정된 요구 사항에 따라 플랫폼을 선정하였다.

하드웨어는 Verilog 및 VHDL (VHSIC Hardware Description Language)로 기술하였고, 소프트웨어는 HDL 메모리 모델에서 사용 가능한 형태로 컴파일을 하여 ARM7TDMI 시뮬레이션 모델과 함께 통합 시뮬레이션을 하였다. 이를 다시 FPGA와 ARM7TDMI 코어를 탑재한 테스트 보드에 올려 검증하였다.



[그림 17] 칩 레이아웃 도면

본 칩은 Hynix 0.25 um 상보 금속 산화 반도체 (CMOS: Complementary Metal Oxide Semiconductor) 공정을 이용하였다. 표 3에 나타난 바와 같이 약 31만 게이트의 Standard Cell이 사용되었으며 4개 10bit DAC, 3개의 10bit ADC, PLL, USB, ARM7TDMI 코어, 그리고 다수의 메모리를 포함하여 구현되었다. 칩면적은 약 6.52 mm x 6.92 mm 이며 256핀 FBGA (Fine Ball-Grid Array) 로 패키징 되었다. 그림 13은 본 주문형 반도체 (ASIC: Application Specific Integrated Circuit)칩을 배치 및 배선 (P&R: Placement and Routing) 한 후 Apollo 틀에서 추출한 레이아웃 도면이다. 레이아웃 도면의 하단에는 3개 ADC와 4개 DAC이며 우측상단에는 USB 물리층, 중앙부분에는 ARM7TDMI 코어이다.

[표 4] 칩 레이아웃 결과

블록	게이트수
Koinonia	218,471
System	100,367
총	318,838

5. 결론

본 논문에서는 KOINONIA 데이터 링크 계층과 기저대역 프로세서를 통합한 SoC를 설계하고 구현하였다. KOINONIA는 바이너리 CDMA 방식을 사용함으로써 기존의 WPAN 기술들이 가지는 다중 사용자 환경에서의 성능 저하 문제를 해결하였다. 하이닉스 0.25um CMOS

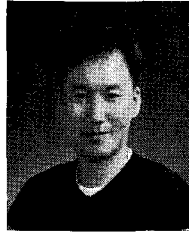
공정에서 제작되어 256핀 FBGA 패키징을 하였다. 구현된 SoC는 ARM7TDMI를 내장하였으며 다양한 통신 인터페이스를 지원하므로 실제 현장에서 쉽게 활용될 수 있을 것으로 기대된다.

참고문헌

- [1] 하원규, 김동환, 최남희 “유비쿼터스 IT혁명과 제 3 공간”, 전자신문사, 2002. 11
- [2] IEEE 802.11 standard “Wireless LAN medium access control(MAC) and physical layer (PHY) specifications,” 1997.
- [3] IEEE 802.15.3 draft standard “Wireless Medium Access Control (MAC) and Physical Layer (PHY) Specifications for High Rate Wireless Personal Area Networks (WPAN),” Oct. 2002.
- [4] Bluetooth SIG groups “Specification of the blue tooth system,” ver 1.0 draft foundation, July 1999.
- [5] HomeRF “Technical summary of the SWAP specification,” February 1999.
- [6] T. H. Wu and E. Geraniotis, “CDMA with multiple chip rates for multi-media communications,” in Proc. Information science and systems, pp.992- 997, 1994.
- [7] I. Chih-lin and R. D. Gitlin, “Multi-code CDMA wireless personal communications networks,” in Proc. ICC’95, pp. 1060-1064, Seattle, June 1995.
- [8] I. Chih-lin and R. D. Gitlin, “Multi-code CDMA wireless personal communications networks, in Proc. ICC95, pp. 1060-1064, 1995.
- [9] T. Wada, T. Yamazato, M. Katayama and A. Ogawa, “A constant amplitude coding for orthogonal multi-code CDMA systems,” IEICE Trans. on Fundamentals, vol. E80-A, no. 12, pp.2477-2484, Dec. 1997.
- [10] 홍대기, 강성진, 주민철, 김용성, 조진웅, “무선 PAN 응용을 위한 정 진폭 다중 부호 이진 직교 변조”, 한국통신학회 추계 학술대회, 2004
- [11] T. H. Wu and E. Geraniotis, “CDMA with multiple chip rates for multi-media communications,” in Proc. Information science and systems, pp.992- 997, 1994.
- [12] 안호성, 류승문, 나성웅, “바이너리 CDMA 소개,” JCCI, VI-A.1.1-4, April 2002.
- [13] 조한진, “무선통신 멀티미디어 SoC 설계 및 검증,” SITI 뉴스레터 제2권 2호. pp. 21-28. 2004

김 용 성(Young-Sung Kim)

[정회원]



- 1998년 2월 전남대학교 컴퓨터 공학과 (공학사)
- 2001년 2월 전남대학교 컴퓨터 공학과 (공학석사)
- 2000년 7월 세트리마이크로시스템 주임연구원
- 2003년 11월~현재 전자부품연구원 통신네트워크센터 선임연구원

<관심분야>

무선통신, WPAN, Modem SoC 설계

김 선 희(Sun-Hee Kim)

[정회원]



- 2000년 2월 이화여자대학교 전자공학과 (공학사)
- 2002년 2월 이화여자대학교 정보통신학과 (공학석사)
- 2002년 3월 전자통신연구원 연구원
- 2005년 3월 ~현재 전자부품연구원 전임연구원

<관심분야>

SoC, 무선통신, WPAN

홍 대 기(Dae-Ki Hong)

[종신회원]



- 1997년 2월 : 광운대학교 컴퓨터 공학과 (공학사)
- 1999년 2월 : 연세대학교 전자공학과 (공학석사)
- 2003년 2월 : 연세대학교 전기전자공학과(공학박사)
- 2002년 1월 전자부품연구원 통신네트워크연구센터 선임연구원
- 2006년 9월~현재 상명대학교 공과대학 정보통신공학과 전임강사

<관심분야>

무선통신, 이동통신, WPAN, WLAN