

질화갈륨 고출력 트랜지스터 패키지의 성능 최적화

오성민¹, 임종식^{2*}, 이용호¹, 박천선², 박웅희³, 안달²

Optimization of Performances in GaN High Power Transistor Package

Seongmin Oh¹, Jongsik Lim^{2*}, Yongho Lee¹, Chunseon Park²,
Ung-Hee Park³ and Dal Ahn²

요약 본 논문은 트랜지스터 다이, 칩 커패시터, 커패시터와 트랜지스터 다이를 연결하는 와이어 본딩으로 구성된 질화갈륨 고출력 트랜지스터 패키지에 있어서, 그 출력 성능의 최적화에 대하여 언급한다. 와이어 본딩 방법에 따른 출력 전력의 최적화된 결과와, 와이어 본딩과 바이어스 조건에 따른 3차 상호변조 특성 최적화 등이 기술되어 있다. 또한 본 논문에는 제한된 면적내의 고출력 트랜지스터 패키지에서 와이어 본딩으로 구현된 인덕턴스에 따라 얼마나 그 출력 성능이 민감하게 반응하는지를 시뮬레이션을 통하여 제시하고 있다.

Abstract This paper describes the optimized output performances such as output power and the third order intermodulation in GaN high power transistor packages which consist of chip die, chip capacitors, and wire bonding. The optimized output power according to wire bonding techniques, and third order intermodulation performances according to wire bonding and bias conditions are discussed. In addition, it is shown through the nonlinear simulation that how the output performances are sensitive to the inductance values which are realized by wire bonding for matching network in the limited package area.

Key Words : High power transistor package, GaN, Gallium nitride, wire bonding

1. 서론

최근 정보통신과 이동통신 분야의 눈부신 발전이 이루어짐에 따라서 관련된 기기의 수요가 날로 증가하고 있고, 관련 시장이 매우 확장하고 있다. 여기에 요구되는 기술적 난이도도 매우 높아지고 있는데, 고정국 또는 이동국용 정보통신 기기 및 부품들은 사용자의 편리성을 위하여 고성능화, 저가격화의 기술적 경향을 반영해야만 기술적 경쟁력을 갖출 수 있다.

이동통신용 기지국 송신 시스템에 있어서도, 이렇게 요구되는 기술 경쟁력의 경향에 발맞추기 위하여, 사용되는 각 RF 부품들이 점점 고집적화, 고성능화 되어야만 하는 기술적 숙제를 가지고 있다. 기지국용 송신 고출력증

폭기 시스템에 있어서 요구되는 기술적 발전은 크게 두 가지 관점으로 살펴볼 수 있는데, 같은 성능일 경우 집적화, 소형화를 위한 신기술을 요구하거나 또는 동일한 수준의 집적화 소형화 상태일 경우 보다 고성능을 요구하고 있다.

일반적으로 무선 송신 시스템에 사용되는 고출력용 트랜지스터 다이(transistor die)의 경우 개별 트랜지스터 유닛(unit)이 다수 개가 병렬로 연결되어 있기 때문에, 트랜지스터 다이 자체가 가지고 있는 입력 임피던스가 1Ω이 채 될까 말까 하는 수준으로 매우 낮다. 따라서 MMIC(monolithic microwave integrated circuits) 공정이나 RFIC(radio frequency integrated circuits) 공정 등의 반도체 고집적 회로에서의 직접적인 사용은 가능하지만, 하이브리드(hybrid) 형태의 PCB(printed circuit boards) 회로상에서 직접 사용하기에는, 매칭이 거의 불가능하기 때문에, 사실상 어렵다. 따라서 이러한 문제점을 해결하고 하이브리드 PCB 상에서 적용이 가능하도록 하기 위해 트랜지스터 다이를 커패시터와 와이어 본딩(wire bonding)으로 임피던스 정합(matching)을 해주는 방법을 사용해야

이 연구는 차세대BIT무선부품지역혁신센터(RIC/N)사업 및 동사업을 통한 (주)RFHIC의 산학연구비 지원으로 수행되었음.

¹(주)RFHIC

²순천향대학교 전기통신공학과

³강원대학교 삼척캠퍼스 전자공학과

*교신저자: 임종식(jslim@sch.ac.kr)

한다[1-3].

본 논문에서는 최근 활발하게 연구되고 있는 새로운 반도체 소자인 질화갈륨(GaN, gallium nitride) 고출력 트랜지스터 소자의 특성과, 정합회로에 사용되는 칩 커패시터 및 와이어 본딩 특성 분석을 통하여, 여러 가지 최적화된 성능에 적합한 내부 정합회로를 설계하고 그에 따른 고출력 패키지 성능에 대하여 기술하였다[4-6]. 또한 본 논문에서는 바이어스 조건과 와이어 본딩 방식에 따른 성능에 대하여도 고찰한다.

2. 고출력 트랜지스터 패키지에 사용되는 소자와 그 특성

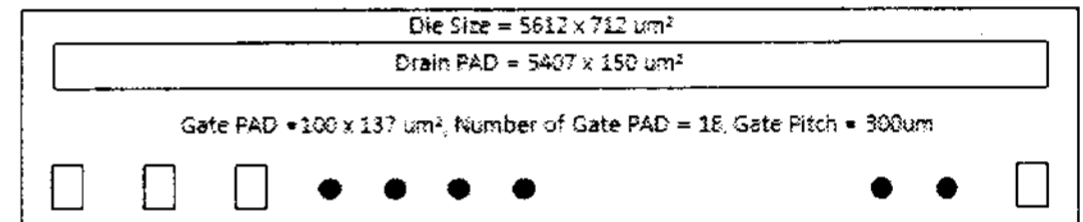
본 논문에서 다루고자 하는 질화갈륨 고출력 트랜지스터 패키지 내부 정합회로에 사용되는 소자는 세 가지로 이루어지는데, 고출력을 얻어내기 위한 증폭소자인 반도체 트랜지스터 다이, 원하는 출력과 외부 정합에 유리한 임피던스로 끌어올리기 위한 칩 커패시터, 그리고 이들을 상호 연결하면서 DC 선로 및 RF 인덕턴스 역할을 해주는 와이어가 있다. 고출력 트랜지스터 다이의 경우에는 단일 트랜지스터 유닛이 다수 개가 병렬로 연결되어 있는 구조를 가지고 있는 것이 일반적이기 때문에, 여기에 필요한 와이어의 개수는 단일 트랜지스터 다이의 개수(즉 게이트 개수)와 최소한 같거나 그 이상이 사용되게 된다. 칩 커패시터는 원하는 주파수 대역에서 원하는 성능을 얻기 위하여, 낮은 임피던스를 지닌 트랜지스터 다이를 상대적으로 높은 입력 임피던스를 지는 고출력 트랜지스터 패키지로 변환하기 위한 정합회로로 사용된다. 따라서 L-C 정합회로 구성을 위하여 인덕턴스가 필요하므로 트랜지스터 다이에 병렬로 연결된 다수의 와이어와 함께 정합회로를 구성하게 된다.

그림 1은 본 논문에서 고출력 트랜지스터 다이의 샘플로 사용하게 될 36mm 질화갈륨 칩 트랜지스터 다이의 레이아웃과 치수(dimension)이다. 사용하고자 하는 트랜지스터 다이는 2mm 단일 트랜지스터 18개가 병렬로 묶여서 총 36mm의 소자 크기를 이루는 고출력 소자로서, 정합 정도에 따라 수십 와트급 이상의 RF 출력 특성을 갖는 고출력 소자이다.

보통 이렇게 큰 고출력증폭 소자는 비선형 모델이 거의 불가능하기 때문에 단일 소자의 비선형 모델을 스케일링(scaling)하여 사용하게 된다. 본 논문에서도 제조사에서 제공하는 2mm 단일 소자에 대한 비선형 모델을 비선형 모델 사용 지침에 따라서 스케일 지수(scale factor) 18을 사용하여 36mm 소자로 비선형 시뮬레이션 하였다.

그림 1에 나타난 36mm 질화갈륨 소자에 35V의 Vds를 인가하여 로드풀(load-pull), 소스풀(source-pull) 특성을 시뮬레이션하면, 입력 임피던스가 극히 작은 값으로 나오게 된다. 표 1에는 1GHz에서 그 결과가 정리되어 있는데, 이 소자가 이상적으로 정합되었을 경우에 100와트 이상의 RF 출력을 얻을 수 있는 것으로 판단된다.

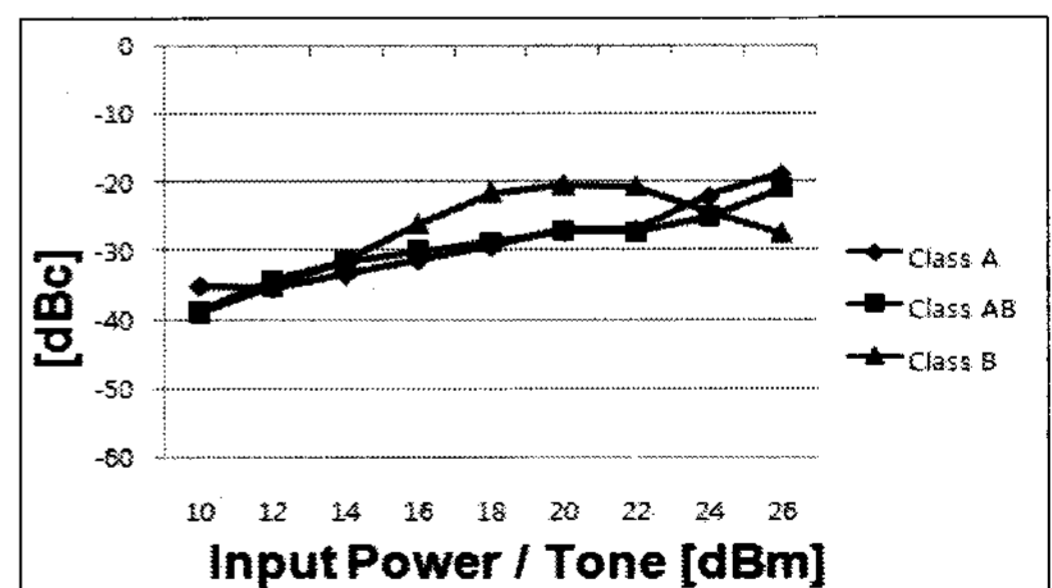
그러나 표 1에 의하면 입력 임피던스가 거의 0Ω에 가까운 값이어서, 스미쓰 차트의 왼쪽 끝 개방(open) 지점에 붙어 있게 되는데, 정합점이 이렇게 극단의 위치에 있게 되면 고출력증폭기 설계를 위한 정합이 PCB 회로상에서 사실상 불가능에 가깝게 된다. 따라서 고출력 증폭 패키지 소자 내부에서 임피던스를 키워주기 위한 정합회로 즉, 커패시터와 와이어 본딩으로 구현되는 인덕터가 필요하게 된다.



[그림 1] 36mm 질화갈륨 고출력 트랜지스터 다이의 레이아웃과 치수

[표 1] 36mm 질화갈륨 고출력 증폭소자의 임피던스 특성 (Vds=35V)

	Impedance [Ω]	Ideal Efficiency [%]	Ideal Output Power [dBm]
Source Impedance	0.13+j1.877	65.87	52.11
Load Impedance	1.813+j2.570	65.88	52.11

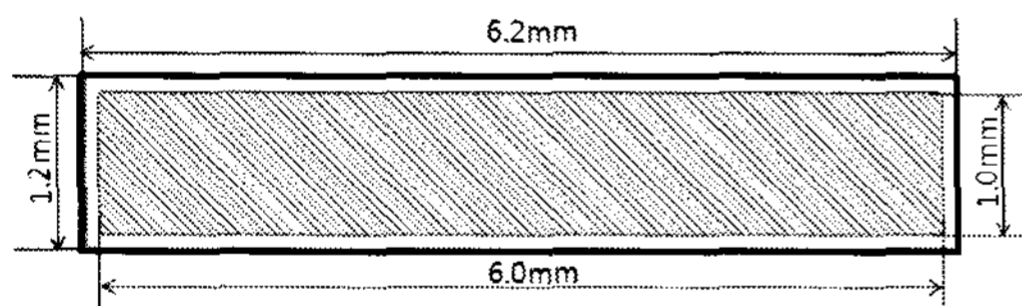


[그림 2] 36mm 질화갈륨 고출력 트랜지스터 다이 자체의 IMD3 특성

본 논문에서 사용되는 36mm 고출력 트랜지스터 다이의 2-tone IMD3 특성은 비선형 모델로부터 추출하는데, 바이어스에 따른 결과가 그림 2에 제시되어 있다. 바이어스 변화에 따른 동작 클래스에 따라 class A와 class AB

의 경우 유사한 특성을 보였으나, class B의 경우 높은 입력이 인가되면서 IMD3 특성이 개선됨을 알 수 있다. 그러나 이 특성은 패키지 정합회로가 아직 설계되지 않는 상태, 즉 다이 자체의 이상적 특성이다. 다음 장에서는 정합회로 설계에 따라 그 특성이 달라짐을 보일 것이다.

표 1에서 언급한 바와 같이 트랜지스터 다이의 낮은 입력 임피던스를 키워주기 위한 패키지 내 소자로 칩 커패시터가 사용된다. 패키지 면적이 매우 좁으므로 역시 좁은 면적에 적합한 커패시터 구조가 필요하기 때문에 본 논문에서는 반도체 공정을 이용한 단층 칩 커패시터를 사용하였다. 구체적으로 사용된 커패시터는 실리콘 웨이퍼에 제작된 MOS 커패시터인데, wafer 윗면에 존재하는 금속의 면적이 웨이퍼 아랫면 금속 즉, 패키지의 접지면 금속과 맞닿는 금속면과 함께 커패시턴스를 만들어 내는 구조를 지니고 있다. 그림 3에 나타난 바와 같이 빗금 쳐있는 부분의 금속면이 패키지의 접지면 금속과 평행하게 놓이게 되어 커패시턴스를 생성하여 패키지의 내부 정합시에 필요한 커패시턴스를 만들어 낸다. 금속 면적이 줄어들게 되면 그에 따라 접지면과 만들어내는 커패시턴스가 작아지게 되어 다양한 값을 가질 수 있게 된다. 본 논문의 연구를 위해서 제작된 MOS 커패시터는 2~120 pF의 다양한 값을 가지고 있는데, 예로서, 그림 3은 120pF의 값을 가지는 커패시터의 치수를 보여주고 있다.

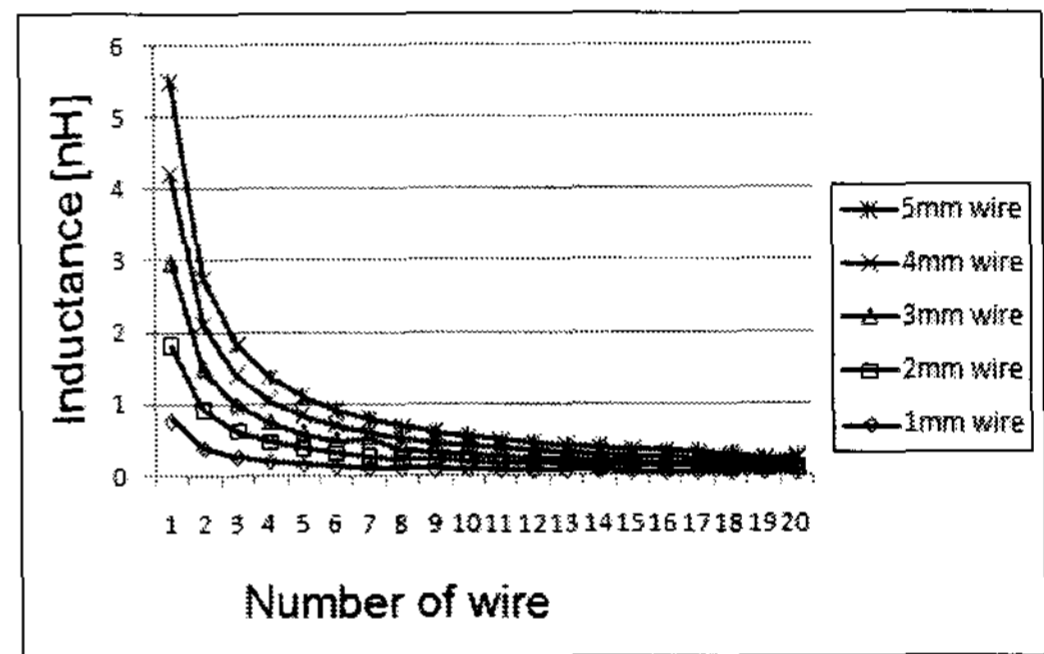


[그림 3] 120pF의 커패시턴스를 갖는 실리콘 MOS 커패시터의 레이아웃

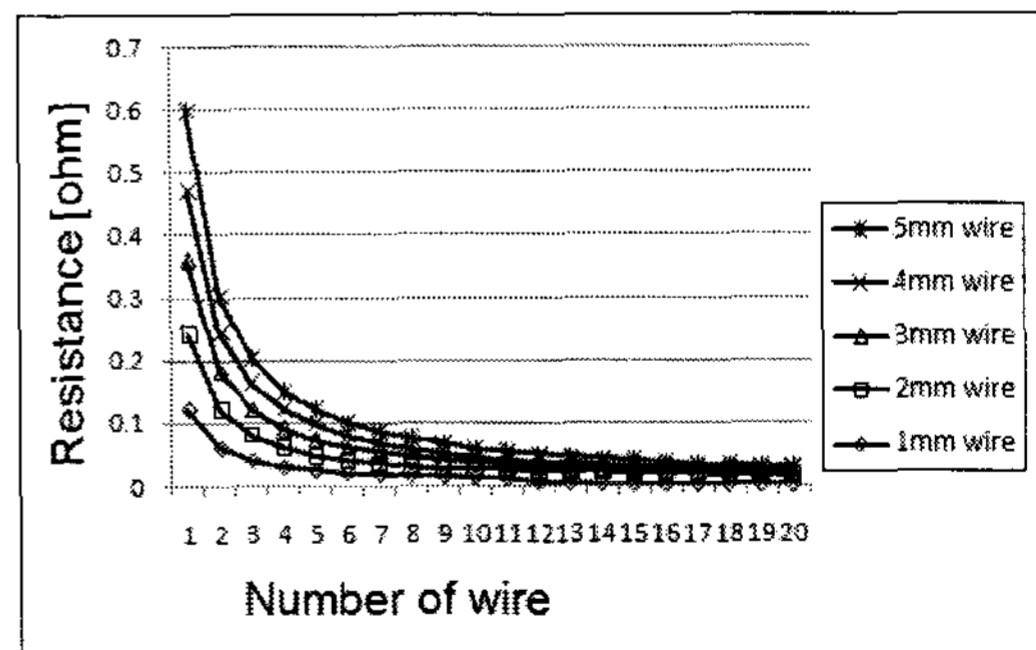
이제 트랜지스터 다이와 커패시터를 상호 DC적으로 연결하고 RF적으로 정합시켜주는 소자인 와이어에 대하여 살펴보겠다. 모든 와이어는 기본적으로 인덕턴스를 가지고 있으므로 인덕터 소자가 되어 커패시터와 함께 정합회로의 중요한 부분을 이룬다. 와이어는 그 길이가 길수록 인덕턴스가 비례하게 되는데, 동시에 손실을 의미하는 저항도 커지게 된다. 그러나 다수의 와이어가 병렬로 본딩될 경우 저항의 병렬효과로 인하여 합성저항이 급격하게 줄어들므로 저항에 의한 손실은 그다지 중요하지 않게 된다[7].

본 논문에서 사용된 와이어는 금(gold, Au) 재질에 지름이 1.2mil(=0.03048mm)인 와이어인데, 그림 4에는 사

용된 와이어의 길이와 개수에 따른 인덕턴스와 저항의 변화가 나타나 있다. 단일 와이어일 경우 와이어가 길수록 저항이 크지만 다수 개가 병렬로 연결될 경우 급격하게 감소하게 있음을 확인할 수 있다. 즉 와이어 증가에 따른 인덕턴스와 저항은 와이어 길이에 비례하나, 개수에는 반비례함을 알 수 있다. 특히 저항의 경우, 와이어 개수가 증가함에 따라 무시할 수 있을 정도로 작아진다. 따라서 저항값에 기인하는 RF 신호의 손실도 크게 줄어들므로, 패키지 내부 정합에 미치는 영향은 미미해져서, 결국 인덕턴스 값이 칩 커패시터의 커패시턴스와 함께 고출력 패키지의 성능을 크게 좌우하는 정합회로를 구성하게 된다. 상기했듯이 고출력 트랜지스터 패키지 내의 와이어의 경우 다수의 트랜지스터 게이트 소자들을 연결하기 때문에 여러 개의 와이어가 병렬로 연결되어 있다.



(a)



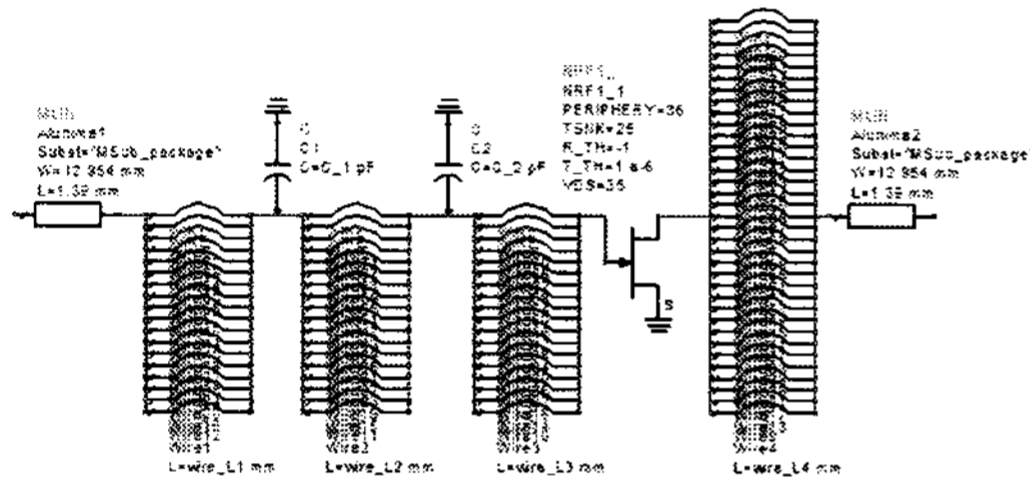
(b)

[그림 4] 와이어 길이와 개수에 따른 (a)인덕턴스와 (b)저항의 변화

3. 고출력 트랜지스터 패키지의 설계 소자에 따른 성능 변화

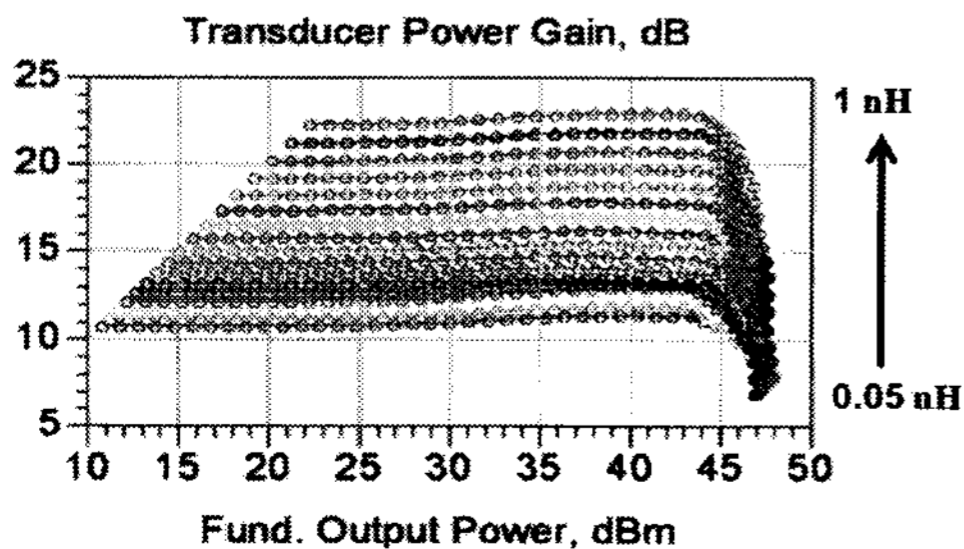
앞서 나열한 각 내부 정합회로용 소자들을 이용하여 고출력 트랜지스터 패키지를 설계하여 보았다. 그림 5는

36mm GaN 고출력 트랜지스터 소자와 두 개의 MOS 커패시터를 사용하여 설계한 고출력 트랜지스터 패키지의 스케매틱(schematic) 회로도이다. 그림 5에 나타난 회로도를 살펴보면 한 개의 트랜지스터 다이와 두 개의 커패시터를 다수의 와이어가 연결함으로써 구성되어 있다. 2mm 크기의 개별 트랜지스터 게이트 18개가 병렬로 연결되어 구성되어 있기 때문에 입력측은 최소한 18개의 와이어가 필요하다. 출력측은 입력측보다 더욱 많은 36개의 와이어를 병렬 연결하였다. 이렇게 할 경우 많은 양의 DC 전류 및 큰 값으로 증폭된 RF 출력을 안전하게 전달할 수 있으며, 이 때 다수의 와이어가 병렬로 연결되므로 저항값에 기인하는 출력측 RF 손실을 무시할 만한 수준으로 줄일 수 있다.



[그림 5] 36mm GaN 고출력 트랜지스터 패키지의 설계 회로

출력이 매우 큰 GaN 고출력 트랜지스터 패키지의 경우 트랜지스터 다이의 게이트에 직접 연결된 와이어의 길이에 따라 이득에 민감한 영향을 끼친다. 그래서 이 부분은 커패시터와 함께 스미쓰 차트의 개방점에서 벗어나는 임피던스 상향 정합에 매우 민감한 영향을 준다. 그러므로 와이어 길이에 따라 고출력 트랜지스터 패키지에 어느 정도의 성능 변화를 가지는지를 알아보는 것이 꼭 필요하다. 본 논문에서는 그림 5와 같이 설계된 고출력 트랜지스터 다이의 게이트에 연결된 와이어(wire_L3)의 길이를 조절하여 등가 인덕턴스를 0.05nH~1nH 까지 변화시켜 가며 그에 따른 이득 변화를 그림 6에 나타내었다.

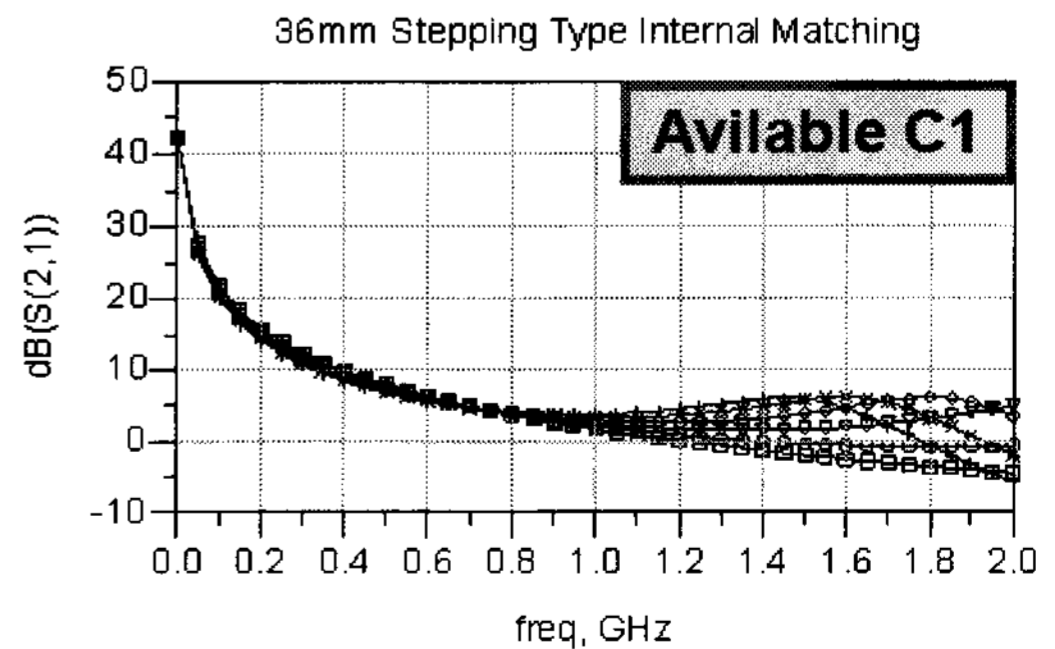


[그림 6] 게이트 단자에 직접 연결된 와이어의 wire_L3의 인덕턴스 값에 따른 이득 변화

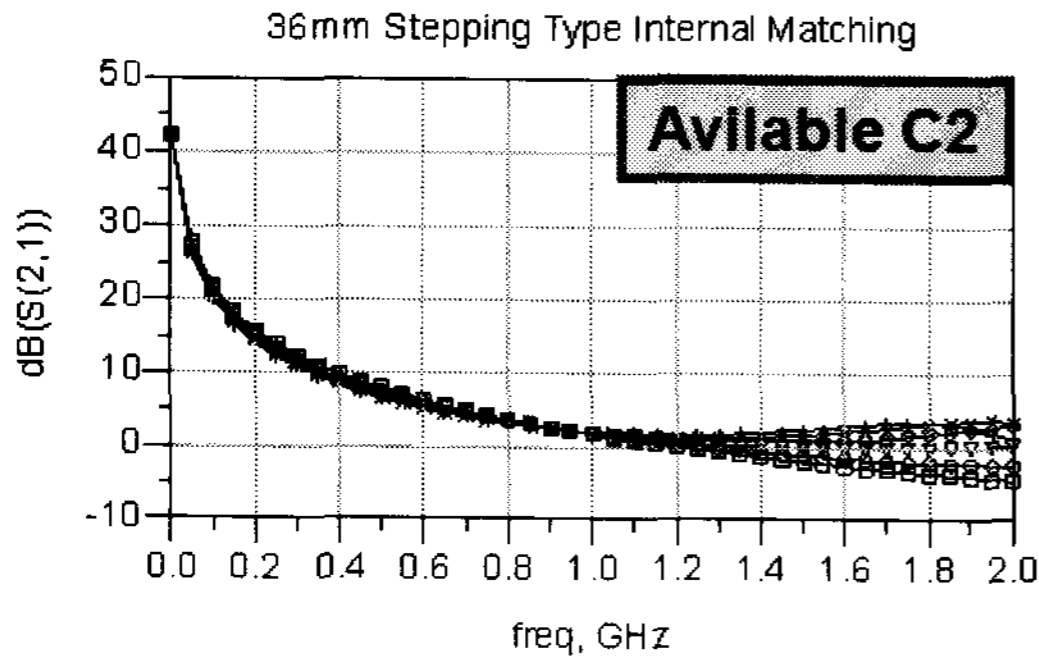
그림 6을 보면 게이트에 직접 연결된 와이어에 의한 인덕턴스에 따라 이득과 출력 전력의 변화폭이 매우 큰 것을 알 수 있다. 가령 0.05nH의 값을 가질 경우 약 11dB의 전력이득을 가지나, 인덕턴스 값이 1nH가 될 경우 약 23dB의 전력이득을 가지므로 출력 전력의 크기가 매우 크게 변하고 있다. 이로부터 패키지 내에서 트랜지스터 다이의 게이트에 직접 연결된 와이어의 길이를 증가시킨다면 우수한 출력특성을 얻을 수 있음을 알 수 있다. 물론 트랜지스터 패키지의 크기가 제한되어 있고, 커패시터를 위한 면적도 허용을 해야 하므로 와이어의 길이를 허용 가능한 수준에서 적당한 길이로 타협(trade-off)해야 할 것이다.

이제 커패시터 변화에 따른 고출력 특성 변화를 살펴 보겠다. 그림 7은 설계된 고출력 패키지에서 커패시터에 따른 출력 특성의 변화를 알아보기 위하여 그림 5에서 C_1과 C_2로 명명된 커패시터의 값을 변화시키며 그에 따른 출력 특성의 변화를 나타낸 것이다.

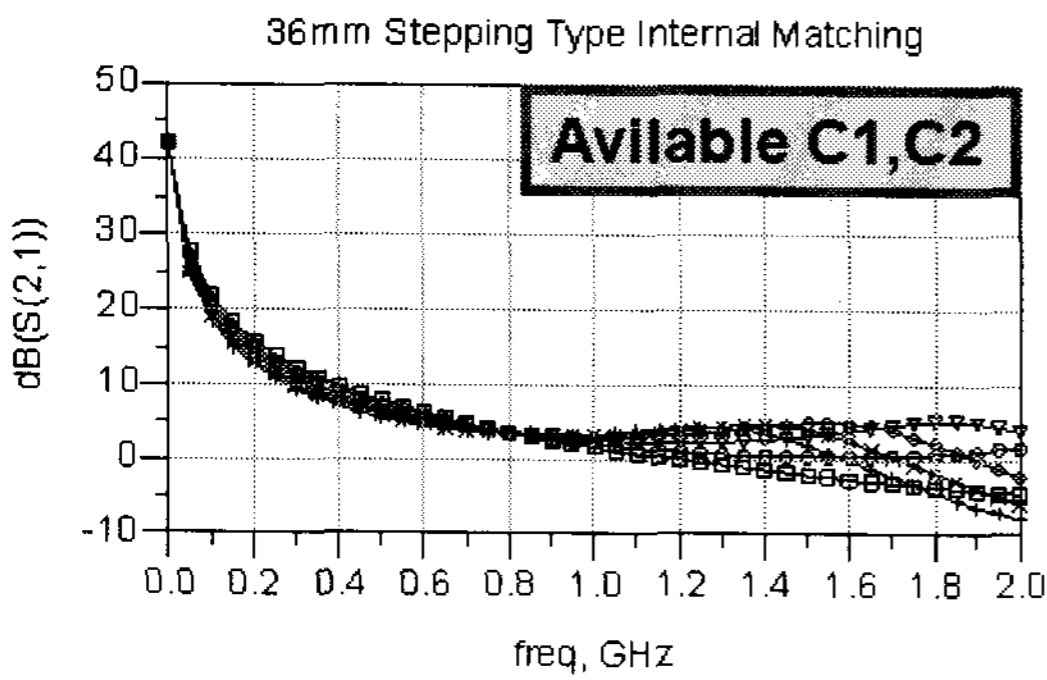
우선 그림 7(a)과 그림 7(b)는 각각 C_1, C_2의 값을 1~50pF사이에서 변화시키며 정합회로를 설계했을 때 출력 특성의 변화 폭을 보여 준다. 이 두 그림으로부터 고출력 트랜지스터 다이의 게이트 단의 첫 번째 커패시터(C_1)가 출력 특성에 더 큰 영향을 끼친다는 것을 알 수 있다. 그러나 그림 7(b)에서도 유용한 정보를 얻을 수 있는데, 그것은 C_2의 변화에 따른 성능 변화의 정도가 더 적다는 것이다. 즉, C_2 값의 변화에 따른 성능변화가 균일하게 변하기 때문에 변화를 유추하는 데에는 유용하게 쓰일 수 있음을 알 수 있다. 따라서 C_1과 C_2를 같이 조합하여 변화시킬 경우 그림 7(c)에서처럼 커패시터 값에 따라 출력 특성을 자유롭게 변화시킬 수 있다는 것을 알 수 있다.



(a) C_1을 변화하였을 때의 특성변화



(b) C₂를 변화하였을 때의 특성변화



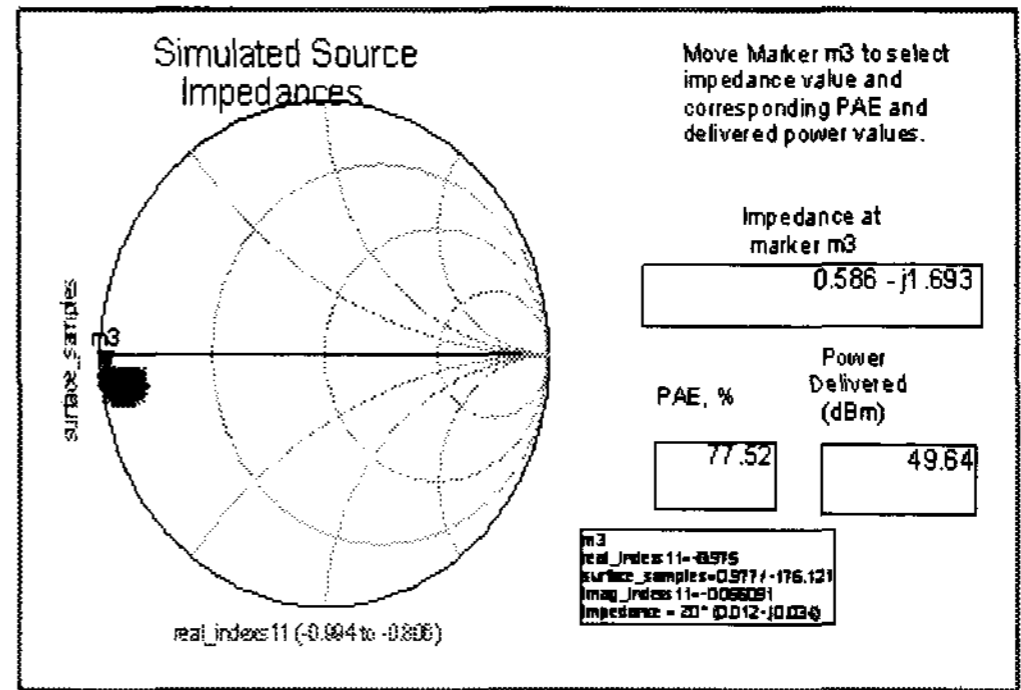
(c) C₁과 C₂를 함께 변화하였을 때의 특성변화

[그림 7] 커패시터 값의 변화에 따른 S-parameter 특성변화

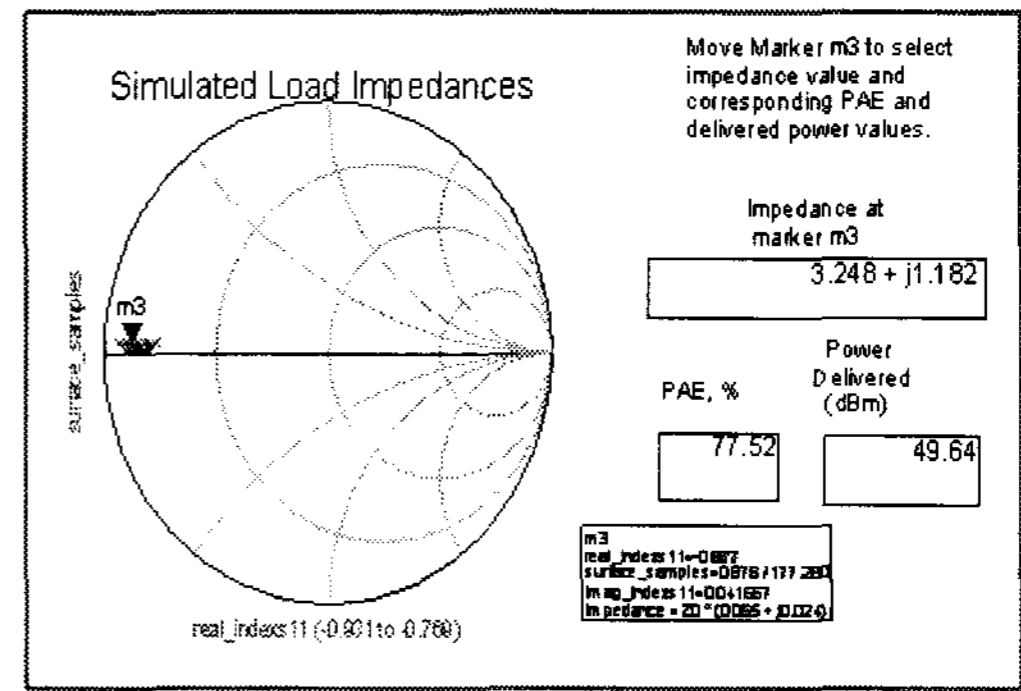
4. 고출력 트랜지스터 패키지의 성능 최적화 설계

상기와 같이 고출력 트랜지스터 패키지의 성능에 영향을 미치는 소자들의 특성을 감안하여, 그림 5와 같은 형태의 패키지를 설계하고 그에 따른 출력 특성을 load-pull, source-pull 시뮬레이션을 통하여 알아보았다.

그림 8은 1GHz에서 설계된 고출력 트랜지스터 패키지를 통해 얻을 수 있는 최대 출력과 그에 따른 효율, 그리고 크게 증가한 소스 및 로드 임피던스를 나타낸다. 표 1에서는 입력측 임피던스가 $0.13 + j1.877\Omega$ 에 불과했으나, 지금은 $0.586 + j1.693\Omega$ 로 변했으며, 특히 임피던스의 실수값이 크게 증가했음을 알 수 있다. 따라서 하이브리드 PCB에 실장하여 고출력증폭기를 설계할 때 트랜지스터 다이 자체보다는 패키지 상태가 훨씬 유용하게 적용될 수 있다. 한편, 출력측 임피던스도 $1.813 + j2.57\Omega$ 에서 $3.248 + j1.182\Omega$ 의로 변하여, 고출력 증폭기 설계시 PCB 상에서 정합할 때 유리하게 변했음을 알 수 있다.



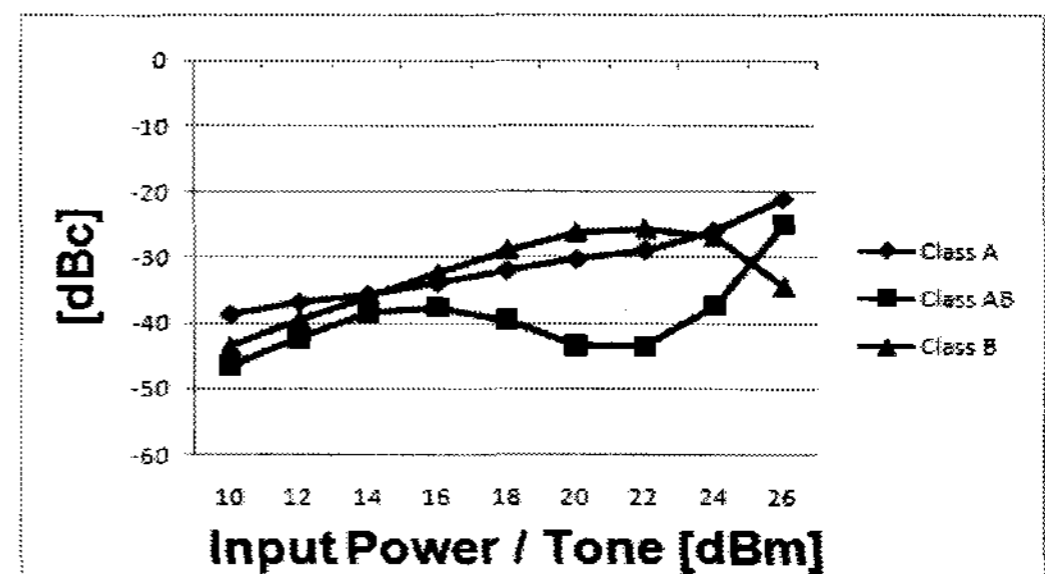
(a) Source 임피던스



(b) Load 임피던스

[그림 8] 설계된 36mm 고출력 트랜지스터 패키지의 임피던스 변화(증가)

그림 9는 설계된 고출력 트랜지스터 패키지의 IMD3 특성을 나타낸다. 고출력 트랜지스터 다이 자체의 경우 class B일 때 높은 입력에서 IMD3가 개선됨을 그림 2를 통하여 이미 나타내었다. 하지만 설계된 고출력 트랜지스터 패키지의 경우 모든 바이어스 조건에서 IMD3가 개선되었음을 알 수 있다. 따라서 패키지 설계에 따른 임피던스의 개선 즉, 증가는 PCB 상에서 고출력증폭기를 설계할 때 정합성뿐만 아니라 비선형 IMD3 특성도 개선함을 알 수 있다.

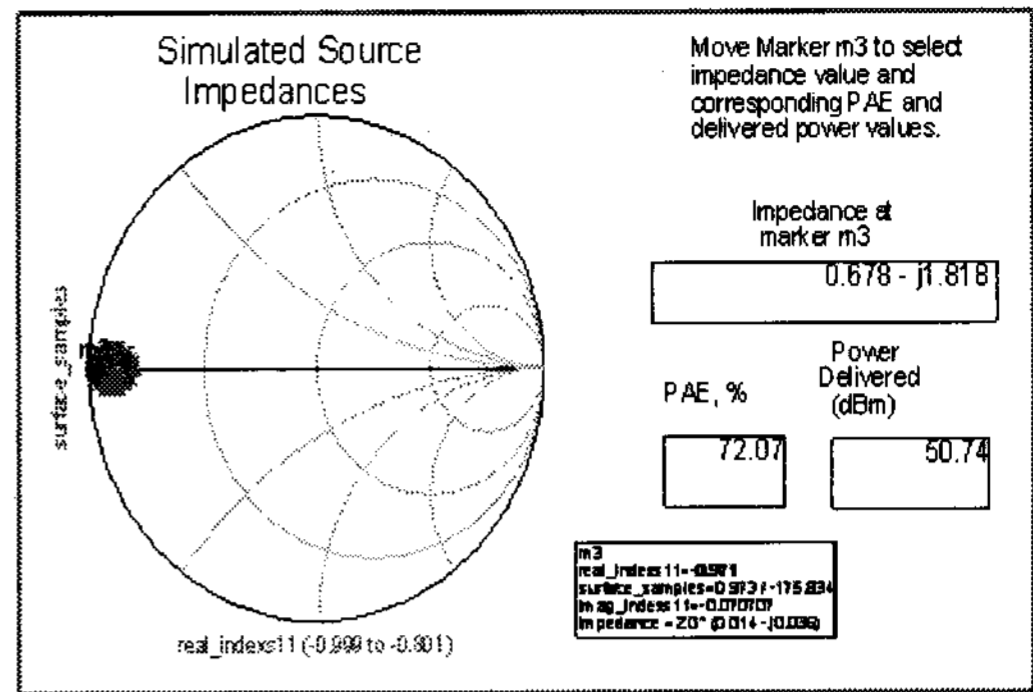


[그림 9] 설계된 고출력 트랜지스터 패키지의 IMD3 특성

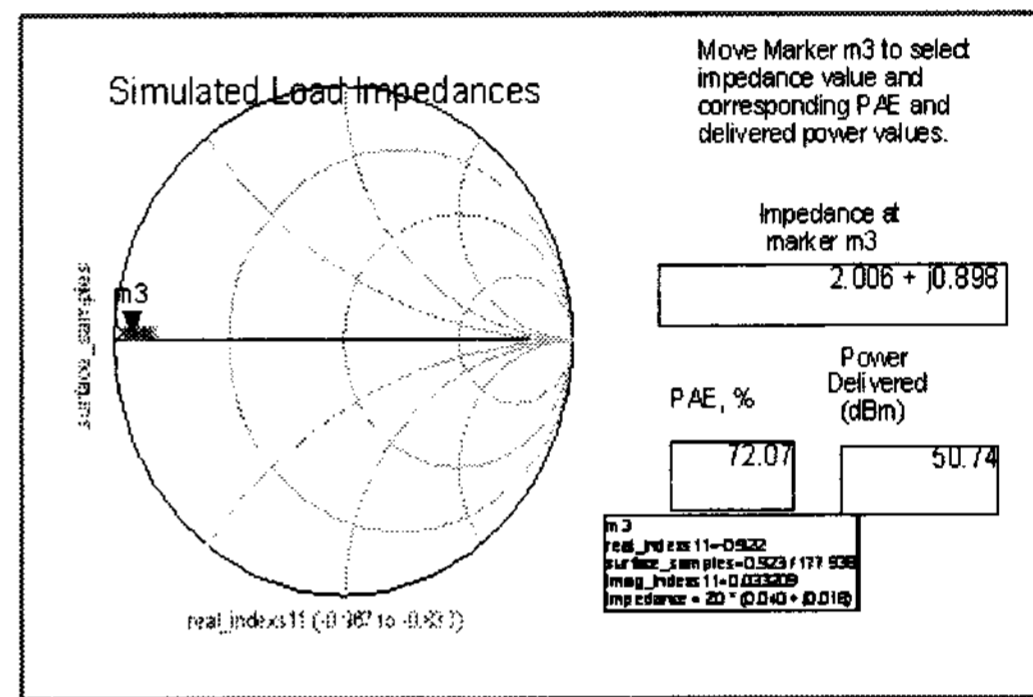
5. 와이어 본딩 방법 개선에 따른 고출력 트랜지스터 패키지의 성능 최적화

상기 그림 6을 통하여 트랜지스터 다이의 게이트에 직접 인가되는 와이어의 길이에 따른 패키지의 성능이 매우 민감하고, 본 논문에서 사용한 36mm 소자의 경우 와이어가 길수록, 즉 인덕턴스가 클수록 출력 특성이 우수함을 알았다. 제한된 패키지의 면적 내에서 와이어의 길이를 키우기 위하여 그림 5의 회로에 변형을 가하면 그림 10의 회로가 된다. 두 회로의 차이점을 다시 정리하면, 그림 5에서는 패키지 입력단에서 트랜지스터 다이의 게이트 단에 이르기까지 순서대로 wire_L1, C1, wire_L2, C2, wire_L3의 순서를 거치게 되나, 그림 10에서는 wire_L2, C2, wire_L1, C1, wire_L3의 순서를 거치게 된다는 점이다. 따라서 그림 5에 비하여 동일한 패키지 면적에서도 wire_L3의 길이를 키울 수 있게 된다.

그림 10의 방법을 이용하면 그림 5보다도 인덕턴스 wire_L3을 더욱 증가시킬 수 있으므로 출력 전력 특성도 더욱 개선될 것을 예상할 수 있다. 그림 11은 그림 10의 방법으로 동일 주파수에서 패키지 설계를 했을 때 출력 전력 특성이 더욱 개선되었음을 보여주고 있다. 그림 11을 그림 8과 비교하면, 그림 5의 설계에서는 최대 출력이 49.64dBm이었는데, 그림 10의 설계에서는 50.74dBm으로 출력이 개선되었음을 알 수 있다. 물론 입력측 임피던스도 표 1에 비하여 개선된 결과를 보여준다.

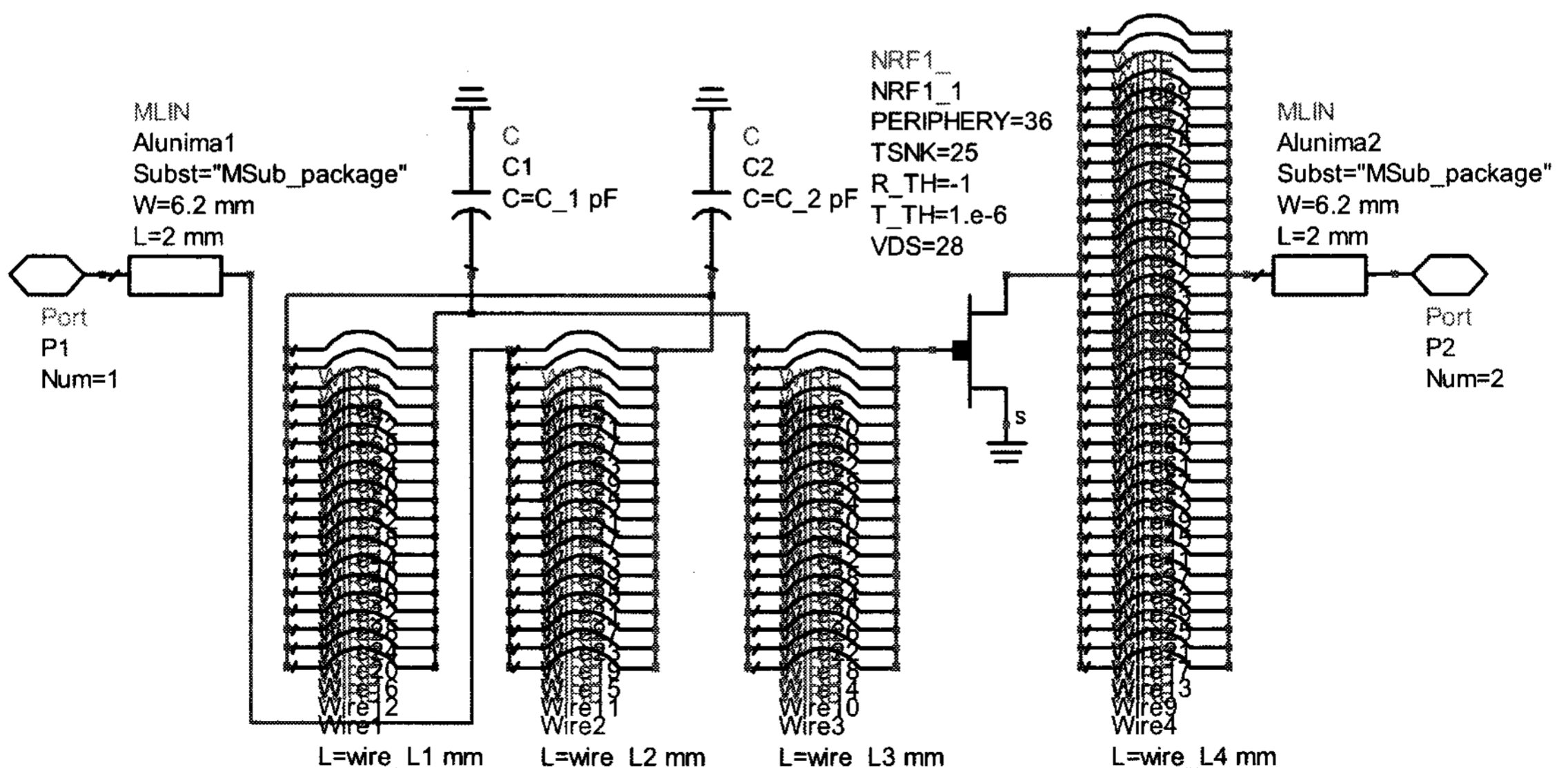


(a) Source 임피던스

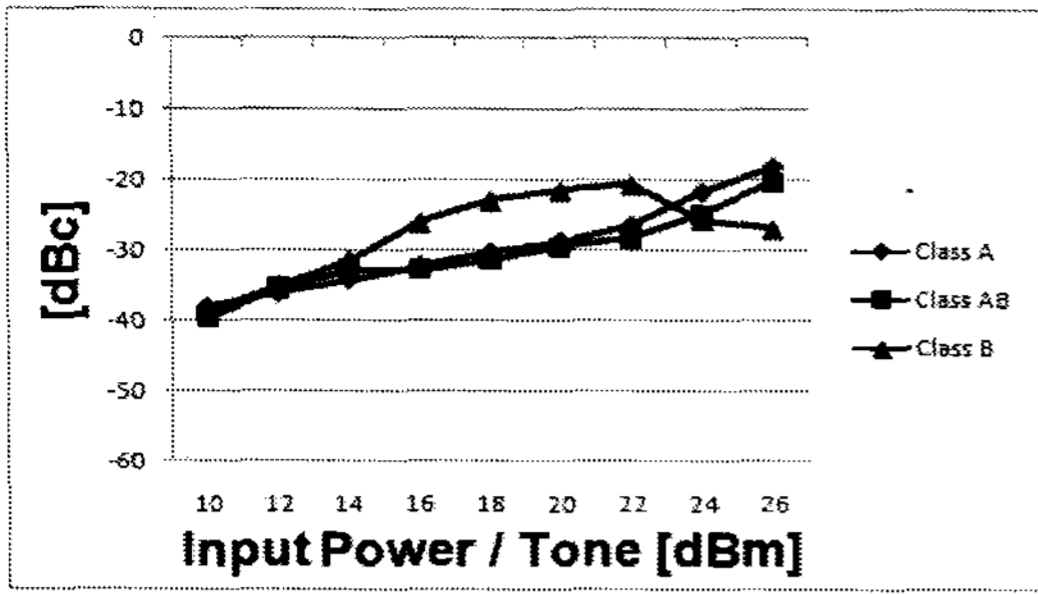


(b) Load 임피던스

[그림 11] 새로운 와이어 본딩 방법으로 설계된 36mm 고출력 트랜지스터 패키지의 임피던스 변화 (증가)

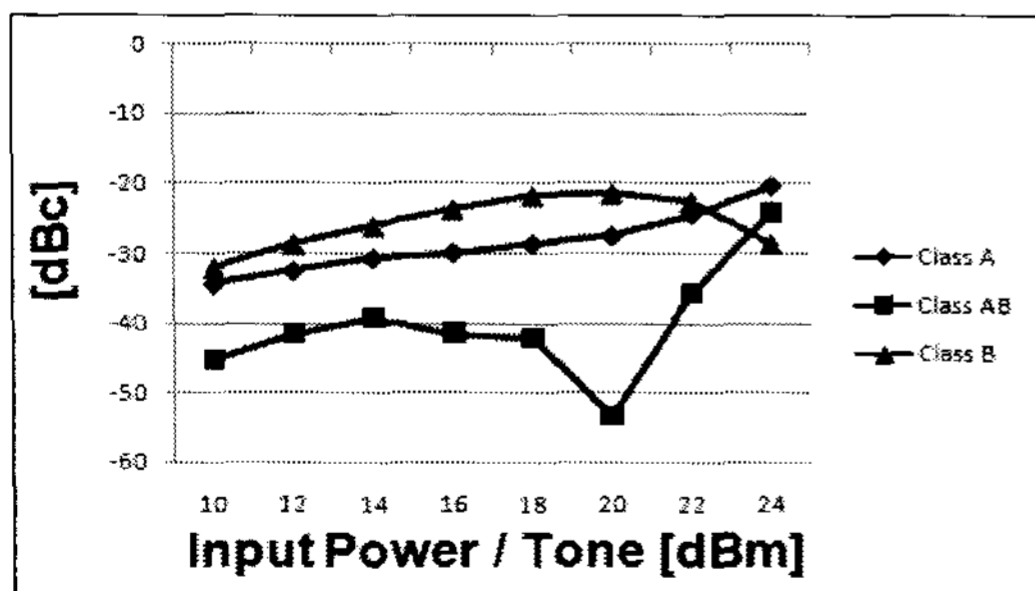


[그림 10] 게이트 단에 연결되는 와이어를 키우는 방법을 이용한 36mm GaN 고출력 트랜지스터 패키지의 설계 회로



[그림 12] 새로운 와이어 본딩 방법으로 설계된 36mm GaN 고출력 트랜지스터 패키지의 IMD3 특성

그림 12는 그림 10의 설계 방법에 의한 고출력 트랜지스터 패키지의 IMD3 특성이다. 이 경우는 출력 전력이 크게 증가함에 따른 포화상태로 인하여 비선형성이 증가하기 때문에 IMD3의 개선을 크게 기대할 수 없는데, tone당 입력전력이 14 ~ 22dBm일 때 그림 2에 비하여 개선 정도가 약 2dBc 정도로 미미하다. 그러나 이 성능을 보다 개선하기 위하여 본 논문에서는 게이트 전압을 미세하게 조정하여 출력전력 특성은 거의 같게 유지한 채 IMD3 특성을 크게 개선하는 방법을 취하였다. 예로써 Class AB 동작에 해당하는 V_{gs} 전압인 -1.5V를 약간 낮춰서 -1.4V로 취했을 때 IMD3 특성이 크게 개선된 결과가 그림 13에 제시되어 있다. 그림 13은 비선형 동작 특성을 보이는 고출력 트랜지스터의 경우에, 동작 class를 AB와 B 사이로 하면 sweet spot 이 보인다는 일반적인 현상에 잘 부합하는 결과를 보여주고 있다[1,3,8].



[그림 13] V_{gs} 전압을 -1.5V에서 -1.4V로 변화시켜 개선시킨 IMD3 특성

6. 결론

본 논문에서는 질화갈륨 고출력 트랜지스터 다이들 이용하여 고출력 패키지 내부 정합회로를 설계할 때, 각 정

합 소자의 변화에 따른 특성변화와 성능 개선에 대하여 고찰하였다. 또한 예로서 36mm 고출력 질화갈륨 소자에 대하여 몇 가지 방법으로 설계해 보고, 각 설계 방법에 따른 성능과 IMD3 특성을 비교하여, 설계시 최적의 특성을 보이도록 설계하는 과정에 대하여 살펴보았다. 또한 36mm 질화갈륨 소자의 비선형 모델을 이용하여 load-pull, source-pull 시뮬레이션을 하여 설계 과정에 필요한 검증을 실시하고, 어떤 조건일 때 더 우수한 특성을 얻을 수 있는지를 확인하였다.

향후 본 연구의 결과를 관련 산업체와 공동으로 질화갈륨 소자를 이용한 패키지 제작 개발에 직접 응용할 예정이다. 본 연구의 결과는 비단 질화갈륨 소자뿐만 아니라 타 종류의 반도체 고출력 트랜지스터 다이들 이용한 고출력 트랜지스터 패키지 설계에서도 유용하게 응용될 수 있을 것으로 기대된다.

참고문헌

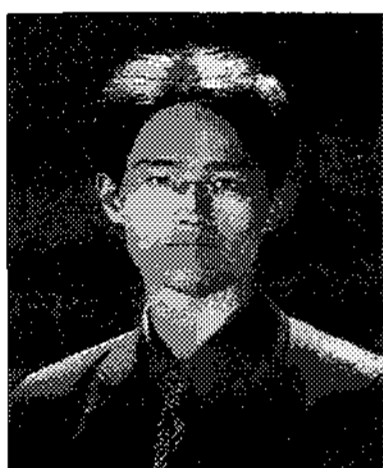
- [1] John L. B. Walker, High Power GaAs FET Amplifiers. ARTECH HOUSE, 1993.
- [2] W. Nagy, S. Singhal, R. Borges, J. W. Johnson, J. D. Brown, R. Therrien, A. Chaudhari, A. W. Hanson, J. Riddle, S. Booth, P. Rajagopal, E. L. Piner, K. J. Linthicum, "150 W GaN-on-Si RF Power Transistor", 2005 IEEE MTT-S International, pp. 483-486.
- [3] Steve C. Cripps, RF Power Amplifiers For Wireless Communications. ARTECH HOUSE, 2006.
- [4] Hidenori Shimawaki and Hironobu Miyamoto, "GaN-based FETs for Microwave High-Power Applications", 13th GAAS Symposium2005. pp. 377-380.
- [5] D. M. Keogh, J. C. LI, A. M. Conway, D. Qiao, S. Raychaudhuri, and P. M. Asbeck, "Analysis of GaN HBT Structures for High Power, High Efficiency Microwave Amplifiers", International Journal of High Speed Electronics and Systems, Vol. 14, No. 3 pp. 831-836, 2004.
- [6] Singhal, S. Brown, J. D. Borges, R. Piner, E. Nagy, W. & Vescan, A. "Gallium Nitride on silicon HEMTs for wireless infrastructure applications, thermal design and performance", European Microwave Week, 2002
- [7] Sang-Don Lee and Hai-Young Lee, "Screen Bonding Wire and the Wideband characterization to Reduce

Cross talk between High Density Bonding Wires", 대한전자공학회논문지 제33권 A편 제7호, pp. 1290-1296. 1996. 7.

- [8] Apostolos Samelis and Dimitris Pavlidis, "Mechanisms Determining Third Order Intermodulation Distortion in AlGaAs/GaAs HBTs," IEEE Trans. Microwave Theory and Tech. Vol. MTT-40, No. 12, 1992, pp 2374-2380.

오 성 민(Seongmin Oh)

[정회원]



- 2006년 2월 : 순천향대학교 정보기술공학부(공학사)
- 2008년 2월 : 순천향대학교 대학원 전기통신시스템공학과(공학석사)
- 2007년 12월 ~ 현재 : (주) RFHIC 연구원

<관심 분야>

초고주파 무선 회로/부품 설계, 고출력증폭기 증폭 소자 및 응용 등.

임 종 식(Jongsik Lim)

[정회원]



- 1991년 2월 : 서강대학교 전자공학과 (공학사)
- 1993년 2월 : 서강대학교 대학원 전자공학과 (공학석사)
- 2003년 2월 : 서울대학교 대학원 전기컴퓨터공학부(공학박사)
- 1993년 2월 ~ 1999년 3월 : 한국전자통신연구원 위성통신기술 연구단, 무선방송기술연구소 선임연구원
- 2003년 3월 ~ 2003년 7월: 서울대학교 BK21 정보기술사업단 박사후 연구원
- 2003년 7월 ~ 2004년 9월: 특허청 특허심사관
- 2004년 9월 ~ 2005년 2월: 한국전자통신연구원 디지털방송통신구단 전파기술연구그룹 선임연구원
- 2005년 3월 ~ 현재: 순천향대학교 전기통신공학과 재직중

<관심 분야>

초고주파 무선 회로/부품 설계, 능동/수동 소자 모델링 및 회로 응용, 주기 구조의 모델링 및 회로 응용 등임.

이 용 호(Yongho Lee)

[정회원]



- 1996년 2월 : 시립인천대 전자공학과 졸업(공학사)
- 2008년 6월 ~ 현재 : (주)RFHIC 책임연구원 및 연구5실장.

<관심 분야>

초고주파 무선 회로/부품 설계, 고출력증폭기 증폭 소자 및 응용 등.

박 천 선(Chunseon Park)

[준회원]



- 2007년 2월 : 순천향대학교 정보기술공학부(공학사)
- 2008년 6월 현재 : 순천향대학교 대학원 전기통신공학과 석사과정

<관심 분야>

초고주파 무선 회로/부품 설계, 능동/수동 소자 모델링 및 회로 응용, 고출력증폭기 증폭 소자 및 응용, 선형화기 등.

박 응 희(Ung-Hee Park)

[정회원]



- 1994년 2월 : 서강대학교 전자공학과(공학사)
- 1996년 2월 : 서강대학교 대학원 전자공학과(공학석사)
- 2000년 2월 : 서강대학교 대학원 전자공학과(공학박사)
- 2000년 2월 ~ 2006년 8월 : 한국전자통신연구원 선임연구원
- 2006년 8월 ~ 현재 : 강원대학교 삼척캠퍼스 전자공학과

<관심 분야>

초고주파 무선 회로/부품 설계, 고출력증폭기 증폭기 선형화기 분야 등.

안 달(Dal Ahn)

[정회원]



- 1984년 2월: 서강대학교 전자공학과(공학사)
- 1986년 2월: 서강대학교 대학원 전자공학과(공학석사)
- 1990년 8월: 서강대학교 대학원 전자공학과(공학박사)
- 1990년 8월 ~ 1992년 2월: 한국 전자통신연구원 선임연구원

- 1992년 3월 ~ 현재: 순천향대학교 전기통신공학과 교수

<관심 분야>

RF, 마이크로파 수동소자 해석 및 설계 등임.