

채널선택용 필터를 위한 전압 안정화 회로 설계

유인호¹, 이우춘^{1*}, 방준호¹, 조현섭²

Design of the voltage tuning circuit for channel selecting filter

In-Ho Ryu¹, Woo-Choun Lee^{1*}, Jun-Ho Bang¹ and Hyun-Seob Cho²

요 약 채널 선택용 필터의 전압오차를 보정하기 위해 전류비교 방식의 전압안정화 회로를 설계하였다. 제안된 전류비교 방식의 전압안정화 회로는 부속회로를 첨가 할 필요가 없어 칩 면적을 최소화 할 수 있고 저전압 저전력용 채널 선택용 필터 설계에 매우 유용하다. 제안된 안정화 회로의 응용 회로로써 블루투스 통신 시스템 채널을 포함한 3개의 통신채널을 이용하였다. 0.18 μm CMOS 공정파라미터를 사용하여 HSPICE 시뮬레이션 한 결과, 제안된 안정화 회로는 3개의 통신 채널에서 각각 12 μs , 13 μs , 15 μs 이내에서 동작할 수 있음을 확인하였다.

Abstract To compensate voltage error of the channel selecting filter, a current comparison type voltage tuning circuit is designed. Because the proposed current comparison type voltage tuning circuit is not need to attach another subcircuit, the chip size can be reduced, therefore the proposed circuit is very useful in the low voltage and low power channel filter. We used three channels including bluetooth communication system as application circuits of the proposed tuning circuit. As the results of HSPICE simulation using 0.18 μm CMOS technology verify that the proposed tuning circuit respectively can be operated in 12 μs , 13 μs and 15 μs in three channel.

Key Words : Current comparison, Voltage tuning circuit, Channel filter, Analog filter

1. 서 론

신호잡음 및 대역선택용 필터 회로를 칩(Chip)으로 제작하는 경우, 회로를 설계하는 과정이나 시뮬레이션 과정에서 얻어졌던 회로의 특성이 칩 제작 공정 과정에서 PVT(Power, Voltage, Temperature) 요인에 따라 변동될 수 있어 당초 얻어졌던 시뮬레이션 특성결과와 상이하게 나타날 수 있다. 따라서 시뮬레이션과 칩 제작 후의 특성이 최대한 일치될 수 있도록, 즉 필터 설계 후 칩 제작과정에 있어 이러한 잡음의 영향으로 인한 필터의 특성 변화가 최소화 될 수 있도록 하는 특성 안정화 회로가 부가적으로 필요하게 된다[1-3].

최근에 설계되고 있는 대부분의 능동필터의 특성 안정화 회로의 경우 구조적으로 그 특성을 조정 및 보정할 수 있는 자동보정 장치를 가지고 있는데 주로 필터의 내부 소자 값에 직접적으로 영향을 미치게 되는 한 두 개의 요소(factor)가 정의되며 이 값들을 보정함으로써 전체 필

터의 특성을 보정할 수 있는 방법이 사용된다[4-6]. 그리고 대부분의 필터의 특성을 조정할 수 있는 이 요소 값은 거의 전압 및 주파수 조정이다. 결국 전압의 안정화를 통하여 필터의 특성을 보정 및 조정할 수 있는 방법이 주로 활용되고 있다.[7-8]

본 논문에서는 신호잡음 제거 및 채널 선택용으로 사용되고 있는 필터의 특성을 보정하기 위한 전압 안정화 회로를 설계하기 위하여 전류를 감지 및 비교하여 자동적으로 보상하고 전류 값이 변동되지 않도록 일정하게 유지시켜 결과적으로 원하는 채널에 따라 각각의 제어 전압을 일정하게 유지할 수 있는 전류 비교 방식의 전압 안정화 회로를 설계하였다.

2. 전압 안정화 회로설계

일반적으로 주파수 특성이 변화하는 것을 조정하기 위

¹전북대학교 응용시스템공학부 교수

*교신저자: 이우춘(wclee@chonbuk.ac.kr)

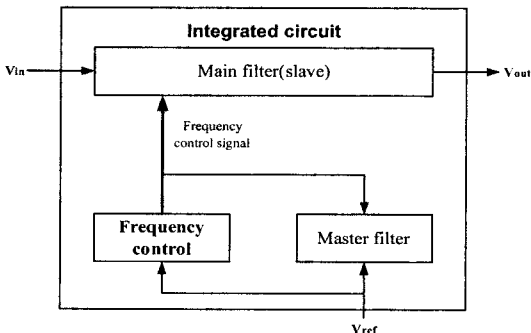
접수일 08년 09월 10일 수정일 08년 10월 10일

²청운대학교 디지털방송공학과 부교수

게재확정일 08년 10월 16일

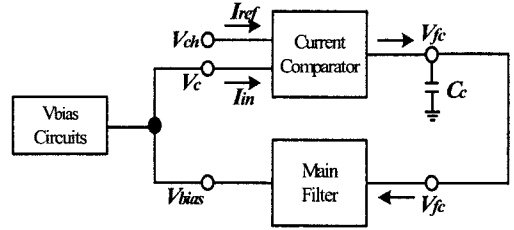
한 회로 설계는 필터의 구조, 설계 방법, 크기 및 특성 등에 따라 다양하게 설계될 수 있으며 특히, 주파수 합성기, 각종 신호처리 시스템에서 주파수 및 위상 보상회로로서 널리 이용되고 있고, 주파수 변복조 회로 등에서 주파수 오차를 최소화하는 데 유용하게 사용되어지고 있는 위상 동기루프(PLL, Phase Lock Loop) 방식을 이용한 마스터-슬레이브 방법이 많이 이용되고 있다[9-10]. 마스터-슬레이브 필터 주파수 조정 방법에 대한 블록 다이어그램을 그림 1에 나타내었다. 그림 1의 마스터-슬레이브 필터를 이용하여 주파수를 조정하는 방법의 동작을 살펴보면, 기본적으로 주회로(Main filter)의 입력에 미리 설정된 기준 신호에 의하여 일정한 출력을 생성한다. 그러나 잡음 등의 영향으로 주 회로에 이상이 발생하였을 경우, 마스터 회로 출력의 주파수 제어 회로에서 이 신호를 감지하고 주파수 제어 신호를 마스터 회로에 궤환함으로써 원하는 주파수의 특성을 유지할 수 있도록 한다. 그러나 주파수 조정기로 PLL 방식을 이용할 때는 EXOR 게이트 또는 아날로그 멀티플라이어 등이 주로 이용되고 있는 위상검출기와 루프 필터 등 몇 개의 부가회로들로 구성되어 사용되어 다양한 활용성을 가지는 반면에 부가적인 회로가 필요하기 때문에 칩 설계시 비교적 큰 면적을 차지함으로써 단말기의 소형화, 저전력 측면에 있어서는 비효율적이다.

본 논문에서는 부가적인 회로가 추가로 필요하지 않아 칩 면적을 최소화 할 수 있고, 저전력 특성을 만족시키는 전류 비교 방식을 이용하여 각각의 통신 방식별로 채널 선택에 따른 제어 전압을 안정적으로 공급함으로써 주파수 특성을 유지시킬 수 있는 전압 안정화 회로를 설계하였다.



[그림 1] 마스터-슬레이브 필터 주파수 조정 블록 다이어그램

그림 2에 본 논문에서 제안한 전류비교 방식을 이용한 전압 안정화 회로의 블록 다이어그램을 나타내었다.



[그림 2] 전류비교방식을 이용한 전압안정화 회로블록다이어그램

전류 비교 방식의 전압 안정화 회로의 동작은 각 통신 방식 수신단 선택에 따라 미리 설정된 기준 전류와 필터의 동작 전류를 비교하여 그 차이를 감지함으로써 그 차이를 피드백시켜 보상할 수 있도록 제어함으로써 전압을 안정시키는 동작으로 이루어지는데 자세한 동작방법은 다음과 같다.

첫째, 필터는 바이어스 회로로부터 일정 전압(V_{bias})을 공급받아 동작하며 이 전압은 평상시 초기전압(V_c)과 같은 크기로 설정된다. 둘째, 전류 비교기가 필터에 인가되고 있는 초기전압에 의하여 발생하는 전류(I_{ref})와 외부 통신채널용 전압(V_{ch})전압에 의하여 발생하는 전류(I_{in})를 비교하여 그 차이를 출력 전압(V_{fc})으로 발생시키고 이러한 차이 값을 필터의 초기제어전압 값으로 다시 피드백시킨다.

입력 전류와 기준 전류와의 값이 같을 경우에는 스위치 동작에 의해 원래의 바이어스 전압이 인가되도록 한다. 또한 여러 개의 다른 주파수를 가지는 통신용 채널을 활용할 경우, 스위칭 동작을 통하여 각 통신 방식별로 초기전압(V_c)을 설정할 수 있으며 전류비교 및 피드백 동작도 각각의 채널별로 이루어짐으로써 다채널용으로 사용가능하다. 다음 절에서 그림 1의 블록 다이어그램을 3개의 통신채널에 사용 가능한 회로로 설계하고 시뮬레이션을 통하여 그 특성을 분석하였다.

3. 전류 비교 방식의 전압 안정화 회로 설계

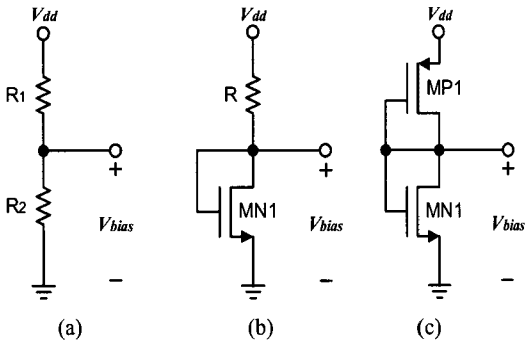
저역 통과 필터의 차단주파수에 관한 일반식을 정리하면 식(1)과 같다. 여기서 g_m 은 설계된 적분기의 트랜스컨덕턴스 값으로 이 값은 식(2)와 같이 나타낼 수 있다. 식(2)에서 I_D 는 적분기의 g_m 값을 결정하는 전류이다.

$$\omega_0 = \frac{g_m}{C} \tag{1}$$

$$g_m = \frac{\partial I_D}{\partial V} = 2\sqrt{K \cdot I_D} \quad (2)$$

위와 같은 관계식을 살펴볼 때, 적분기 회로 전체의 트랜스컨덕턴스 값을 일정하게 유지하기 위해서는 전류 I_D 값을 일정하게 유지시켜야 하는 것이 매우 중요하다고 할 수 있다. 따라서 본 논문에서는 전류 I_D 값을 자동적으로 보상하게 하여 g_m 값이 일정하게 유지하게 되므로 결과적으로 각각의 통신 채널별로 제어 전압을 안정적으로 공급시킬 수 있다. 필터의 공급 전압으로부터 바이어스 전압을 얻기 위한 방법으로는 그림 3에서 처럼 두 개의 저항만으로 구성하는 방법(a), 저항과 NMOS로 구성하는 방법(b) 및 NMOS와 PMOS로 구성하는 방법(c) 등이 있다.

위의 전압 분배기 형태들은 각각 서로 다른 장단점을 가지고 있지만 무엇보다도 저항으로 구성된 전압 분배기는 저항 소자로 인하여 칩 면적을 증가시킬 수 있다. 따라서 본 연구에서는 레이아웃과 실제 칩 제작시 최소 면적을 가질 수 있도록 설계할 수 있는 장점을 가진 NMOS와 PMOS로 구성하는 CMOS 형태의 전압 분배기를 활용하여 기준 전압을 얻도록 구성하였다.



[그림 3] 전압 분배기의 여러 형태

그림 3(c)의 CMOS 형태의 전압 분배기 동작을 해석하면 다음과 같다. 접지를 기준으로 하여 각 MOS의 게이트 전압과 동일한 값을 갖는 바이어스 전압 (V_{bias})을 발생시킨다. 이 때 각각의 MPI와 MN1에 흐르는 I_D 과 I_B 가 서로 같은 값을 가지므로 식(3)과 같이 나타낼 수 있다.

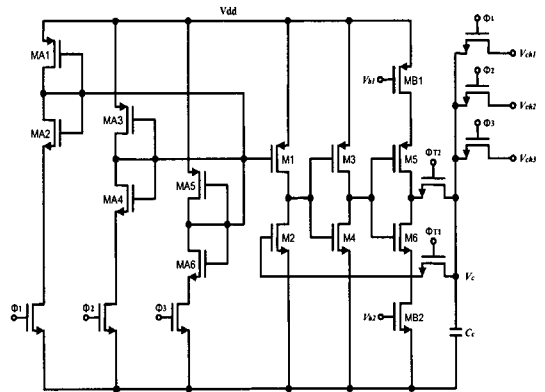
$$\frac{\beta_1}{2} (V_{bias} - V_{thn})^2 = \frac{\beta_2}{2} (V_{dd} - V_{bias} - V_{thp})^2 \quad (3)$$

식(3)을 바이어스 전압과 트랜스컨덕턴스에 의한 비 β_1/β_2 에 대하여 정리하면 식(4)와 식(5)로 나타낼 수 있다.

$$V_{bias} = \frac{V_{dd} - V_{thp} + \sqrt{\frac{\beta_1}{\beta_2} \cdot V_{thn}}}{\sqrt{\frac{\beta_1}{\beta_2} + 1}} \quad (4)$$

$$\frac{\beta_1}{\beta_2} = \left[\frac{V_{dd} - V_{bias} - V_{thp}}{V_{bias} - V_{thn}} \right]^2 \quad (5)$$

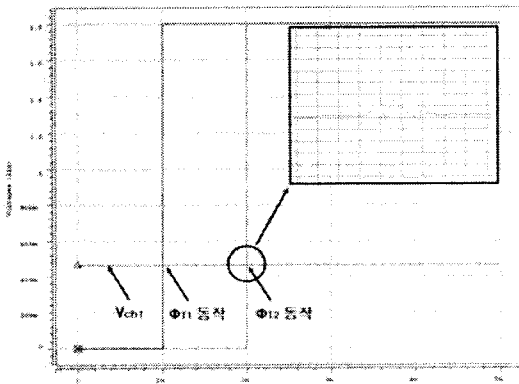
NMOS와 PMOS로 구성하는 CMOS 형태의 전압 분배기를 활용하여 설계된 전압 안정화 회로를 그림 4에 나타내었다. 그림 4의 회로 동작은 3가지의 샘플로 선택된 각 통신 채널 선택 전압 (V_{da} , V_{db} , V_{dc})과 조정 전압 (V_c)으로 나눌 수 있다. 첫 번째로 각 통신 채널 선택 전압이 인가하게 되면 인가된 전압으로 인해 커패시터(C_c)에 일정 전압을 충전하게 한다. 두 번째로 전류 비교기의 기준 전류(I_{ref})값과 입력 전류(I_e) 값의 차이가 발생하였을 경우, 그 차이 값만큼 커패시터(C_c)에 충전된 초기 전압이 다시 조정 전압으로 인가된다.



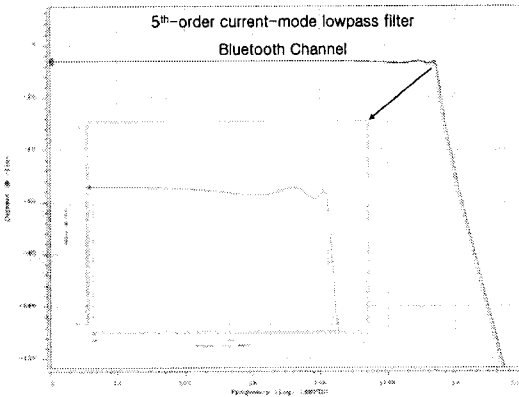
[그림 4] 3개 통신 채널용 전류 비교 방식을 이용한 전압 안정화 회로

좀 더 자세히 동작을 살펴보면, 초기에 Φ_1 동작에서 V_{da} 에 샘플 1의 통신 방식을 결정하는 DC 전압신호가 인가되었을 경우, 이 전압이 C_c 에 저장되어 V_c 전압을 유지하게 된다. 이와 동시에 MA1과 MA2에 인가된 전압에 의하여 M1의 드레인 전류의 크기와 같은 입력 전류(I_{in})가 발생한다. 다음 동작인 $\Phi_1 T$ 동작에서 V_c 이 M2의 게이트에 인가되고 M2의 드레인 전류를 발생하는데 이는 기

준 전류(I_{ref})값이 된다. 이 때 이미 발생되어 있는 입력 전류가 기준 전류값과 비교된다. 마지막으로 $\Phi T2$ 동작에서 비교된 전류 값의 차이가 임의의 전압 값으로 변화되어 M3, M4 및 M5, M6를 거쳐서 초기 전압 V_c 에 인가된다. 이 경우 입력 전류가 기준 전류 값보다 큰 경우는 제어 전압이 상대적으로 낮아진 상태이므로 낮아진 만큼의 전압 크기를 보충하여 주고, 반대로 입력 전류가 기준 전류 값보다 작은 경우는 제어 전압이 기준 전압보다 높아진 상태이므로 높아진 만큼의 전압을 강하시켜주므로 인하여 항상 제어 전압의 크기를 유지할 수 있도록 동작한다. 이와 같은 방법으로 샘플 II 채널과 샘플 III의 채널 제어 전압에 따른 자동 조정 기능도 각각 $\Phi 2$ 및 $\Phi 3$ 동작에서 수행된다.



[그림 5] 샘플 I(Bluetooth통신) 채널의 전압 안정화 특성



[그림 6] 샘플 I(Bluetooth) 통신 채널의 주파수 특성

전류 비교 방식을 이용한 전압 안정화 회로를 전류모드 채널 선택 지역통과 필터에 적용하여 각각의 통신 방식별로 제어 전압을 인가한 후, $\Phi T1$ 동작 및 I_{ms} 의 지연 시간 후 $\Phi T2$ 를 동작시켜 제어 전압을 자동으로 조정

할 수 있도록 시뮬레이션 하였으며 3가지 타입 중에서 샘플 I의 결과를 그림 5에 나타내었다. 또한 샘플 I의 안정화 회로에 적용된 필터의 특성 결과를 그림 6에 나타내었다. 시뮬레이션 결과에서 각 통신 방식별 채널 선택 전압이 인가된 후 일정 시간 후 튜닝 전압이 인가되면 각 통신 방식별로 일정 전압 및 일정 전류를 흐르게 할 수 있어 안정된 동작을 유지할 수 있으며 시뮬레이션 결과를 표 1에 정리하였다.

[표 1] 전압 안정화 회로 시뮬레이션 결과

| 구 분 | 채널별 전압 안정화 회로 특성 | | | |
|-----------------------|------------------|--------------|--------------|--------------|
| | Sample I | Sample II | Sample III | |
| 채널 선택 전압 (V_{ch}) | 0.45V | 0.50V | 0.65V | |
| $\Phi T2$ 동작 후 전압 | 0.46V | 0.51V | 0.65V | |
| 지연 시간 | 12 μ s | 13 μ s | 15 μ s | |
| 전류 (I_d) | $I_d(M1)$ | 0.52 μ A | 1.24 μ A | 5.62 μ A |
| | $I_d(M2)$ | 0.52 μ A | 1.24 μ A | 5.62 μ A |

표 1과 같이 얻어진 시뮬레이션 결과에서 3가지의 샘플로 선택한 각 통신대역별 채널선택 전압들은 전압안정화 회로의 동작에 의하여 안정화 됨을 알 수 있다. 샘플 I의 경우 0.45V의 채널전압은 전압안정화 동작 이후 0.46V로 안정된 전압으로 고정되었으며 샘플 II의 경우는 0.5V에서 0.51V로 그리고 샘플 III의 경우는 0.65V에서 같은 전압인 0.65V로의 안정된 전압으로 고정되었으며 이때 필요한 지연시간은 각각 12 μ s, 13 μ s, 15 μ s임을 확인하였다. 또한 안정화 동작 시에 비교된 전류는 각각 0.52 μ A, 1.24 μ A, 5.62 μ A으로 얻어졌다.

4. 결론

본 논문에서는 통신 채널선택용으로 사용되고 있는 필터의 특성을 보정하기 위한 전압 안정화 회로를 설계하기 위한 방법으로 전류비교 방식의 전압안정화 회로를 설계하였다. 제안된 전류비교 방식의 전압안정화 회로는 부가적인 회로가 추가로 필요하지 않아 칩 면적을 최소화 할 수 있고, 저전력 특성을 만족시키는 전류 비교 방식을 이용하여 원하고자 하는 각각의 채널 선택에 따른 제어 전압을 안정적으로 공급함으로써 주파수 특성을 유지시킬 수 있다.

설계된 전류비교 방식의 전압안정화 회로를 시뮬레이션하기 위하여 3가지 타입의 통신채널을 선택하고 각각의 채널을 안정하게 유지시켜주는 전압 값을 선정하였고

설계된 전류비교방식을 통하여 전류를 감지 및 비교하여 자동적으로 보상하고 원하는 채널에 따라 각각의 제어 전압을 일정하게 유지될 수 있음을 시뮬레이션 결과를 통하여 확인하였다.

참고문헌

- [1] C. R. Hewes, "SOC technology for future wireless communications," *Wireless Communication Technology 2003 IEEE Topical Conference*, pp. 7, Oct. 2003.
- [2] O. E. Hassan, Mohammed Iqbal Younus and A. Hussein, "A Buffer-Based Baseband Analog Front End for CMOS Bluetooth Receivers," *IEEE Journal of Solid State Circuits*, Vol. 49, No.8, Aug. 2002.
- [3] C. J. Rudell, J. A. Weldon, J. J. Ou, L. Lin and P. Gray, "An Integrated GSM/DECT Receiver : Design Specifications," *UCB Electronics Research Laboratory Memorandum*, Sep. 2001.
- [4] T. Hollman, S. Lindfors, T. Slo, M. Lansirinne and K. Halonen, "A 2.7V CMOS dual-mode baseband filter for GSM and WCDMA," *Proceedings of the IEEE International Symposium on Circuits and Systems*, Sydney, pp. 316-319, May 2001.
- [5] Rasmus Glarborg Jensen, Kare Tais Christensen, and Erik Bruun, "Programmable Baseband Filter for Multistandard Mobile Phones," *Analog Integrated Circuit and Signal Processing*, Vol. 34, No. 1, pp. 49-57, Jan. 2003.
- [6] K. Lee, J. Park, J. W. Lee, W. Kim and et al, "A Single-Chip 2.4GHz direct-conversion CMOS receiver for wireles local using multiphase reduced frequency conversion technique," *IEEE Journal of Solid State Circuits*, Vol. 36, No. 5, pp. 800-809, May 2001.
- [7] S. K. Reynold, B. A. Floyd, T. Beukema, T. Zwick, U. Pfeiffer and H. Ainspan, "A direct conversion receiver IC for WCDMA mobile systems," *IEEE Journal of Solid State Circuits*, Vol. 38, No. 9, pp. 1555-1560, Sep. 2003.
- [8] K. Y. Lee, S. W. Lee, H. K. Huh, W. Kim and et al, "Full-CMOS 2-GHz WCDMA Direct Conversion Transmitter and Receiver," *IEEE Journal of Solid State Circuits*, Vol. 38, No. 1, pp. 43-53, Jan. 2003.
- [9] Z. Yang, T. Hinck, H. I. Cohen and A. E. Hubbard, "Current-mode integrator for voltage-controlled low frequency continuous-time filters," *Electronics Letters 12th*, Vol. 39, No. 12, pp. 883-884, Jun. 2003.

- [10] Y. S. Hwang, J. H. Lai and M. C. Chang, "Realization of Transistor-Only High-Order Current-Mode Filters," *IEICE Transations on Fundamentals*, Vol. E88-A, No. 2, pp. 538-540, Feb. 2005.

유인호(In-Ho Ryu)

[정회원]

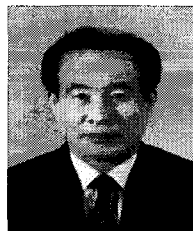


- 1984년 원광대학교 전기공학과 졸업, 1986년 건국대학원 전기공학과 졸업(석사). 1999년 원광대학원 전기공학과 졸업(박사). 1993년~현재 전북대학교 응용시스템공학부 교수

<관심분야>
자동제어

이우춘(Woo-Choun Lee)

[정회원]



- 1977년 단국대학교 전기공학과 졸업. 1986년 명지대학교 대학원 전기공학과 졸업(석사). 1995년 동대학원 전기공학과 졸업(박사). 1992년~현재 전북대학교 응용시스템공학부 교수

<관심분야>
전기기기, 전력변환

방준호(Jun-Ho Bang)

[정회원]



- 1989년 전북대학교 전기공학과 졸업. 1991년 동대학원 전기공학과 졸업(석사). 1996년 동대학원 전기공학과 졸업(박사). 1997년 LG반도체 기술연구소 선임연구원. 1998년~현재 전북대학교 응용시스템공학부 부교수

<관심분야>
아날로그 집적회로 설계, 통신용 필터 설계

조 현 섭(Hyun-Seob Cho)

[중신회원]



- 1990.2 원광대학교 공과대학 전기 공학과 졸업, 1992.2 원광대학교 공과대학 전기공학과(석사), 1996.2 원광대학교 공과대학 전기공학과(박사), 1996.1 ~ 1997.6 Department of Electrical and Computer Engineering, University of California Irvine(UCI) 연구원, 1998.1 ~ 현재 한국전력기술인협회 고급감리원(전력감리), 1998.10 ~ 현재 중소기업청 기술경쟁력 평가위원, 1997.3 ~ 현재 청운대학교 부교수

<관심분야>

전기공학, 공장자동화, 응용전자