

DDI DRAM에서의 Column 불량 특성에 관한연구

장성근^{1*}, 김윤장²

A Study on Characteristics of column fails in DDI DRAM

Sung-Keun Chang^{1*} and Youn-Jang Kim²

요 약 버팅 콘택을 가진 쌍극 폴리사이드 게이트 구조에서 폴리실리콘 내의 순 도핑(net doping) 농도는 n^+/p^+ 중첩 및 실리사이드/폴리실리콘 층에서 도펀트의 수평 확산에 기인하여 감소하였다. 버팅 콘택 영역에서의 쇼트키 다이오드 형성은 CoSi_2 의 열적 응집 현상에 의한 CoSi_2 손실과 폴리실리콘 내의 농도 저하에 기인된다. DDI DRAM에서 기생 쇼트키 다이오드는 감지 증폭기의 노이즈 마진을 감소시켜 column성 불량을 일으킨다. Column성 불량은 n^+/p^+ 폴리실리콘 접합 부분을 물리적으로 분리시키거나, CoSi_2 형성 전 질소 이온을 p^+ 영역에 주입시켜 CoSi_2 의 응집 현상을 억제함으로써 줄일 수 있다.

Abstract In dual-polycide-gate structure with butting contact, net doping concentration of polysilicon was decreased due to overlap between n^+ and p^+ and lateral dopant diffusion in silicide/polysilicon layers. The generation of parasitic Schottky diode in butting contact region is attributed both to the CoSi_2 -loss due to CoSi_2 agglomeration and to the decrease in net doping concentration of polysilicon layer. Parasitic Schottky diode reduces noise margin of sense amplifier in DDI DRAM, which causes column fail. The column fail could be reduced by physical isolation of n^+/p^+ polysilicon-junction or suppressing CoSi_2 agglomeration by using nitrogen implantation into p^+ polysilicon before CoSi_2 formation.

Key Words : DDI, DRAM, column fail, CoSi_2 agglomeration, Schottky diode. Butting contact

1. 서론

DDI(Display Driver IC)는 표시장치에 글자나 이미지 등의 영상이 표시될 수 있도록 구동신호 및 데이터를 패널에 전기신호로 제공하는 IC(Integrated Circuits)로서 LCD, OLED, PDP 등 다양한 방식의 평판디스플레이 구동에 필요한 핵심부품으로 패널의 종류에 따라 여러 종류로 개발되고 있다. 평판디스플레이 기술이 발전하여 크기 및 해상도, 응답속도 등이 개선되면서 평판디스플레이는 2009년 1,041.6억불의 시장을 형성하면서 급성장할 것으로 예상되고, 평판디스플레이 시장이 급격히 증가하면서 DDI시장 역시 폭발적으로 증가하고 있다[1-2]. 또한 DDI IC 관련 기술중 소자 제조와 관련하여 칩 디자인 룰의 미세화가 가속화되어 칩 원가 절감이 빠르게 진행되고 있다. 디자인 룰의 미세화로 반도체 소자 기술이 기가

비트 DRAM(dynamic random access memory) 영역으로 까지 작아짐에 따라 기존의 소자 구조로는 해결하기 어려운 많은 문제점이 노출되고 있으며, 이러한 문제점을 해결 하고자 쌍극 폴리 실 리 게 이 트 (dual-polysilicon-gate) CMOS(Complementary Metal Oxide Semiconductor)기술이 사용되고 있다[3-6]. 본 논문은 상기의 CMOS 기술을 이용하여 개발된 DDI DRAM 소자에서 발생한 column성 불량에 대한 문제점을 분석하고 그 해결방안에 대해 기술한다.

2. column성 불량 현상 및 분석

DDI DRAM 소자의 column성 불량은 비트 라인(bit line, B/L)을 공유하는 셀들에서 줄 형태의 소프트 불량이

본 논문은 2007학년도 청운대학교 교내학술연구비 지원에 의해 수행되었음.

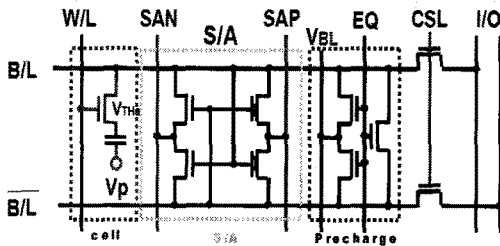
¹청운대학교 디지털방송공학과

²매그나칩 반도체 소자팀

*교신저자: 장성근(skchang@chungwoon.ac.kr)

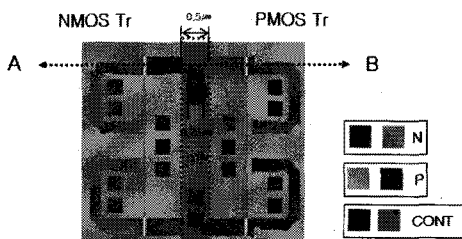
접수일 08년 08월 18일 수정일 (1차 08년 11월 28일, 2차 08년 12월 10일, 3차 08년 12월 12일) 게재확정일 08년 12월 16일

무작위(random)로 나타나고 있다. column 방향으로의 DRAM은 그림 1과 같이 DRAM 셀에 감지 증폭기(sense amplifier, S/A) 회로와 예비 충전 이퀄라이저(precharge equalizer) 회로가 비트 라인 방향으로 연결된 구조이다.



[그림 1] DRAM의 bit line(B/L) 방향의 구조

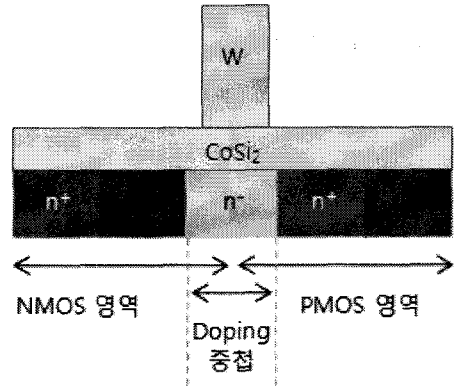
그림 1에 보인 회로 구조에서 column성 불량이나 나타낼 것으로 판단되는 유력한 불량원인으로 첫째, 한 개 혹은 두 개의 비트 라인 손상, 둘째, 예비 충전 이퀄라이저 회로의 불량, 셋째, 감지 증폭기 회로의 불량 등 3가지로 요약할 수 있다. 여기서 만약 B/L에 결함이 있다면 그 B/L은 하드(hard)성 불량이 관찰되어야 하므로 소프트성 불량이 나타나는 본 연구와는 무관한 것으로 판단된다. 따라서 예비 충전 이퀄라이저 회로와 감지 증폭기 회로의 문제로 축소시킬 수 있다. 그런데 예비 충전 이퀄라이저 회로에 기인된 불량 원인은 찾을 수 없었고, 레이아웃 상에서 감지 증폭기의 문제를 발견하였다. 그림 2는 감지 증폭기의 레이아웃을 나타내고 있다.



[그림 2] 감지 증폭기의 레이아웃

B/L선과 /B/L(bit line bar)선의 작은 전압변동을 증폭하여 읽기 속도를 빠르게 하는 감지 증폭기는 감지 속도를 향상시키고 레이아웃 면적과 전력 소비를 줄이는 방향으로 개발되고 있다. 감지증폭기는 쌍극 폴리 실리콘 게이트 구조의 인버터 회로로 이루어져 있고 NMOS(n-채널 MOSFET)와 PMOS(p-채널 MOSFET) 게이트 입력이 버팅 콘택(butting contact) 구조를 하고 있다. 그런데 입력 접촉 창(input contact) 영역의 n형 불순물 영역과 p형

불순물 영역이 중첩되어 있는 구조를 확인할 수 있으며, 좀 더 자세히 살펴보기 위해 그림 2의 AB 방향의 단면을 그림 3에 나타내었다.

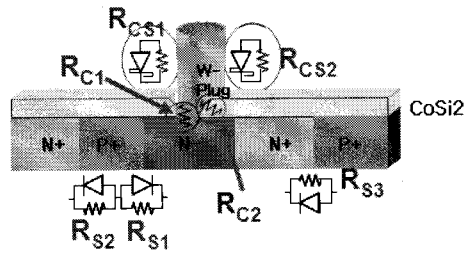


[그림 3] 쌍극 폴리 게이트 감지 증폭기의 게이트 방향인 그림 2의 AB 방향의 단면도

그림 3에서 나타내는 것과 같이 인버터 입력 단에 기생 입력 다이오드 성분이 존재할 수 있게 됨을 알 수 있다. 따라서 n형 불순물(n^+)과 p형 불순물(p^+)의 도핑 중첩 영역(n)의 기생 성분이 column 불량의 원인이라 가정하고 가능한 시나리오를 분석하였다. 먼저 CoSi₂ 상에서 반도체 제조 공정중의 열(thermal) 공정에 의해 폴리 실리콘 내부에서 도펀트(dopant)가 얼마나 상호 확산하는지 검토하였다. CoSi₂ 내에서 p형 불순물인 붕소와 n형 불순물인 비소의 확산 세기와 이에 따른 NMOS/PMOS의 안정적인 동작을 위한 최소거리를 분석한 참고문헌 [8]을 참조하면 코발트 실리콘사이드에서 붕소(B)의 확산이 비소(As)에 비해 수백 배 이상 빠른 것을 알 수 있다. 또한 후속 열 공정이 900°C 이상 증가하고 커패시터 형성 공정과 같은 열 공정 시간이 증가하게 되면 확산 거리가 급격히 증가함을 나타내고 있다. 즉, 쌍극 폴리 실리콘 게이트에 코발트 실리콘사이드 게이트 구조를 적용하게 되면 p형 불순물과 n형 불순물의 상호 수평 확산에 기인하여 폴리 실리콘내의 순 도핑(net doping) 농도가 감소하는 문제가 있음을 예측할 수 있다. 디자인 룰의 미세화로 반도체 소자 기술이 0.1 μm 영역으로까지 작아짐에 따라 p형 불순물을 포함한 폴리 사이드 게이트에 나타나는 대표적인 문제점으로 CoSi₂의 응집(agglomeration)을 들 수 있다[8]. 그림 4는 본 실험에서 불량 분석용으로 사용된 소자의 게이트 도핑이 겹쳐진 부분의 TEM분석 결과를 보여주고 있다.

TEM분석 결과에 의하면 CoSi₂의 불안정성 및 응집에 의해 텅스텐(W)-플러그 하부의 CoSi₂ 손실을 관찰할 수

있었다. 이렇게 CoSi₂ 손실이 관찰된 영역에서 폴리실리콘의 도핑 농도가 낮을 경우 텅스텐-플러그 금속과 직접 접촉이 이루어져 금속-반도체 쇼트키 다이오드가 형성된다. 감지 증폭기의 입력 게이트 단면과 DDI IC 제조 공정에서 입력 게이트에 나타나는 모든 기생 성분들에 대한 등가회로를 그리면 그림 5과 같이 모델링 할 수 있다. 그림 5에 있는 모든 기생 성분은 텅스텐-플러그와 CoSi₂ 접촉 저항(R_{CS1}), 텅스텐-플러그와 접촉층의 접촉저항(R_{CS2}), 플러그와 n⁺/p⁺ 중첩 영역의 접촉저항(R_{C1}, R_{C2}), CoSi₂의 판저항 (R_{S1}, R_{S2}, R_{S3}) 등의 저항 성분과 PN 접합 다이오드와 금속-폴리실리콘 쇼트키(Schottky) 다이오드로 구성된다. 그림 5와 같은 회로 모델링을 이용하여 쇼트키 다이오드가 감지 증폭기 동작에 어떤 영향을 미치는지 알아보기 위하여 감지 증폭기 인버터에서 CoSi₂ 손실 영역에 따라 1) CoSi₂가 고루 잘 형성된 경우 2) NMOS쪽에 CoSi₂ 손실이 생긴 경우 3) PMOS쪽에 CoSi₂ 손실이 생긴 경우 4) NMOS/PMOS 모두에 CoSi₂ 손실이 생긴 경우 등 4가지 경우로 나누었다. 각각의 경우에 따라 감지 증폭기가 어떻게 동작하는지 분석한 결과 NMOS 단이든 PMOS 단이든 쇼트키 다이오드가 형성되지만 하면 single side 불량이 발생 될 가능성이 높게 나타났으며, 제품에서 나타나는 불량 유형과 동일한 결과를 얻었다.

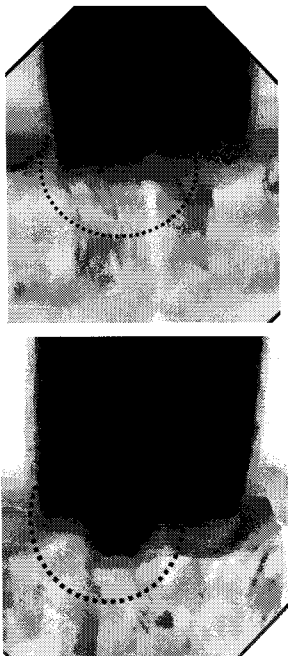


[그림 5] 감지 증폭기의 입력 게이트 단면과 기생 성분을 포함한 회로 모델링

또한 쇼트키 다이오드의 전압 강하는 온도의 함수이며, 온도가 내려가면 기생 쇼트키 다이오드의 전압 강하가 증가한다는 사실로부터 이러한 제품 불량률의 온도 의존성을 확인하였다. 즉, DRAM 소자가 저온에서 동작할 때 기생 쇼트키 다이오드의 역할이 증가하기 때문에 불량률이 증가 하였으며, 이러한 불량 분석 결과는 소자의 불량 특성이 금속-폴리실리콘 쇼트키 다이오드 생성에 기인된 것으로 볼 수 있는 근거들이며, 앞에서 언급한 TEM 분석 결과와도 일치됨을 알 수 있다.

3. 불량 원인과 해결 방안

DDI DRAM 소자의 비트 라인을 공유하는 셀들에서 무작위(random)로 나타나고 있는 줄 형태의 소프트 column성 불량 원인은 사용된 소자의 게이트 도핑이 겹쳐진 부분의 TEM분석 결과, single side 불량 원인 분석 및 온도 의존성 등을 종합해 볼 때 폴리실리콘 농도 저하와 CoSi₂의 응집에 따라 텅스텐-플러그 금속과 저 농도 폴리실리콘과의 직접 접촉에 의한 기생 금속-폴리실리콘 쇼트키 다이오드 형성에 기인한 것이다. 기생 쇼트키 다이오드는 게이트 입력에 기생 전압 강하를 야기하게 되고 결국 감지 증폭기의 노이즈 마진을 감소시켜 column성 불량을 일으킨다. 폴리실리콘의 순 농도 저하 원인으로서는 버핑 콘택구조에서 n⁺/p⁺ 중첩 및 실리사이드/폴리실리콘 층에서 도펀트의 수평 확산에 기인한 것으로 판단된다. p형 불순물을 포함한 폴리 사이드 게이트에서 CoSi₂의 응집 현상은 소자의 미세화에 따라 나타나는 대표적인 문제점이다[8]. CoSi₂가 덩어리 형태로 응집되면 저항이 급격히 증가하거나 심할 경우 회로가 개방되는 문제를 야기할 수 있다. 이러한 CoSi₂의 응집 현상을 막기 위한 방법으로 p⁺ 영역의 게이트 형성에서 BF₂ 이온 주입 전 질소(N₂) 이온 주입을 통해 CoSi₂의 응집을 효과적으로 억제할 수 있다[8]. 또한 근본적인 column성 불량



[그림 4] n⁺, p⁺ 게이트 도핑이 겹치는 지역의 TEM 관찰 결과 CoSi₂ 손실 영역

해결 방법 중의 하나는 n^+/p^+ 증착 및 실리사이드/폴리실리콘 층에서 도펀트의 수평 확산을 방지하기 위해 쌍극 폴리 실리콘 게이트의 n^+/p^+ 폴리실리콘의 접합 부분을 물리적으로 분리하고 NMOS 게이트와 PMOS 게이트에 각각 접촉 창을 형성하게 되면 원천적으로 기생 성분을 제거할 수 있다.

4. 결론

DDI DRAM에서 무작위(random)로 나타나고 있는 소프트 column 불량 원인은 감지 증폭기의 입력 게이트 단에 형성된 기생 금속-폴리실리콘 쇼트키 다이오드 형성에 기인한 것으로 판단된다. 버핑 콘택을 가진 쌍극 폴리사이드 게이트 구조에서 폴리실리콘 내의 순 도핑(net doping) 농도는 n^+/p^+ 증착 및 실리사이드/폴리실리콘 층에서 도펀트의 수평 확산에 기인하여 감소한다. 이 영역에서 $CoSi_2$ 의 열적 응집 현상으로 $CoSi_2$ 손실이 발생하면 텅스텐-플러그 하부에 기생 쇼트키 다이오드가 형성되게 된다. 이러한 기생 쇼트키 다이오드는 게이트 입력에 기생 전압 강하를 야기하게 되고 결국 감지 증폭기의 노이즈 마진을 감소시켜 column성 불량을 일으킨다. 이러한 기생 쇼트키 다이오드를 제거하기위한 한 가지 방법은 $CoSi_2$ 형성 전 질소 이온을 p^+ 영역에 주입 시키는 것이다. 또한 근본적인 column성 불량 해결 방법 중의 하나는 쌍극 폴리 실리콘 게이트의 n^+/p^+ 폴리실리콘의 접합 부분을 물리적으로 분리하는 것이다.

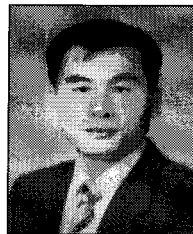
참고문헌

[1] 산업자원부, "디스플레이 산업현황", 7, 2005.
 [2] <http://www.eic.re.kr/>
 [3] B. Yu, D. H. Ju, W. C. Lee, N. Kepler, T. J. King and C. Hu, "Gate Engineering for Deep-Submicron CMOS Transistors", Electron Devices, Vol. 45, No. 6, pp.1253-1262, 1998.
 [4] T. Kuroi, S. Kusunoki, M. Shirahata, Y. Okumura, M. Kobayashi, M. Inuishi and N. Tsubouchi, "The Effects of Nitrogen Implantation into P+poly-Silicon Gate on Gate Oxide Properties", Symp. on VLSI Technology. pp. 107-108, 1994
 [5] Y. Hiura, A. Azuma, K. Nagagima, Y. Akasaka, K. Miyano, H. Nitta, A. Honjo, K. Tsuchida, Y. Toyoshima, K. Suguro and Y. Kohyama, "Integration Technology of Polymetal (W/WSiN/Poly-Si) Dual Gate CMOS for 1Gbit DRAMs and Beyond", IEDM Tech. Dig., pp. 389-392, 1998.

[6] Y. H. Kim, S. K. Chang, S. S. Kim, J. G. Choi, S. H. Lee, D. H. Hahn, and H. D. Kim, "Characteristics of Dual Polymetal(W/WNx/Polysilicon) Gate Complementary Metal Oxide Semiconductor for 0.1 μ m Dynamic Random Access Memory Technology", Jpn. J. Appl. phys. Vol. 39, No. 4B., pp.1969-1973, 2000.
 [7] C. L. Chu, G. Chin, K. C. Saraswat, S. S. Wong, and R. Dutton, "Technology Limitation for N+/P+ Polycide Gate CMOS due to Lateral Dopant Diffusion in Silicide/Polysilicon Layers", IEEE Electron Device Letters, Vol. 12, No. 12, pp.696-698, 1991.
 [8] A.H.M. Kamal, A.T. Obeidat, and T. Budri, "Suppressing boron penetration and cobalt silicide agglomeration in deep submicron p-channel metal-oxide-semiconductor devices", Journal of Vacuum Science & Technology B, Vol. 20, No. 1 pp.173-179, 2002.

장성근(Sung-Keun Chang)

[종신회원]



- 1984년 2월 : 경북대학교 전자공학과 (학사)
- 1993년 2월 : 포항공과대학교 전자전기공학과 (석사)
- 1996년 8월 : 포항공과대학교 전자전기공학과 (박사)
- 1996년 8월 ~ 2000년 2월 : 현대전자 메모리연구소 책임연구원
- 2000년 3월 ~ 현재 : 청운대학교 디지털방송공학과 (교수)

<관심분야>

반도체소자, 디스플레이(Pixel 구동회로설계)

김윤장(Youn-Jang Kim)

[정회원]



- 1984년 2월 : 한양대학교 물리학과 (학사)
- 1986년 2월 : 한양대학교 물리학과 (석사)
- 2002년 2월 : 포항공과대학교 전자전기공학과 (박사)
- 2002년 8월 ~ 현재 : 매그나칩 반도체 Technology Platform 소자팀 (수석연구원)

<관심분야>

반도체소자