

# CMOS 저전압 전류모드 적분기의 이득 및 주파수 특성 개선

유인호<sup>1</sup>, 송제호<sup>1\*</sup>, 방준호<sup>1</sup>  
<sup>1</sup>전북대학교 IT응용시스템공학과

## Improvement of Gain and Frequency Characteristics of the CMOS Low-voltage Current-mode Integrator

Inho Ryu<sup>1</sup>, Jeho Song<sup>1\*</sup> and Junho Bang<sup>1</sup>

<sup>1</sup>Dept. of IT Applied System Engineering, Chonbuk National University

**요약** 본 논문에서는 이득 및 주파수 특성이 개선된 CMOS 저전압 전류모드 적분기가 설계되었다. 설계된 전류모드 적분기는 본 논문에서 새롭게 제안한 선형 캐스코드 회로를 기본으로 구성되었다. 제안된 전류모드 적분기는 기존의 전류미러형 전류모드 적분기의 이득(43.7dB) 및 단위이득주파수(15.2MHz) 비해서 높은 전류이득(47.8dB) 및 단위이득 주파수(27.8MHz)의 특성을 얻을 수 있었다. 제안된 전류모드 적분기의 응용회로로써 차단주파수 7.03MHz를 갖는 5차 체비셰프 저역통과 필터를 설계하였다. 설계된 모든 회로들은 1.8V-0.18 $\mu$ m CMOS 공정파라미터로써 HSPICE를 이용하여 시뮬레이션되었다.

**Abstract** In this paper, A CMOS low-voltage current mode integrator is designed. The designed current-mode integrator is based on linear cascode circuit that is newly proposed in this paper. When it is compared with gain(43.7dB) and unity gain frequency(15.2MHz) of the typical current-mirror type current-mode integrator, the proposed linear cascode current-mode integrator achieves high current gain(47.8dB) and unity gain frequency(27.8MHz). And a 5th Chebyshev current-mode filter with 7.03MHz cutoff frequency is designed. The designed all circuits are simulated by HSPICE using 1.8V-0.18 $\mu$ m CMOS technology.

**Key Words** : low-voltage, Current mode filter, Continuous-time filter, Current-mode integrator, Low-pass filter

### 1. 서론

전류모드 적분기, 증폭기 및 필터 등의 전류모드 회로가 최근 저전압 아날로그 신호 처리 회로 설계에 광범위하게 활용되고 있다. 전류모드 회로는 전압모드 회로에 비하여 전원 공급단 사이의 소자 중첩을 감소시킬 수 있고, 전류 피드백을 사용하기 때문에 저전압회로의 주파수 특성에 불리한 영향을 주는 높은 임피던스 출력 노드가 제거 될 수 있다. 이러한 특성은 낮은 공급전압을 필요로 하는 통신용 아날로그 필터 설계에 매우 유리한 점으로 작용하여 전류모드 방식을 이용한 저전압 적분기와 필터 설계에 관한 연구가 많이 진행되고 있다[1-4] 이와 같은 저전압 필터설계에 관한 연구에서 그 공급전압을

살펴보면 기존 전압모드 방식의 능동 RC 적분기, Gm-C 적분기를 이용할 경우에 공급전압이 2V 이상의 경우가 대부분이고 2V이하의 경우는 많지 않다. 그러나 전류모드 적분기 등을 사용할 경우는 이보다 더 낮은 1V~2V의 공급전압으로 동작하는 회로가 많이 연구되어지고 있음을 볼 수 있으며 점차 저전압 통신용 필터 설계 등에 전류모드 회로의 활용이 증가되고 있다.[5-6] 전류모드 필터를 구성하는 핵심회로인 전류모드 적분기는 전류모드 증폭기에 적분 캐패시터를 연결하여 구성하며 그 성능을 결정하는 주요한 설계 파라미터로써는 높은 증폭이득과 넓은 주파수 대역폭 그리고 낮은 입력임피던스와 높은 출력임피던스 등이다. 현재까지 이러한 전류모드 적분기의 특성은 회로구조의 개선 등을 통한 다양한 방법

\*교신저자 : 송제호(songjh@jbnu.ac.kr)

접수일 09년 10월 15일

수정일 09년 11월 03일

재확정일 09년 12월 16일

으로 연구되고 있는데, 참고문헌 [7]에서는 차동입력 단일출력 형태의 전류미러형 전류모드 적분기가 설계되었고 참고문헌[8]에서는 이 구조를 차동입력 차동출력의 완전차동구조로 설계하여 전류모드 적분기의 잡음특성을 향상함과 동시에 대역폭을 증가시키는 등 여러 가지 방법으로 전류모드 적분기에 대한 연구가 진행되고 있다.

본 논문에서는 최근까지 연구 발표된 전류모드 적분기들에 대한 특성을 분석하고 이러한 회로들의 특성에 비하여 이득 및 주파수 특성이 개선된 1V대의 저 전압을 갖는 전류모드 적분기를 제안하고자 한다. 제안된 전류모드 적분기는 CMOS 상보형 회로로 구성된 완전 차동 형태의 입출력단으로 구성하였으며, 여기에 캐스코드 MOS를 추가시켜 바이어스 전압을 공급하도록 하였고 선형영역에서 동작시켜 저전압 동작이 되도록 설계하였다. 또한 바이어스 전압을 선택적으로 제어하여 여러개의 채널에 적용할 수 있도록 주파수 대역이 가변될 수 있도록 설계하였다. 필터를 통과한 후 감소된 이득을 보정하기 위하여서 전류모드 형태의 가변 이득 증폭기를 설계하여 필터의 출력단에 추가로 중속 연결하여 이득을 보정하였다. 본 논문에서 설계된 전류모드 적분기가 통신용 채널 선택 필터에 사용할 수 있는 가능성을 검증하기 위하여 다중채널 시스템에 동시에 적용할 수 있는 기저대역용 필터를 설계시양을 설정하고 다중채널용 저역통과 집적 회로로 설계하였다. 제2장에서는 기존의 전류모드 적분기를 분석하고 그 특성을 개선하기 위하여 제안한 전류모드 적분기에 대하여 나타내었으며 제3장에서는 제안된 적분기를 기본 블록으로 활용하여 5차 전류모드 저역통과 능동 필터를 설계하여 채널선택 필터로서의 활용성을 검증하였다. 본 논문에서 설계한 모든 회로들은 Hynix 0.18um 표준 CMOS 공정 파라미터를 이용하여 Hspice 프로그램을 통하여 시뮬레이션하여 그 성능을 검증하였다.

## 2. 기존 전류모드 적분기 분석 및 개선된 구조 제안

### 2.1 완전 균형 전류미러형 전류모드 적분기

전류모드 적분기의 구조를 살펴보면 NMOS 전류미러 쌍을 직렬로 구성하여 피드백시킨 구조, 이득 및 출력 특성을 개선한 캐스코드 구조가 연구되었다.[9] 또한 이 전류모드 회로의 주파수 특성을 개선시키고, 저전력 소비 특성이 우수하며 잡음 등에 대한 영향을 최소화할 수 있도록 입출력단을 완전 차동으로 변형한 완전 균형 구조의 전류미러형 전류모드 적분기가 연구되었다.[10] 이

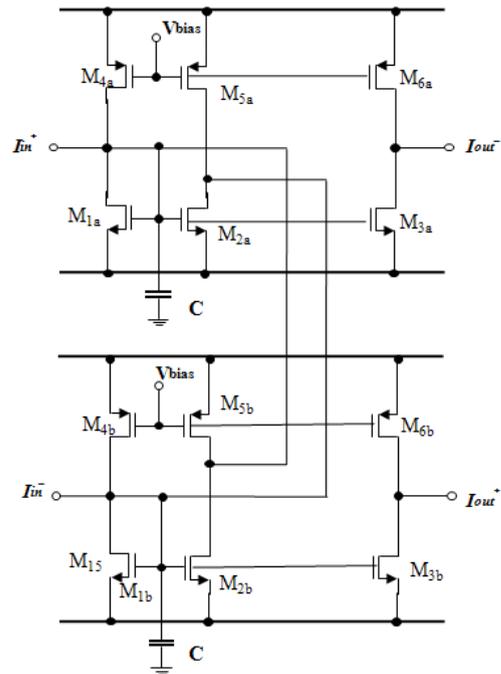
한 완전 균형 구조를 갖는 적분기는 다른 형태의 적분기 구조에 비하여 두 개의 입력 신호가 균형을 이루고 있기 때문에 기생 커패시턴스 및 신호 잡음 등에 우수한 특성을 가지므로 능동 필터 설계에 활용되어질 경우 비교적 회로의 동작이 안정하다.

이 장에서는 지금까지 연구되었던 완전 균형 구조의 전류미러형 전류모드 적분기에 대한 특성을 분석하여 이득과 단위이득 주파수 특성을 개선시킨 전류모드 적분기를 제안하고자 한다.

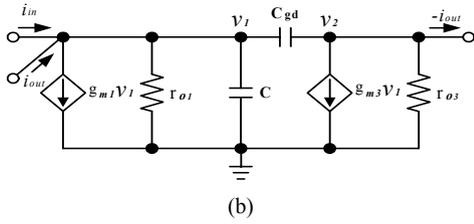
전류모드 적분기의 특성을 비교하기 위하여 기존의 완전 균형 전류미러형 전류모드 적분기 회로를 그림 1(a)에 나타내었고, 소신호 등가회로를 그림 1(b)에 나타내었다. 그림 1의 완전 균형 전류미러형 전류모드 적분기는 대칭 구조의 특성상 a와 b로 구분된 M1, M2와 M3, 그리고 M4, M5와 M6의 트랜지스터들은 크기가 같고 동작전압이 같도록 설계되어지기 때문에 소신호 등가회로 해석을 위하여 절반회로에서만 키르히호프의 전류 법칙을 적용하면 다음 식(1)과 식(2)를 구할 수 있다.

$$i_{in} + i_{out} = g_{m1}v_1 + \frac{v_1}{r_{o1}} + sCv_1 + sC_{gd}(v_1 - v_2) \quad (1)$$

$$i_{out} = g_{m3}v_1 + \frac{v_2}{r_{o3}} + sC_{gd}(v_2 - v_1) \quad (2)$$



(a)



[그림 1] 완전 균형 전류미러형 전류모드 적분기  
(a) 회로, (b) 소신호 등가회로

식(1),(2)에서  $g_m$ 은 트랜스컨덕턴스,  $C_{gd}$ 는 M2의 게이트와 드레인 사이의 커패시턴스이고,  $C$ 는 적분기의 입력단자에 결합된 적분 커패시턴스이다. 여기서,  $M1=M3$ 라 하면,  $g_{m1} = g_{m3}$ 이고,  $r_{o1} = r_{o2}$ 이므로 식(1)과 식(2)로부터 식(3)과 같은 입출력 전류 관계식으로 정리된다.

$$\frac{i_{out}}{i_{in}} = \frac{g_{m1} - \frac{1}{r_{o1}} - 2sC_{gd}}{\frac{2}{r_{o1}} + sC + 4sC_{gd}} \quad (3)$$

이로부터 극점  $p_1$ 과 이득  $A$ 는 다음 식(4) 및 식(5)와 같이 구해진다.

$$p_1 = \frac{\frac{2}{r_{o1}}}{C + 4C_{gd}} \quad (4)$$

$$A = \frac{g_{m1} - \frac{1}{r_{o1}}}{\frac{2}{r_{o1}}} \quad (5)$$

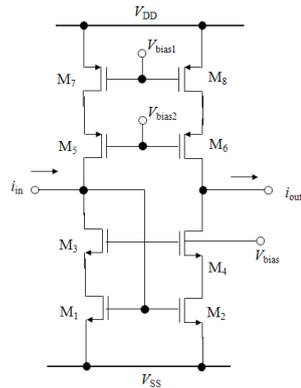
따라서 완전 균형 전류미러형 전류모드 적분기의 단위 이득 주파수는 식(6)과 같이 얻어진다.

$$\omega_0 = A \cdot p_1 = \frac{g_{m1} - \frac{1}{r_{o1}}}{C + 4C_{gd}} \quad (6)$$

입력 전류에 대해 출력 전류 신호를 갖는 전류모드 회로의 이상적인 특성은 입력 저항이 영이고 출력 저항이 무한대가 되어야 하며, 또한 전류 이득과 단위이득 주파수가 무한대가 되어야 한다. 하지만 실제 적분기를 설계할 때 이상적인 특성이 만족되어질 수는 없다. 그러나 가능한 큰 값의 전류 이득과 단위이득 주파수를 갖는 전류모드 적분기를 설계하는 것이 비이상적인 특성으로 인하여 발생할 수 있는 오차를 최소화시킬 수 있다. 적분기의 이득은 트랜스컨덕턴스 값과 출력 저항의 곱이므로 캐스코드 구조의 회로를 사용하여 출력 저항을 증가시킴으로써 적분기의 이득을 증가시키는 방법이 많이 활용되고

있는데 그림 1의 완전 균형 전류미러형 전류모드 적분기 회로에서는 이득을 증가시킬 수 있는 방법으로써 그림 2의 캐스코드형 전류미러 회로를 활용하였다. 그러나 이와 같은 캐스코드형 전류미러 구조의 적분기를 이용할 경우, 저전압 회로 설계에 적용하기에는 불리하다.

그림 2의 캐스코드형 전류미러 회로에서 입출력 신호 동작범위를 확보한 상태에서 모든 회로가 포화영역으로 동작할 수 있도록 하기 위해 필요한 DC 공급 전압은  $3\Delta + V_{thn}$ 이다. 이 때 입출력 동작전압 범위를 1V로 하고, 포화동작을 위한 최소 드레인-소오스 전압인  $\Delta$ 를 0.2V, 그리고 NMOS 문턱전압 ( $V_{thn}$ )을 0.5V로 설계 값을 예상한다면 전체 필요한 공급전압은 2.1V가 된다. 물론 설계 파라미터에 따라서 약간의 차이는 있을 수 있지만 이러한 결과는 그림 2와 같은 회로를 공급 전압이 1.8V대 (1V~2V이하)의 저전압 회로에 사용하기에는 다소 무리가 있음을 확인할 수 있다.



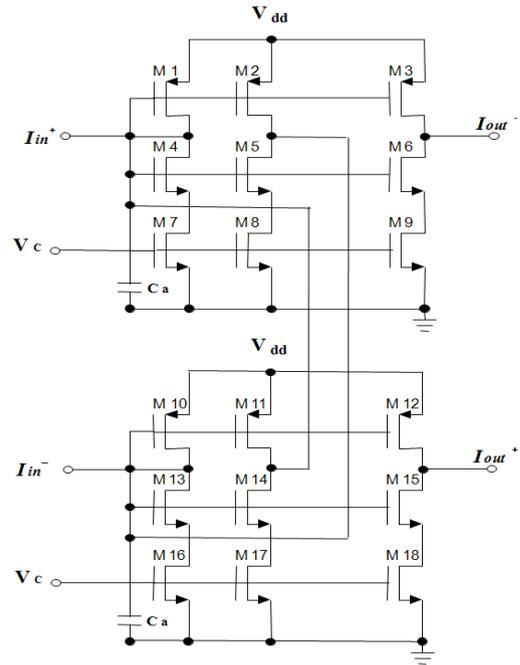
[그림 2] 캐스코드형 전류미러

따라서 본 논문에서는 이상과 같은 해석의 결과를 바탕으로 그림 1의 완전 균형 전류미러형 전류모드 적분기에 비해서 전류 이득과 단위이득 주파수를 증가시킬 수 있고, 그림 2에서 사용한 것처럼 저전압에 불리한 캐스코드 회로에 비하여 저전압 동작이 가능할 수 있도록 개선된 구조의 전류모드 적분기를 제안하고자 한다.

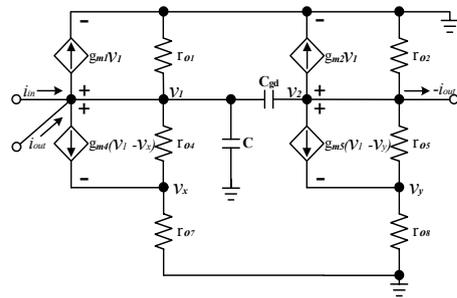
### 2.2 선형 캐스코드 전류모드 적분기 제안

그림 1의 완전 균형 전류미러형 전류모드 적분기에 대한 소신호 해석 결과 식들 중에서 단위이득 주파수( $\omega_0$ )를 나타내는 식(6)에서 단위이득 주파수를 확장할 수 있는 방법으로는 M1의 트랜스컨덕턴스( $g_{m1}$ ) 또는 출력 저항( $r_{o1}$ ) 값을 증가시키거나 적분 커패시터( $C$ ) 값을 감소

시키는 방법이 있다. 그러나 이러한 방법 중에서 적분 커패시터를 감소시키는 방법은 적분기의 적분 특성 변화를 초래할 수 있고, 추후 적분기를 사용하여 필터를 구성할 때 필터의 차단주파수에도 영향을 미칠 수 있기 때문에 적절하지 않다. 결국, 전류미러형 전류모드 적분기의 단위이득 주파수를 증가시키기 위해서는 트랜스컨덕턴스 또는 출력 저항 값을 증가시켜야 한다. 또한 식(6)으로부터 알 수 있듯이, 트랜스컨덕턴스 값의 증가는 결과적으로 전류 이득도 동시에 증가시킬 수 있게 된다. 따라서 본 논문에서는 적분 커패시터 값을 고정하여 사용하고 트랜스컨덕턴스 값을 증가시킴으로써 전류 이득 및 단위이득 주파수 특성을 동시에 증가시킬 수 있도록 선형 캐스코드 구조를 갖는 전류모드 적분기를 제안하였다. 제안된 선형 캐스코드 전류모드 적분기의 회로를 그림 3(a)에 나타내었고, 소신호 등가회로 해석을 위한 절반회로 등가 회로를 그림 3(b)에 나타내었다. 제안된 선형 캐스코드 전류모드 적분기는 그림 2와 같은 캐스코드형 구조를 활용하였으나 1개의 캐스코드 회로를 제거하고 캐스코드된 회로는 포화영역이 아닌 선형영역에서 동작하는 구조이다. 이러한 구성을 통하여 제안된 적분기는 기존의 전류모드 회로에 비하여 저전압 회로에 응용하기에 매우 유리한 특성을 가질 수 있다. 그림 3(a)에서 M1~M6, 그리고 M10~M15는 포화영역에서 동작하며 나머지 M7~M9와 M16~M18은 선형영역에서 동작하게 된다. 선형영역에서 동작하는 MOS들은  $v_{DS} < v_{GS} - V_{th}$ 의 관계식을 만족함으로써 매우 작은 값을 갖는  $\Delta v_{DS}$ 만을 필요로 한다. 이러한 이유로 인하여 제안한 전류모드 적분기는  $V_{dd}$ 와 접지에 3개의 직렬 MOS가 연결되어 있으나 실제로는 두 개의 MOS가 포화영역에서 동작하므로 거의 2 $\Delta$ 의 전압만을 필요로 한다. 이 때 앞 절에서 기존 회로를 분석한 방법과 같이 입출력 동작전압 범위를 1V로 하고, 포화동작을 위한 최소 드레인-소스 전압인  $\Delta$ 를 0.2V, 그리고 NMOS 문턱전압을 0.5V로 설계 값을 예상한다면 전체 필요한 공급전압은 1.4V가 된다. 이러한 결과는 그림 1의 전류미러형 전류모드 적분기와 같은 저전압만을 필요로 하며 그림 2와 같은 캐스코드 전류미러 구조에 비해서는  $\Delta + V_{th}$  크기 만큼의 작은 전압 값을 가지므로 저전압 구조에 매우 유리한 구조임을 알 수 있다. 제안된 선형 캐스코드 전류모드 적분기의 이득 및 주파수 특성을 해석하면 다음과 같다. 전류모드 적분기가 완전 대칭이고, 적분기를 구성하고 있는 모든 트랜지스터들이 전류미러를 구성하고 있으므로 키르히호프의 전류 법칙을 이용하면 다음과 같이 식(7)과 식(8)을 얻을 수 있다.



(a)



(b)

[그림 3] 제안된 선형 캐스코드 전류모드 적분기  
(a) 회로, (b) 소신호 등가회로

$$i_{in} + i_{out} = g_{m1}v_1 + \frac{v_1}{r_{o1}} + g_{m4}(v_1 - v_x) + \frac{v_1 - v_x}{r_{o4}} + sCv_1 + sC_{gd}(v_1 - v_2) \quad (7)$$

$$i_{out} = g_{m2}v_1 + \frac{v_2}{r_{o2}} + g_{m5}(v_1 - v_y) + \frac{v_2 - v_y}{r_{o5}} + sC_{gd}(v_2 - v_1) \quad (8)$$

소신호 등가회로 해석에서 DC 신호가 인가되는  $v_x$ ,  $v_y$ 를 접지로 가정하여 표현하면 다음과 같이 식(9)와 식(10)을 얻을 수 있다.

$$i_{in} + i_{out} = g_{m1}v_1 + \frac{v_1}{r_{01}} + g_{m4}v_1 + \frac{v_1}{r_{04}} + sCv_1 + 2sC_{gd}v_1 \quad (9)$$

$$i_{out} = g_{m2}v_1 - \frac{v_1}{r_{02}} + g_{m5}v_1 - \frac{v_1}{r_{05}} - 2sC_{gd}v_1 \quad (10)$$

여기서,  $M1=M2$ ,  $M4=M5$ 라 하면,  $g_{m1} = g_{m2}$ ,  $g_{m4} = g_{m5}$ 이고,  $r_{01} = r_{02}$ ,  $r_{01} = r_{02}$ 라 할 수 있어 입출력 전류 관계식을 다음 식(11)로 정리할 수 있다.

$$\frac{i_{out}}{i_{in}} = \frac{g_{m1} + g_{m4} - \frac{1}{r_{01}} - \frac{1}{r_{04}} - 2sC_{gd}}{\frac{2}{r_{01}} + \frac{2}{r_{04}} + sC + 4sC_{gd}} \quad (11)$$

식(11)로부터 다음 식(12)를 얻을 수 있다.

$$\frac{i_{out}}{i_{in}} = A \frac{(1 - \frac{s}{z_1})}{(1 - \frac{s}{p_1})} \quad (12)$$

또한 극점  $p_1$ 과 이득  $A$ 는 다음 식(13) 및 식(14)와 같이 구할 수 있다.

$$p_1 = \frac{\frac{2}{r_{01}} + \frac{2}{r_{04}}}{C + 4C_{gd}} \quad (13)$$

$$A = \frac{g_{m1} + g_{m4} - \frac{1}{r_{01}} - \frac{1}{r_{04}}}{\frac{2}{r_{01}} + \frac{2}{r_{04}}} \quad (14)$$

따라서 제안된 선형 캐스코드 전류모드 적분기의 단위 이득 주파수는 식(15)와 같이 얻을 수 있다.

$$\omega_0 = A \cdot p_1 = \frac{g_{m1} + g_{m4} - \frac{1}{r_{01}} - \frac{1}{r_{04}}}{C + 4C_{gd}} \quad (15)$$

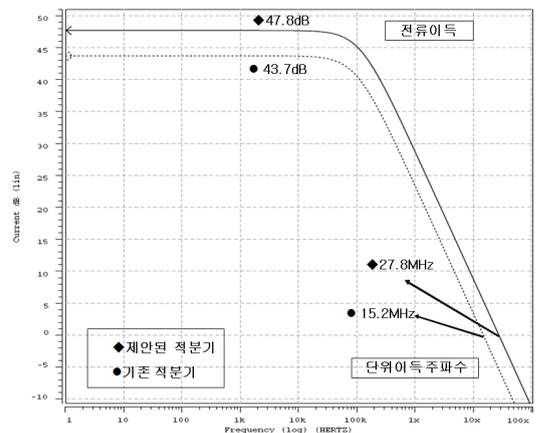
이상과 같이 얻어진 제안된 선형 캐스코드 전류모드 적분기의 이득 및 단위이득 주파수 특성을 기존의 전류미러형 전류모드 적분기의 특성과 비교하여 표 1에 정리

하였다. 표 1에 정리된 결과에서 알 수 있듯이 제안된 선형 캐스코드 전류모드 적분기의 전류 이득 및 단위이득 주파수 특성이 기존의 전류미러형 전류모드 적분기에 비하여 개선되었음을 알 수 있다.

[표 1] 제안된 선형 캐스코드 전류모드 적분기의 이득 및 주파수 특성

Type Parameter	기존 적분기	제안된 적분기
$p_1$	$\frac{2}{r_{01} + C + 4C_{gd}}$	$\frac{\frac{2}{r_{01}} + \frac{2}{r_{04}}}{C + 4C_{gd}}$
$A$	$\frac{g_{m1} - \frac{1}{r_{01}}}{\frac{2}{r_{01}}}$	$\frac{g_{m1} + g_{m4} - \frac{1}{r_{01}} - \frac{1}{r_{04}}}{\frac{2}{r_{01}} + \frac{2}{r_{04}}}$
$\omega_0$	$\frac{g_{m1} - \frac{1}{r_{01}}}{C + 4C_{gd}}$	$\frac{g_{m1} + g_{m4} - \frac{1}{r_{01}} - \frac{1}{r_{04}}}{C + 4C_{gd}}$

이와 같은 소신호 등가회로 해석의 결과를 바탕으로 기존의 전류미러형 전류모드 적분기와 제안한 선형 캐스코드 전류모드 적분기를 시뮬레이션하여 그 특성을 그림 4에 나타내었다. 기존 적분기와 제안된 적분기의 시뮬레이션은 파라미터와 트랜지스터 크기를 같게 설정하고 실시하였으며, 시뮬레이션 결과에서 기존의 전류미러형 전류모드 적분기 이득과 단위이득 주파수는 각각 43.7dB, 15.2MHz, 제안된 선형 캐스코드형 전류모드 적분기의 이득과 단위이득 주파수는 각각 47.8dB, 27.8MHz로 조사되었다.



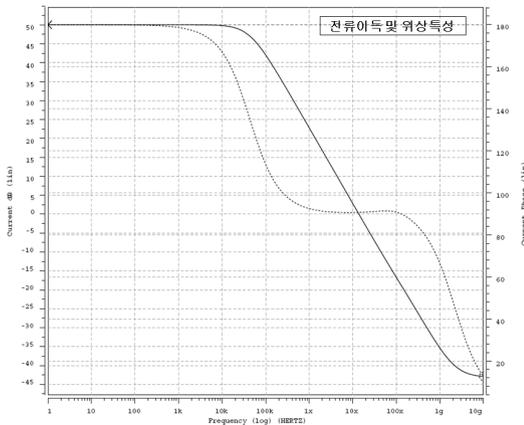
[그림 4] 기존 적분기와 제안된 적분기의 특성 비교

또한 제안된 전류모드 적분기의 제어 전압을 0.05V 간격으로 증가하였을 때의 이득 값과 단위이득 주파수를 표 2에 정리하였다. 표 2에서 보는 바와 같이 제어 전압을 0.45~0.65V까지 조정하게 되면 적분기 이득은 50.0~54.3dB, 단위이득 주파수는 3.15~13.9MHz까지 가변되어질 수 있어 해당대역의 통신용 필터에 사용가능성도 확인하였다.

[표 2] 채널선택 제어 전압에 따른 제안된 전류모드 적분기의 특성값

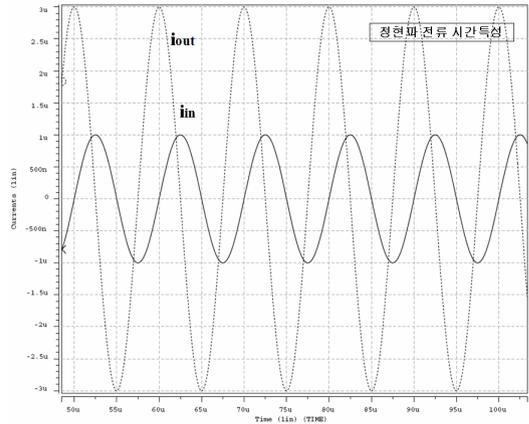
제어 전압[V]	이득[dB]	단위이득 주파수 [MHz]
0.45	54.3	3.15
0.50	53.3	5.33
0.55	52.2	7.75
0.60	51.3	10.2
0.65	50.0	13.9

그림 5는 제안된 전류모드 적분기의 위상 특성을 나타낸 것으로 위상 마진은 약 90°를 갖는다.



[그림 5] 제안된 전류모드 적분기의 위상 특성

또한 그림 6은 제안된 전류모드 적분기의 시간해석 특성을 나타낸 것으로 입력에 0.1MHz 사인파형을 인가하여 얻어낸 출력 파형으로 입력 사인파형에 대해서 90위상차를 보여주고 있다. 이상으로 살펴본 바와 같이 새로운 구조로 설계한 선형 캐스코드 전류모드 적분기는 회로의 크기, 저전압 동작, 전류 이득 및 단위이득 주파수 등 모두 만족할 만한 특성을 가지고 있음을 확인하였다.



[그림 6] 제안된 전류모드 적분기의 시간해석 특성

### 3. 제안된 적분기를 이용한 전류모드 채널선택 필터 설계

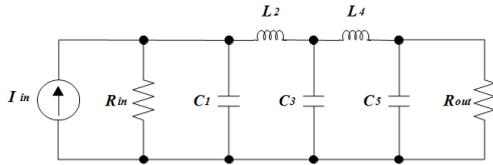
일반적으로 능동 필터를 구현할 때 자이레이터 (Gyrator) 방식, 바이쿼드(Biquad) 방식[11] 및 신호 흐름선도(SFG, Signal Flow Graph) 방식[12]-[14]등이 사용되는데, 그 중에서도 본 논문에서는 회로의 루프 이득이 유지되는 한 필터의 전달함수가 크게 변하지 않도록 하는 장점을 가지는 SFG 방식을 이용하여 필터를 구현한다. SFG 설계 방식을 활용하여 필터를 설계할 때 필터의 블록 다이어그램이 작성되어지고, 최종적으로 수동 소자 값에 의하여 결정되어지는 적분기 내부의 커패시터 값을 결정하면 능동 필터가 완성된다. 전류모드 저역통과 필터의 설계 사양을 표 3에 나타내었다.

[표 3] 전류모드 저역통과 필터 설계 명세 조건

파라미터	설계 명세 조건
필터 함수	체비셰프 함수
필터 차수	5차
수동 필터 형태	수동 제자형 복중단
통과 대역 리플( $\alpha_p$ )	1dB
저지 대역 감쇠( $\alpha_s$ )	33dB 이상
차단주파수( $\omega_c$ )	7MHz
공급 전압	1.8V
소비 전력	< 3mW

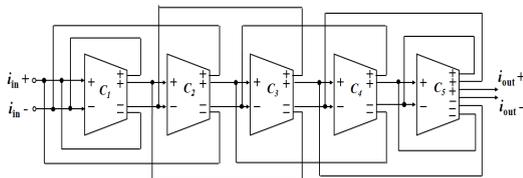
필터의 설계 명세 조건은 5차 체비셰프 함수로 필터함수를 결정하였고, 차단주파수 7MHz, 소비전력은 3mW 이하, 저지대역 감쇠율은 33dB 이상, 필터의 구조는 수동 복

중단 제자형 회로로 설정하였다. 설계 명세 조건에 의하여 설계된 5차 전류모드 저역통과 필터를 그림 7에 나타내었다.



[그림 7] 5차 전류모드 저역통과 필터

그림 7의 5차 전류모드 저역통과 수동 필터를 전류모드 능동 필터로 변환하기 위한 신호 흐름 선도를 이용하여 구성한 블록 다이어그램을 그림 8에 나타내었다.



[그림 8] 5차 전류모드 저역통과 필터의 블록 다이어그램

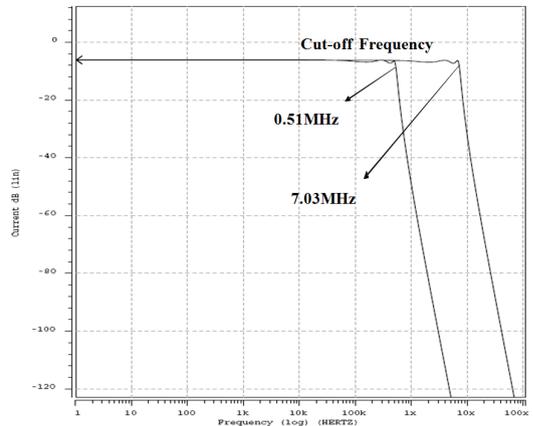
블록 다이어그램에서  $i$ 번째 전류모드 적분기의 적분 커패시터( $C_i$ )는 식(16)과 같이 구해진다.

$$C_i = \frac{g_m \cdot X_i}{\omega_c} \quad (16)$$

식(16)을 통하여 얻어낸 적분 커패시터를 표 4에 정리하였다. 표 4의 적분 커패시터 값과 제안된 전류모드 적분기를 이용하여 최종적으로 설계된 5차 전류모드 채널선택 저역통과 능동 필터를 그림 9에 나타내었다.

[표 4] 전류모드 적분기의 적분 커패시턴스

수동소자 ( $X_i$ )	트랜스컨덕턴스 ( $g_m$ )	차단주파수 ( $\omega_c$ )	적분 커패시터 ( $C_i$ )
$C_1(=2.2072 F)$	21u	7MHz	$C_1(=1.05pF)$
$L_2(=1.1279H)$	21u	7MHz	$C_2(=0.53pF)$
$C_3(=3.1025 F)$	21u	7MHz	$C_3(=1.48pF)$
$L_4(=1.1279H)$	21u	7MHz	$C_4(=0.53pF)$
$C_5(=2.2072 F)$	21u	7MHz	$C_5(=1.05pF)$



[그림 9] 설계된 5차 전류모드 채널선택 필터의 차단주파수 특성

설계된 5차 전류모드 채널선택 저역통과 능동 필터에 대한 시뮬레이션 결과, 차단주파수는 7.03MHz이고, 저지대역의 감쇠 특성은 60dB이며, 소비전력은 1mW이하 값을 가짐으로써 설정하였던 설계 명세 조건을 만족하였다.

## 4. 결론

본 논문에서는 이득 및 주파수 특성이 개선된 CMOS 저전압 전류모드 적분기가 설계되었으며 설계된 전류모드 적분기는 새롭게 제안한 선형 캐스코드 회로를 기본으로 구성되었다.

제안된 전류모드 적분기는 CMOS 상보형 완전 차동 형태의 입출력단으로 구성하여 극점으로 인한 영향을 최소화시켜 안정성을 증가시켰으며, 선형영역에서 동작하도록 캐스코드 트랜지스터를 추가하여 구성함으로써 저전압 구조에 적합하고 이득과 단위이득 주파수 특성을 개선할 수 있는 구조로 설계하였다. 시뮬레이션결과 기존 적분기의 이득이 43.7dB, 주파수가 15.7MHz에 비하여 설계된 적분기는 이득이 47.8dB, 주파수는 27.8MHz로써 각각 그 값이 개선되었음을 확인하였다. 또한 제안된 전류모드 적분기의 응용회로로서 차단주파수 7.03MHz를 갖는 5차 체비세프 저역통과 필터를 설계하였다.

IDEA CAD TOOL을 이용하여 설계하였음

## 참고문헌

[1] 김병욱, 방준호, 조성익, 최석우, 김동용, "WCDMA 베

이스밴드단전류모드 아날로그 필터 설계,” 대한전기학회논문지, 57권, 3호, pp. 255-259, Sep. 2008.

[2] 김병욱, 방준호, 조성익, 최석우, 김동용, “전류모드 적분기를 이용한 듀얼 모드 기저대역 필터 설계,” 대한전기학회논문지, 57권, 3호, pp. 260-264, Sep. 2008.

[3] C. Toumazou, F. J. Lidgley, and D. G. Haigh, "Analogue IC design : the current-mode approach," IEEE Circuits and systems series 2, Peter Peregrinus Ltd., on behalf of the Institution of Electrical Engineering, London, United Kingdom. 1993.

[4] P. Mandal and V. Visvanathan, "A self-biased high performance folded cascode Op-Amp", IEEE 10th International Conference on VLSI Design, pp.429-434, Jan., 1997.

[5] G. Ferri and N. C. Guerrini, "Low-Voltage Low-Power CMOS Current Conveyors", London Kluwer Academic Publishers, 2003.

[6] Y.S. Hwang, J. J. Chen, J.H. Lai and P.-W. Sheu "Fully differential current-mode third-order Butterworth VHF Gm-C filter in 0.18  $\mu\text{m}$  CMOS" IEE Proc.-Circuits Devices Syst., Vol. 153, No. 6, December 2006

[7] S. S. Lee, R. H. Zele, D. J. Allstot, and G. Liang, "A continuous-time current-mode integrator," IEEE Trans. Circuits and Systems, vol 38, pp.1236-1238, Oct. 1991.

[8] R. H. Zele, D. J. Allstot, and T. S. Fiez, "Fully-differential CMOS current-mode circuits," in Proc. IEEE ISCAS, pp. 2411-2414. 1992.

[9] S. S. Lee, R. H. Zele, D. J. Allstot and G. Liang, "CMOS Continuous-Time Current- Mode Filters for High-Frequency Applications," *IEEE J. Solid-State Circuits*, Vol. 28, No. 3, pp. 323-329, Mar. 1993.

[10] R. H. Zele and D. J. Allstot, "Low-Power CMOS Continuous-Time Filters," *IEEE J. Solid-State Circuits*, Vol. 31, No. 2, pp. 157-168, Feb. 1996.

[11] C. M. Chang, B. M. Al-Hashimi and J. N Ross, "Unified active filter biquad structures," *IEE Proc. Circuits, Devices Syst.*, Vol. 151, No. 4, pp. 273-277. Aug. 2004.

[12] K. Wing-Hung, "Signal Flow Graph Analysis of Feedback Amplifiers," *IEEE Trans. on Circuits and Systems*, Vol. 47, No. 6, pp. 926-933, Jun. 2000.

[13] J. Jussila, A. Parssinen, K. Halonen, "A Channel Selection Filter for a WCDMA Direct Conversion Receiver," in Proc. *ESSCIRS*, pp. 264-267, Sep. 2000.

[14] 정택원, 방준호, "자기바이어스 트랜스컨덕터를 이용한 RFID 리더용 CMOS 저전압 필터", 한국산학기술학회논문지, 10권, 7호, pp.1526- 1531, Jul. 2009

**유 인 호(In-Ho Ryu)**

[정회원]



- 1984년 2월 : 원광대학교 전기공학과 졸업(공학사).
- 1986년 2월 : 건국대학원 전기공학과 졸업(공학석사).
- 1999년 2월 : 원광대학원 전기공학과 졸업(공학박사).
- 1993년 3월 ~ 현재 : 전북대학교 IT응용시스템공학과 교수

<관심분야>  
자동제어, PLC시스템 제어

**송 제 호(Jae-Ho Song)**

[정회원]



- 1991년 2월 : 원광대학교 전자공학과 졸업(공학사).
- 1993년 2월 : 원광대학교 대학원 전자공학과 졸업(공학석사).
- 2003년 2월 : 원광대학교 대학원 전자공학과 졸업(공학박사).
- 1996년 3월 ~ 현재 : 전북대학교 IT응용시스템공학과 교수

<관심분야>  
디지털회로설계, DSP

**방 준 호(Jun-Ho Bang)**

[정회원]



- 1989년 2월 : 전북대학교 전기공학과 졸업(공학사).
- 1991년 2월 : 전북대학교 전기공학과 졸업(공학석사).
- 1996년 2월 : 전북대학교 전기공학과 졸업(공학박사).
- 1998년 3월 ~ 현재 : 전북대학교 IT응용시스템공학과 교수
- 2009년 3월 ~ 현재 : 전북대학교 IDEC WG 책임교수.

<관심분야>  
아날로그 집적회로 설계, 통신용 필터 IC 설계