

전원 잡음 영향을 줄이기 위한 VCO 정전압기 분석

허호영¹, 정항근^{2*}

An Analysis of a VCO Voltage Regulator for Reducing the Effect of Power Supply Noise

Hoh-Young Heo¹ and Hang-Geun Jeong^{2*}

요 약 정전압기는 VCO의 제어전압의 전원 잡음을 줄이기 위해 사용될 수 있다. 정전압기의 최적 설계를 위해선 정전압기에 대한 정확한 해석이 필요하다. 본 논문에서는 최근 발표된 논문의 정전압기 해석 과정에 MOSFET의 기생 커패시턴스 성분을 고려하지 않은 문제점을 보완하였다. 이 문제점을 이론적으로 분석하여 정확한 해석을 유도하였고, 회로 시뮬레이션과 측정을 통해 검증하였다. 정전압기는 0.18 μ m 1P6M CMOS 공정으로 설계되었고, 칩 면적은 1mm²이다.

Abstract A voltage regulator can be used to reduce the effect of the power-supply noise on the control voltage of the VCO. An accurate analysis of the voltage regulator circuit is needed for the optimal design of the voltage regulator. This paper clarifies an inaccuracy in a recent paper on the replica-compensated regulator for supply-regulated PLLs: neglect of MOSFET parasitic capacitances. As a consequence, an improved analytical model is derived for the replica-compensated voltage regulator. The derived model is verified through circuit simulation. The voltage regulator has been fabricated in a standard 0.18 μ m 1P6M CMOS technology. The chip area is 1mm².

key words : Voltage regulator, power-supply noise.

1. 서론

PLL(Phase-Locked Loops)을 구성하는 주요 블록중 지터(jitter)에 가장 큰 영향을 미치는 회로는 VCO(Voltage Controlled Oscillator)이다. 루프 필터(loop filter)와 위상/주파수 검출기(PFD), 주파수 분주기(frequency divider) 또한 지터를 발생시키는 잡음원이 되기도 하지만 그 영향은 VCO에 비해 미미하다. VCO의 지터특성에 가장 큰 영향을 미치는 주요 요소 중의 하나는 전원 잡음이다. 예를 들어, 제어전압을 전원으로 사용하는 VCO에서 제어전압 잡음의 영향은 발진과정에 상당한 영향을 미치게 되어 클럭의 품질을 저하시키게 된다. 하지만 정전압기(voltage regulator)를 사용하여 제어전압에 인가되는 잡음의 영향을 줄일 수 있다면 지터특성을 개선하여 전체 시

스템 성능 향상에 상당한 효과를 가져 올 수 있다. 일반적으로 사용하는 VCO 정전압기는[1] 전원 민감도(power-supply sensitivity)가 크기 때문에 지터 특성 개선에는 한계가 있지만 참고문헌 [2]에서 제안하는 replica 보상 정전압기는 replica loop를 이용하여 전원 신호를 보상하기 때문에 전원 잡음 영향을 줄일 수 있는 장점을 가지고 있다. 하지만 참고문헌 [2]의 분석 과정에 한 가지 문제점이 있다. 일반 정전압기의 출력 MOSFET의 기생 커패시턴스(capacitance)성분이 정확하게 고려되지 않은 해석이 이루어 졌다는 점이다.

따라서 본 논문에서는 참고문헌 [2]에서 문제가 되었던 부분을 수정하여 정확한 분석이 이루어 졌으며, 이론적으로 분석한 모델은 시뮬레이션과 측정을 통하여 검증하였다.

¹전북대학교 전자정보공학부 석사과정

*교신저자: 정항근(hgjeong@chonbuk.ac.kr)

접수일 09년 01월 13일

수정일 09년 02월 13일

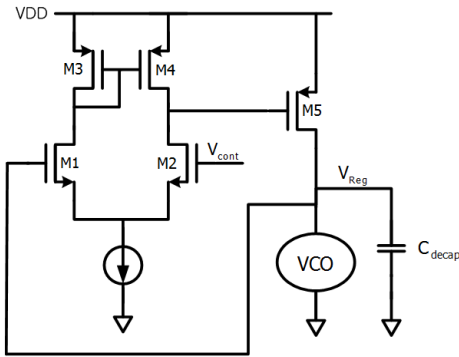
²전북대학교 전자정보공학부 교수

계재확정일 09년 02월 18일

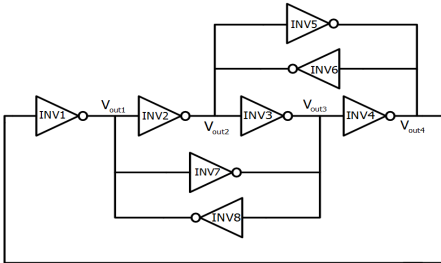
2. 본론

2.1 일반적인 VCO 정전압기

그림 1은 VCO를 위한 일반 정전압기를 보여주고 있다. 그림에서 보는 바와 같이 제어전압(V_{cont})이 레귤레이팅 앰프(regulating amplifier)를 통하여 구동됨을 알 수 있다. 그림에서 사용된 VCO는 그림 2에서 보듯이 quadrature 링 VCO를 사용하였다. 여기서 부하 커패시턴스(C_{decap})는 PLL의 대역폭에 영향을 주지 않는 범위 내에서 우성극점을 제공하며, 크기가 크면 클수록 전원 잡음 민감도(power supply noise sensitivity)가 낮아지기 때문에 전원 잡음 영향을 줄일 수 있지만 칩에서 큰 면적을 차지하는 단점을 가지고 있다.



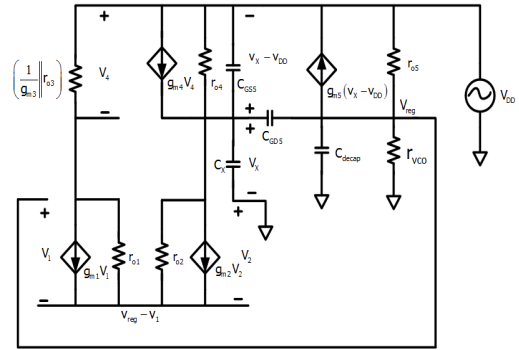
[그림 1] 일반적인 정전압기



[그림 2] Quadrature 링 발진기

그림 3은 그림 1의 정전압기의 AC 해석을 위한 등가 회로를 나타낸다. 여기서 $r_{vco} = dV_{reg}/dI_{vco}$, $S_{vdd} = r_{vco}/(r_{vco} + r_{o5})$, $C_X \approx C_{GD2} + C_{GD4}$, $A_a = g_{m1,2}G_1^{-1}$, $A_o = g_{m5}G_2^{-1}$ 이다. 식(1)은 V_{DD} 에 대한 V_{reg} 의 전달함수를 나타내고 있다. 식에서 보는 바와 같이 극점 2개와 영점 2개가 존재한다는 것을 알 수 있고 각각의 극점과 영점은 식(2)에 나타나 있다. 여기서 $g_{ox} = 1/r_{ox}$, $G_1 = g_{o2} + g_{o4}$, $G_2 = g_{o5} + g_{r_{vco}}$ 이다. 그림 4는 식(1)에서의 극점과 영점의 위치에 따른 전원 잡

음 민감도(power-supply noise sensitivity)를 모의 실험한 결과이다. 삽입된 그림은 일반적인 정전압기의 전체 대역폭을 나타낸다. 그림 4에서 보듯이 우성영점(ω_{z1})보다 낮은 주파수에서는 -49dB의 전원잡음 민감도를 유지하다가 우성영점(ω_{z1})에서 두 번째 극점(ω_{p2})사이에서 전원잡음 민감도가 최대 -40dB 까지 상승함을 볼 수 있다.



[그림 3] AC 해석을 위한 정전압기 등가회로

하지만 참고문헌 [2]에서는 C_{GS5} (M5의 게이트-소스간의 커패시턴스)와 C_X (M5와 GND사이의 전체 커패시턴스)가 고려되지 않은 해석이 이루어졌다. 따라서 본 논문에서는 그림 5에서 보듯이 C_{GS5} 와 C_X 의 유무를 MATLAB을 이용하여 수학적으로 검증하였다. 그림 5의 a에서 알 수 있듯이 C_{GS5} 와 C_X 를 고려한 해석이 그림 4와 비슷함을 알 수 있다.

$$\frac{V_{reg}(s)}{V_{DD}(s)} = \frac{S_{vdd}(as^2 + bs + 1)}{(1 + A_a A_o)(cs^2 + ds + 1)} \quad (1)$$

$$a \equiv C_{GS5} C_{GD5} / g_{o5} G_1$$

$$b \equiv \frac{C_{GD6}(g_{m5} + G_1 + g_{o5}) + C_X(g_{m5} + g_{o5}) + g_{o5} C_{GS5}}{g_{o5} G_1}$$

$$c \equiv \frac{C_L C_{GS5} + C_L C_X + C_L C_{GD6} + C_{GD6} C_{GS5} + C_{GD6} C_X}{G_1 G_2 + g_{m1} g_{m5}}$$

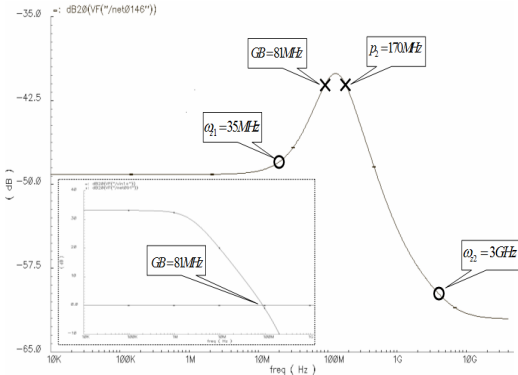
$$d \equiv \frac{G_1(C_L + C_{GD6}) + G_2(C_{GS5} + C_X + C_{GD6}) + C_{GD6}(g_{m5} - g_{m1})}{G_1 G_2 + g_{m1} g_{m5}}$$

$$|\omega_{z1}| \approx \frac{g_{o5} G_1}{g_{m5}(C_{GD6} + C_X) + g_{o5} C_{GS5}}$$

$$|\omega_{z2}| \approx \frac{g_{m5}(C_{GD6} + C_X) + g_{o5} C_{GS5}}{C_{GS5} C_{GD6}}$$

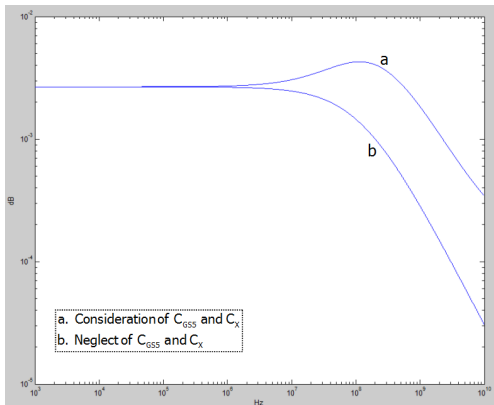
$$|\omega_{p1}| \approx \frac{g_{m1} G_1^{-1} g_{m5}}{C_{decap}} = GB$$

$$|\omega_{p2}| \approx \frac{G_1}{C_{GS5} + C_X + C_{GL5}} \quad (2)$$



[그림 4] 일반적인 정전압기의 전원잡음 민감도 모의실험

주파수가 증가할수록 M5의 게이트전압이 전원 전압의 변화를 따라가지 못하기 때문에 결과적으로 제어전압 (V_{reg})이 전원 잡음의 영향을 받게 된다. 전원 잡음의 영향은 부하 커패시턴스(C_{decap})의 크기를 크게 함으로써 줄일 수 있지만 PLL의 대역폭을 제약하는 문제점과 칩에서 큰 면적을 차지하는 문제점을 가지고 있다. 따라서 전원 잡음 특성을 개선하기 위한 replica 보상 정전압기가 제안되었다[2].



[그림 5] MATLAB을 이용한 비교

2.2 Replica 보상 정전압기

그림 6은 replica 보상 정전압기의 회로를 보여 주고 있다. Replica 보상 정전압기의 주요 핵심은 VCO의 면적을 $1/M$ 의 비율로 줄인 VCO의 복사본(replica load)을 만들어 replica loop를 고주파에서 동작시킴으로써 전원 잡음의 영향을 줄이는 원리이다. 저주파 전원 민감도에 대

해서는 VCO와 replica load가 같은 민감도를 보이게 되지만, 고주파에서는 넓은 대역폭을 가지는 replica load에 의해 M6과 M7이 M1과 M2보다 먼저 반응하여 M8의 게이트 전압을 빠르게 충전한다. 이러한 동작이 반복되어 전원 잡음을 개선하게 된다. 그림 7은 replica 보상 정전압기의 V_{DD} 에 대한 V_{reg} 의 주파수 특성을 보이기 위한 블록선도를 나타낸다. 그림에서 볼 수 있는 바와 같이 replica loop와 메인루프(main loop)가 각각 독립적인 주파수 특성을 가지고 있음을 알 수 있다. 식 (3)은 $S_{vdd}(s)kA_a(s)A_o(s)=S_{vdd_rep}(s)kA_a(s)A_o(s)$ 라는 관계에 의해 식(4)와 같이 나타낼 수 있다. 여기서

$$\omega_o=1/[(r_{vco} \parallel r_{o5})C_{decap}]$$

$$\omega_a=1/[(r_{o4} \parallel r_{o2})C_X]$$

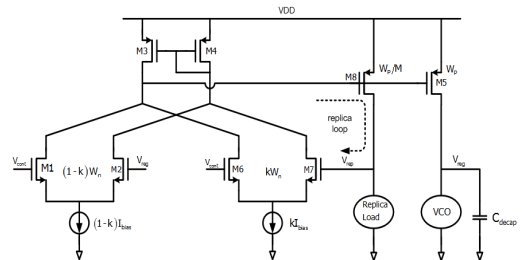
$$\omega_{o_rep}=1/[(r_{vco} \parallel r_{o5})C_{rep}]$$

$$S_{vdd}(s)=S_{vdd}/(1+s/\omega_o)$$

$$S_{vdd_rep}(s)=S_{vdd_rep}/(1+s/\omega_{o_rep})$$

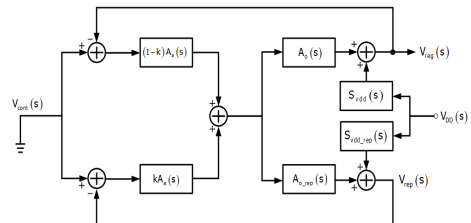
$$A_a(s)=A_a/(1+s/\omega_a)$$

$$A_o(s)=A_o/(1+s/\omega_o) \text{를 나타낸다.}$$



[그림 6] Replica 보상 정전압기

식 (3)에서 보듯이 저주파 전원 민감도에 대해서는 일반 정전압기의 $S_{vdd}(s)$ 와 replica 보상 정전압기의 $S_{vdd_rep}(s)$ 와 같게 되지만 주파수가 높아질수록 두 개의 주파수 특성이 서로 다르기 때문에 독립적으로 동작하게 된다. 마지막으로 식(5)는 식(4)에 대한 극점을 나타낸다.



[그림 7] Replica 보상 정전압기의 블록선도

$$\frac{V_{reg}(s)}{V_{DD}(s)} = \quad (3)$$

$$\frac{S_{vdd}(s)[1 + kA_a(s)A_{o-rep}(s)] - S_{vdd-rep}(s)kA_a(s)A_o(s)}{1 + A_a(s)[(1-k)A_o(s) + kA_{o-rep}(s)]}$$

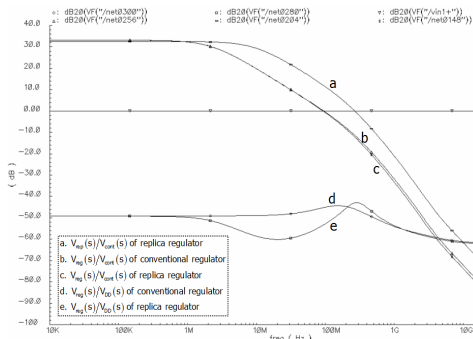
$$\frac{V_{reg}(s)}{V_{DD}(s)} = \frac{S_{vdd}(s)}{1 + A_a(s)[(1-k)A_o(s) + kA_{o-rep}(s)]} \quad (4)$$

$$|\omega_{p1}| \approx \frac{1}{G_2^{-1}C_{decap}}$$

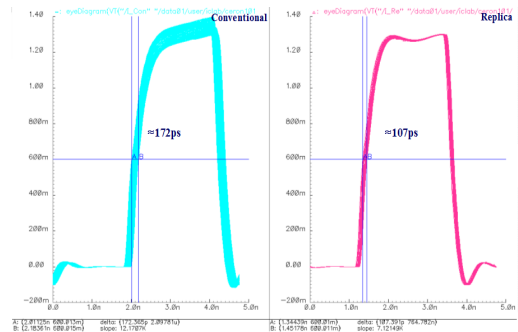
$$|\omega_{p2}| \approx \frac{g_{m1}G_1^{-1}g_{m5}}{C_{rep}} = GB \quad (5)$$

3. 결과

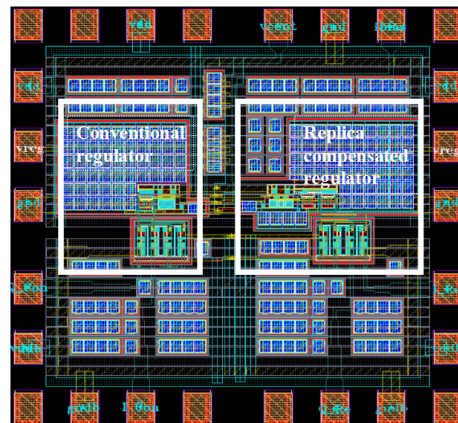
본문에서 일반적인 정전압기와 replica loop로 보상된 정전압기를 이론적으로 분석한 결과와 모의실험의 결과가 비교적 유사함을 알 수 있었다. 그림 8은 일반적인 정전압기와 replica 보상 정전압기의 대역폭과 전원 잡음 민감도를 비교한 그림이다. Replica loop의 대역폭이 전체 대역폭보다 넓은 영역에서 전원 잡음 민감도가 향상되는 것을 알 수 있었고, replica 보상 정전압기를 사용함으로써 일반적인 정전압기보다 전원 잡음 민감도가 20MHz에서 최대 -60dB 까지 향상됨을 보였다. 그림 9는 전원에 200mV_{p-p}, 20MHz를 가지는 신호를 인가했을 때 일반정전압기와 replica 보상 정전압기의 지터를 나타낸다. 보는 바와 같이 replica 보상 정전압기를 사용한 VCO의 지터량이 일반정전압기를 사용한 VCO의 지터보다 약 65ps 적다는 것을 알 수 있다. 그림 10은 정전압기의 레이아웃을 나타내고 전체면적은 1 x 1 mm²이다. 그림 11은 정전압기의 전원에 200mV_{p-p}를 인가하고 주파수를 바꿔가며 VCO의 지터를 측정 한 결과이다.



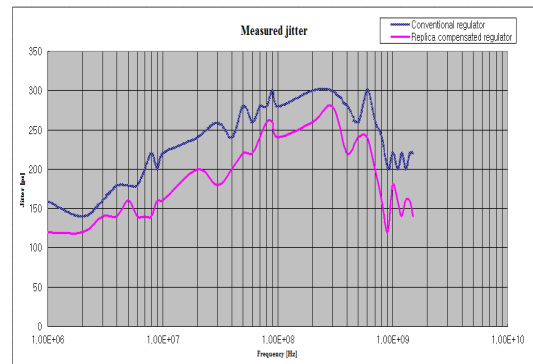
[그림 8] 일반적인 정전압기와 replica 보상 정전압기의 전원잡음 민감도 비교



[그림 9] 20MHz 일 때 일반적인 정전압기와 replica 보상 정전압기의 지터



[그림 10] 정전압기 레이아웃



[그림 11] 주파수에 따른 일반 정전압기와 replica 보상 정전압기의 지터 측정결과

4. 결론

본 논문은 이전의 논문에서 문제가 되었던 기생 커패시턴스 성분이 고려되지 않은 문제점들을 보완하여 정확

한 해석이 이루어졌으며 개선된 모델은 spectre 시뮬레이터를 통해 검증하였다. 정확한 해석을 통하여 VCO 정전압기의 전원 잡음 특성을 명확히 알 수 있었으며, 회로 시뮬레이션을 통해 replica 보상 정전압기가 일반 정전압기 보다 전원 잡음 민감도가 최대 12dB 차이가 남을 알 수 있었다. 측정결과 replica 보상 정전압기가 일반 정전압기보다 주파수 20MHz에서 지터 값이 약 40ps 적다는 것을 알 수 있었고, 측정된 지터값은 시뮬레이션 결과와 차이를 보였다. 그 이유는 시뮬레이션상에서 고려하지 못한 트랜지스터 내부 잡음으로 인해 지터 특성이 저하된 것으로 추정된다.

참고문헌

- [1] S. Sidiropoulos *et al.*, "Adaptive bandwidth DLLs and PLLs using regulated supply CMOS buffers," in *Symp. VLSI Circuits Dig. Tech. Papers*, pp. 124 - 127, Jun. 2000.
- [2] Elad Alon, Jaeha Kim, Sudhakar Pamarti, Ken Chang, and Mark Horowitz, "Replica compensated linear regulators for supply-regulated phase-locked loops" *IEEE J. Solid-State Circuits*, vol. 41, pp. 413-424, Feb. 2006.
- [3] K.H. Kim, Y.S. Sohn, C.K. Kim, M.S. Park, D.J. Lee, W.S. Kim, and C.H. Kim "A 20-Gb/s 256-Mb DRAM with an inductorless quadrature PLL and a cascaded pre-emphasis transmitter" *IEEE J. Solid-State Circuits*, vol. 41, pp. 127-134, Jan. 2006.
- [4] Behzad Razavi, *Design of Analog CMOS Integrated Circuits*, pp.482-495, McGraw Hill, 2001.
- [5] V. Gupta, G.A. Rincon-Mora, and P. Raha, "Analysis and design of monolithic, high PSR, linear regulators for SoC applications," in *Proc. SoC Conf.*, pp. 311-315, Sep. 2004.

허 호 영(Hoh-Young Heo)

[준회원]



- 2007년 2월 : 전북대학교 전자정보공학부 (공학사)
- 2009년 2월 : 전북대학교 전자정보공학부 석사 졸업예정

<관심분야>
아날로그 및 RF 회로설계

정 향 근(Hang-Geun Jeong)

[정회원]



- 1977년 2월: 서울대학교 전자공학과 (공학사)
- 1979년 2월: 한국과학기술원 전기전자공학과 (공학석사)
- 1989년 12월: 플로리다대학교 전기공학과 (공학박사)
- 1979년 3월 ~ 1982년 2월 : 한국전자통신연구소 재직
- 1989년 8월 ~ 1991년 1월 : 모토롤라 고급기술연구소 재직
- 1991년 3월 ~ 현재 : 전북대학교 전자정보공학부 교수

<관심분야>
아날로그 및 RF 회로설계