

화질 개선을 위한 히스토그램 평활화 알고리즘의 효율적인 하드웨어 구현

김지형¹, 박현상^{1*}
¹공주대학교 전기전자제어공학부

Efficient Hardware Architecture for Histogram Equalization Algorithm for Image Enhancement

Ji-Hyung Kim¹ and Hyun-Sang Park^{1*}

¹Division of Electrical Electronic and Control Engineering, Kongju National University

요약 히스토그램 평활화 알고리즘은 영상의 화질개선을 위해서 사용되는 가장 필수적인 알고리즘이다. 이 알고리즘의 원형을 하드웨어로 구현하려면 제산기나 승산기가 반드시 필요하게 되는데, 영상의 해상도가 증가하거나 다양한 해상도에 적용할 경우에는 제산기나 승산기 구현에 수반되는 하드웨어 구현 비용이 대폭 증가한다는 문제점을 가지고 있다. 본 논문에서는 가산기와 감산기만으로 구현 가능한 히스토그램 평활화 알고리즘과 이에 대한 하드웨어 구조를 제안한다. 합성결과 제안한 하드웨어 구조는 일반적인 구현 방식 대비 UXGA 해상도에서 논리회로의 규모가 84.2% 감축된다.

Abstract The histogram equalization algorithm is the most crucial algorithm for image enhancement. Since its direct hardware implementation always requires a divider or multiplier, its implementation cost tends to increase as the image resolution is increased or diverse image resolutions are handled. In this paper, we propose a divider-free reconstruction of histogram equalization algorithm and the corresponding hardware architecture. The logic synthesis results show that the proposed scheme can reduce the logic gate count by 84.2% compared to the conventional implementation example when the UXGA resolution is considered.

Key Words : ISP, SoC, Histogram

1. 서론

90년대 말부터 대중화되기 시작한 카메라가 장착된 휴대전화는 선진국에서의 기술 성장기를 거쳐서, 유선 전화망이 충분히 보급되지 않은 개발도상국으로까지 급속도로 시장을 확장해나가고 있는 중이다. 휴대전화에 장착된 카메라는 디지털 카메라보다 상대적으로 낮은 화질이지만, 항상 휴대할 수 있기 때문에 편이성, 휴대성 등이 뛰어나고, 고가의 디지털 카메라를 구입할 여력이 없는 대상에게는 디지털 카메라의 완벽한 대체물로서 활용할 수 있기 때문에 휴대전화에서는 통화 기능 못지않은 핵심기능으로 각광을 받고 있다. 이는 MP3나 3차원 게임

등이 필수기능으로 대우받지 못하는 것에 비교할 때 매우 고무적인 현상으로 받아들여진다.

ISP(Image Signal Processor)는 이미지 센서로부터 입력되는 Bayer 패턴[1]의 영상으로부터 R, G, B 색성분을 복원하여 이를 Y, Cb, Cr 영역으로 색변환하고, chroma 4:2:2 형식으로 부표본화[2]하여 출력한다. 이러한 기본 기능 외에도 렌즈 왜곡 보정, 영상 잡음 제거, Gamma 보정, 자동 노출 조정, 자동 색온도 조정 등의 기능들이 부가되어 이미지 센서에서 제공되는 영상의 화질이 광량, 광원 등과 같은 동작 환경에 영향을 받지 않고 화질을 일정하게 유지할 수 있도록 하고 있다[1]. 그러나 이러한 기능들은 센서 화질의 강인성을 보장해주기 위한 것이며,

*교신저자 : 박현상(vandamm@kongju.ac.kr)

접수일 09년 01월 28일

수정일 (1차 09년 05월 06일, 2차 09년 05월 20일)

계재확정일 09년 05월 27일

화질 자체의 개선을 추구하는 것은 아니다.

화질 개선을 위해서 ISP에 장착된 기능은 윤곽선 강조(edge enhancement)기능을 거론할 수 있다. 이는 윤곽선 주변에 있는 영상의 고주파수 성분을 인위적으로 증폭시킴으로써, 윤곽선이 더 선명하게 보이는 듯한 시각적 효과를 유도하고 있다. 이는 구현이 용이하기 때문에 대부분의 ISP에 기본 기능으로 탑재되어 있다. 근본적인 화질 개선을 위해서는 휘도 성분의 대비를 강조하는 기법들이 많이 사용되고 있는데[3,4], 이 방법들은 전적으로 히스토그램 평활화 기법에 의존하여, 히스토그램 평활화를 위한 조건을 적응적으로 변경시키는 것을 특징으로 하고 있다.

이와 같이 히스토그램 평활화 알고리즘은 화질 개선 알고리즘의 핵심 구성요소로 자리 잡고 있으나, 히스토그램 평활화 알고리즘 자체만을 효율적인 하드웨어로 구현하고자 한 연구는 매우 드문 편이다. 이는 히스토그램 평활화 알고리즘 자체를 하드웨어로 구현하는 것이 기술적으로 높은 설계수준으로 요구하는 것이 아니고, 직관적으로 구현된 하드웨어의 비용도 전체 시스템에 비하면 낮은 비중이라고 볼 수 있기 때문에 많은 개발자들이 간과했기 때문으로 판단된다.

휘도 기반 화질 개선 알고리즘을 하드웨어로 구현하여 ISP에 이식시키기 위해서는, 히스토그램 평활화 알고리즘에 대한 효과적인 하드웨어가 구비되어야 한다. 효과적인 하드웨어 구현을 위해서는 알고리즘 상에서 계산기나 승산기와 같은 연산자는 반드시 제거해야한다. 그러나 히스토그램 평활화 알고리즘에서는 확률분포를 계산하기 위한 기본적인 순단으로써 계산기를 사용해왔기 때문에, 계산기를 사용하지 않는 형태로 히스토그램 평활화 알고리즘을 개선해야만 한다.

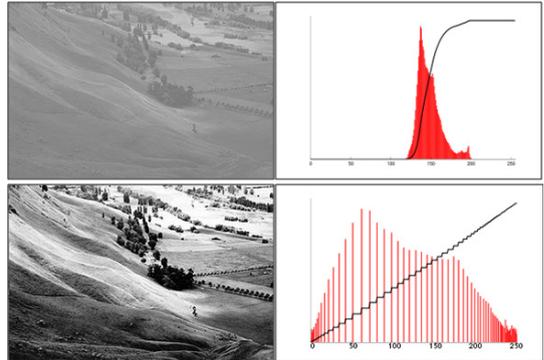
본 논문에서는 가산기나 감산기만으로 구성되도록 개선된 히스토그램 평활화 알고리즘을 제안하고, 이를 Verilog 하드웨어 언어로 설계 구현된 결과를 제시함으로써 하드웨어의 효율성을 제시한다.

2. 히스토그램 평활화

2.1 히스토그램 평활화 개요[6]

히스토그램이란 영상의 밝기 값에 대한 확률 분포를 나타내는 용어이다. 확률분포도의 수평 축은 영상의 밝기 값이 되며, 수직 축은 각 밝기 값에 대응되는 크기를 가진 화소 수가 영상 안에 몇 개나 있는 지를 나타내는 빈도수이다. 현재 디지털 카메라나 디지털 텔레비전에 사용되는 디지털 영상의 휘도는 8-비트로 표현되기 때문에,

히스토그램의 수평축은 0에서 255의 범위를 가지게 된다.



[그림 1] 히스토그램 평활화의 효과

그림 1은 히스토그램 평활화의 효과를 보여준다. 그림 1에서 상단 좌측은 원영상을 나타내며, 상단 우측이 원영상을 구성하는 휘도의 확률분포를 나타낸다. 또한 하단 좌측은 히스토그램 평활화 처리한 영상을 나타내고, 하단 우측은 처리된 영상의 휘도 성분의 확률분포를 나타낸다. 이와 같이 히스토그램 평활화의 목적은 임의의 영상의 휘도 성분이 모든 휘도 성분영역으로 분포되도록 확률분포를 변형시킴으로써, 휘도 성분의 동적영역을 극대화한다. 그림 2는 히스토그램 평활화 알고리즘을 나타낸다.

```

for (v=0; v<V; v++){
    for (h=0; h<H; h++){
        pdf[image[v*H+h]]++;
    }
}

acc = 0;
for(i=0; i<256; i++){
    acc += pdf[i];
    cdf[i] = (int)(acc*255/(H*V)+0.5);
}
    
```

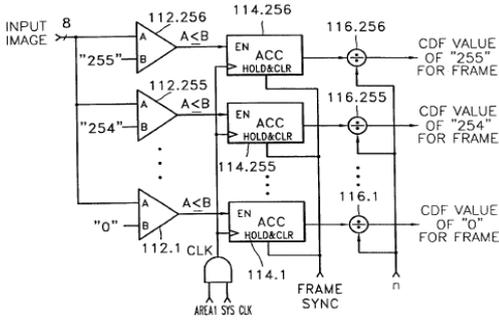
[그림 2] 히스토그램 평활화 알고리즘

그림에서 *image는 수평해상도가 H이고 수직해상도가 V인 영상을 저장한 변수이고, pdf[i]는 영상으로부터 밝기값 i의 발생 빈도수를 저장하는 정수형 변수이다. 변수 cdf[i]는 밝기값 0부터 밝기값 i까지의 누적빈도수를 영상의 화소수로 나눈 후에 255를 곱해서 정규화한 것이다. 따라서 cdf[i]는 밝기값이 i일 때, 히스토그램 평활화를 수행한 밝기값을 나타낸다.

2.2 히스토그램 평활화 하드웨어 구현

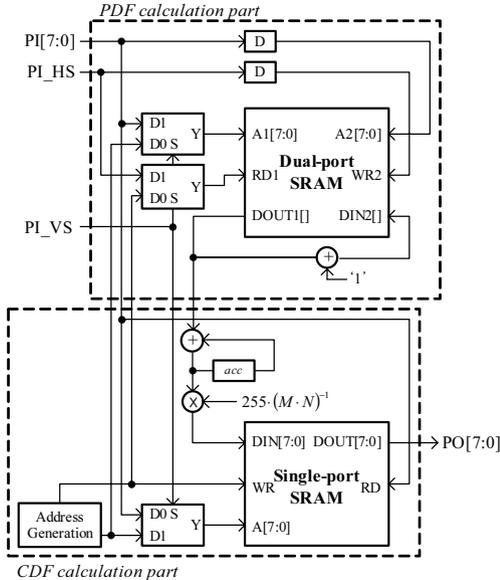
그림 3은 히스토그램 평활화 알고리즘을 다수의 누산기로 구현한 하드웨어 구조이다[5]. 이 구조에는 모두

256개의 누산기(ACC)가 있으며, 이들은 영상이 입력되는 동안 $cdf[i]$ 를 계산하여 저장한다. 그림에서 n 은 영상의 화소수 $H \times V$ 를 나타낸다. 따라서 $cdf[i]$ 를 n 으로 나누어줌으로써 히스토그램 평활화에 사용할 확률값을 얻게 된다.



[그림 3] 누산기 기반 히스토그램 평활화 하드웨어 구조[5]

그림 3의 구조는 256개의 누산기와 계산기로 구성되어 하드웨어 구현비용이 너무 높기 때문에 산업계에서는 그림 4와 같이 SRAM을 이용하여 구현한 구조가 주로 사용된다.



[그림 4] SRAM 기반 히스토그램 평활화 알고리즘 하드웨어 구조

그림 4의 히스토그램 평활화 하드웨어의 동작은 2 단계로 구성된다. 첫 단계에서는 한 프레임의 영상이 입력되는 동안에 각 밝기값의 빈도를 계산한다. 이를 위해서 256 항목을 가지는 dual-port SRAM과 1개의 가산기가

필요하다. 2번째 단계는 영상 프레임 사이의 수직 동기 구간 동안 누적 빈도 확률을 계산하고, 이를 0~255 사이로 정규화하여 single-port SRAM에 저장한다.

동작 단계의 구분은 프레임 단위로 결정된다. N번째 프레임이 입력되는 동안에는 빈도수가 계산되어 dual-port SRAM에 저장되고, N-1번째 프레임에 대한 히스토그램 평활화 결과가 저장된 single-port SRAM을 통해서 평활화 결과가 출력된다. N번째와 N+1번째 프레임의 사이에서는 dual-port SRAM의 빈도수가 출력되어, 누적 연산과 정규화 과정을 거쳐서 single-port SRAM에 저장된다.

각 밝기값에 대한 빈도수는 이를 주소로 하여 SRAM에 저장하되, 누적 연산을 수행을 위해서 dual-port SRAM을 사용한다. PI_HS는 '1'일 때, PI[7:0]이 타당한 영상 데이터임을 나타내고, PI_VS는 한 영상의 프레임이 입력되는 동안 '1'을 유지하는 신호이다. 따라서 PI_VS가 '1'인 구간에서 빈도수를 상단의 dual-port SRAM이 저장하고, 하단의 single-port SRAM으로부터 히스토그램 평활화가 수행된 밝기값을 읽어서 출력한다.

PI_VS가 '0'인 구간에서는 Address Generation 블록에서 0부터 255까지의 주소를 순차적으로 발생함과 동시에 주소 발생 구간을 알려주는 제어 신호를 생성하여, dual-port SRAM에 저장된 빈도수를 읽을 수 있게 한다. 이는 acc (accumulator) 레지스터와 함께 누적빈도를 계산하는 데 적용된다. 누적빈도수에 정규화를 위한 상수를 곱해서 상위 8-비트를 취해서 single-port SRAM에 저장함으로써, 히스토그램 평활화에 의한 새로운 밝기값을 저장하게 된다. 이와 같은 연산에 소요되는 사이클 수는 256이다.

그림 3과 그림 4의 하드웨어 구조의 차이는 cdf 를 저장하는 수단으로 레지스터 혹은 SRAM을 사용했다는 정도에 불과하며, 가장 높은 비용을 필요로 하는 계산기의 사용은 알고리즘의 구조상 피할 수 없다는 한계를 여전히 극복하지 못한 상태이다. 계산기 구현의 복잡도는 다음 절에서 살펴본다.

2.3 정규화의 복잡도

정규화에 필요한 나눗셈 연산은 식(1)과 같이 복잡도를 낮추기 위해서 곱셈 연산으로 대체한다.

$$cdf[i] = \left\lceil \frac{acc \cdot 255}{H \cdot V} + 0.5 \right\rceil = \lceil acc \cdot k + 0.5 \rceil,$$

$$\text{where } acc = \sum_{j=0}^{255} pdf[j] \quad (1)$$

곱셈 연산 후에는 반올림하여 정수 8-비트만을 최종적

으로 취하게 되는데, 부동소수 연산을 할 경우와 동일한 결과를 얻으려면 충분한 수의 비트로 정규화 상수 k 를 표현해야 한다. 누산기 acc 가 가질 수 있는 최대값은 영상의 해상도와 같다. UXGA 급 해상도를 다룰 경우 최대값은 1,920,000이므로, 이를 제대로 표현하려면 21 비트가 필요하다.

【표 1】 해상도에 따른 정규화 상수 k 의 비트폭

해상도	화소수	acc 비트폭	k 비트폭
VGA	640x480	19	33
HD720	1280x720	20	38
SXGA	1280x1024	21	18
UXGA	1600x1200	21	43
HD1080	1920x1080	21	35
QXGA	2048x1536	22	20

표 1은 식(1)에 의한 연산 후에도 부동소수 연산과 같은 결과를 보장해주는 정규화 상수 k 의 비트 폭을 Matlab을 이용하여 계산한 것이다. 표 1에 따르면 지상과 디지털 방송의 규격으로 사용되는 HD720 해상도를 지원하기 위해서는 20x38 승산기를 사용해야 하고, 카메라 내장 휴대폰에서 보편적으로 사용되는 UXGA 해상도의 경우에는 21x43 승산기가 필요한 등, 대용량의 승산기가 필요하다는 것을 나타낸다. 실제로 하드웨어를 구현하여 승산기가 전체 논리회로에서 차지하는 비중은 UXGA 해상도의 경우 75%를 상회하게 된다.

3. 제안한 히스토그램 평활화 H/W 구조

3.1 제안기 없는 히스토그램 평활화 알고리즘

식(1)에서 $cdf[i]$ 는 0과 255 사이의 정수이며, 0이 되는 경우는 다음과 같다.

$$\frac{acc \cdot 255}{H \cdot V} < 0.5$$

$$acc \cdot 255 < 0.5(H \cdot V),$$

where $acc = \sum_{j=0}^{i-1} pdf[j]$ (2)

즉, i 번째 밝기값까지의 빈도수를 누적한 acc 에 255를 곱한 값이 $0.5(H \cdot V)$ 보다 같거나 크다면, $i-1$ 번째 밝기값까지는 히스토그램 평활화에 의해서 0으로 결정된다. 이어서 j 번째 밝기값까지의 빈도수를 계속 누적시킨 acc 에 255를 곱한 값이 $1.5(H \cdot V)$ 보다 커지게 되면, i 번째 밝기값부터 $j-1$ 번째 밝기값은 히스토그램 평활화에 의해서 1로 결정된다.

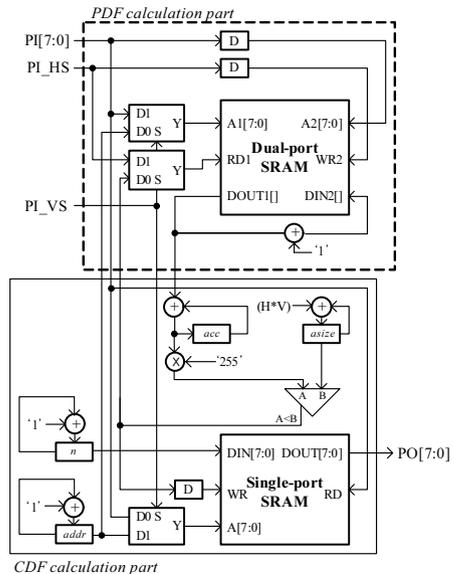
```

for (v=0; v<V; v++){
  for (h=0; h<H; h++){
    pdf[image[v*H+h]]++;
  }
}

addr = n = 0;
acc = pdf[0];
asize = (H*V)>>1;
do {
  if (acc*255<asize){
    cdf[addr] = n;
    addr++;
    acc += pdf[addr];
  } else {
    asize += (H*V);
    n++;
  }
} while (i<256);
    
```

【그림 5】 제안한 히스토그램 평활화 알고리즘

이와 같은 식으로 밝기값의 빈도수를 누적해가면서 $acc \times 255$ 를 $0.5(H \times V)$ 부터 시작하여 $255(H \times V)$ 까지 비교해나감에 히스토그램 평활화에 의한 결과값을 오차 없이 판단할 수 있게 된다. 그림 5는 제안한 히스토그램 평활화 알고리즘을 정리한 것이다.



【그림 6】 제안한 히스토그램 평활화 하드웨어 구조

3.2 제안한 하드웨어 구조

그림 6은 제안한 히스토그램 평활화 알고리즘을 구현한 하드웨어의 블록도를 나타낸다. 제안한 알고리즘은 나눗셈을 전혀 필요로 하지 않으며, acc 와 상수 255를 곱하

는 상수 곱셈기와 비교기, 누산기 등으로 구현된다. 그러나 상수 255와의 곱은 (2^8-1) 과 곱이므로 감산기를 대치될 수 있다. 따라서 제안한 알고리즘은 오로지 가산기와 감산기만으로 구현 가능하다.

4. 결론

본 논문에서는 영상의 화질 개선을 위한 가장 대표적인 알고리즘인 히스토그램 평활화 알고리즘을 효과적으로 구현할 수 있는 방안을 제시했다. 기존의 알고리즘에서는 제산기나 승산기를 사용하지 않고는 구현할 수 없었으나, 제안한 알고리즘은 가산기와 감산기만으로 구현되기 때문에, 하드웨어 구현 비용을 대폭 절감할 수 있다.

UXGA급 이하의 영상에 대해서 히스토그램 평활화 알고리즘을 수행하려면 빈도수를 저장하기 위해서 256x21 dual-port SRAM이 사용되며, 히스토그램 평활화 결과를 저장하기 위해서 256x8 single-port SRAM이 사용된다. 표 2는 UXGA(1600x1200) 해상도 이하를 목표로 하는 경우에 히스토그램 평활화 하드웨어의 등가 게이트 수를 나타낸 것이다. 0.13mm 공정 셀 라이브러리[7]와 저전력 SRAM 컴파일러를 사용해서 합성한 결과이다. 0.3 ns의 클럭 스쿠를 적용했으며, DFT(Design For Testability)를 고려하지 않은 수치이다.

[표 2] 합성 결과

Gate Count	Conventional	Proposed
256x21 dpsram	20076	20076
256x8 spsram	4946	4946
Logic	11721	1849
Total	36743	26871

제안한 알고리즘에 의해서 구현할 경우 논리 회로의 등가 게이트 수는 84.2%가 감축되는 것을 알 수 있다. 또한 메모리에 대한 등가 게이트 수를 포함할 경우에도 26.9%가 감축된다. 따라서 히스토그램 평활화 알고리즘과 하드웨어 구조는 저전력을 소모하는 ISP에서 화질 개선 알고리즘을 적용하기에 적합한 특성을 가진다.

참고문헌

[1] J. Adams, K. Parulski, and K. Spaulding, "Color processing in digital cameras," *IEEE Micro*, vol. 18, no. 6, pp. 20-31, June, 1998.
 [2] K. Jack, *Video Demystified: A Handbook for the Digit*

lEngineer, LLH Technology Publishing, 2001.

[3] J.Y. Kim, L.S. Kim, and S.H. Hwang, "An adaptive contrast enhancement using partially overlapped sub-block histogram equalization," *IEEE Trans. on Circuits and Systems for Video Tech.*, vol. 11, no. 4, pp. 475-484, Apr. 2001.
 [4] T. Kim and J. Paik, "Adaptive contrast enhancement using gain-controllable clipped histogram equalization," *IEEE Trans. on Consumer Electronics*, vol. 54, no. 4, pp. 537-540, Nov., 2008.
 [5] Se-Woong Park, "Video-image histogram equalization circuit and method therefor," U.S. Patent 6 075 890, Jan. 2000.
 [6] R. C. Gonzales and R. E. Woods, *Digital Image Processing*, Addison-Wesley Publishing, 2002.
 [7] Samsung Electronics, *ASIC Databook: 0.13um 1.2V CMOS Standard Cell Library for Pure Logic Products*, Oct 2001.

김 지 형(Ji-Hyung Kim)

[정회원]



- 2008년 2월 : 공주대학교 정보통신공학부 (공학사)
- 2008년 2월 ~ 현재 : 공주대학교 전기전자제어공학과 (석사과정)

<관심분야>

카메라 신호처리 알고리즘, ISP 설계

박 현 상(Hyun-Sang Park)

[종신회원]



- 1993년 8월 : 한국과학기술원 전기및전자공학과 (공학석사)
- 1999년 8월 : 한국과학기술원 전기및전자공학과 (공학박사)
- 1998년 12월 ~ 2005년 2월 : 삼성전자 LSI사업부 책임연구원
- 2005년 3월 ~ 현재 : 공주대학교 전기전자제어공학부 부교수

<관심분야>

영상처리, 카메라 신호처리, 멀티미디어 SoC