

기판적층형 가유전체를 이용한 소형화된 윌킨슨 전력분배기 설계

구자경¹, 임종식^{1*}, 안달¹
¹순천향대학교 전기통신공학과

Design of Miniaturized Wilkinson Power Divider Using Substrate Integrated Artificial Dielectric

Jakyung Koo¹, Jongsik Lim^{1*} and Dal Ahn¹

¹Department of Electrical and Communication Engineering, Soonchunhyang University

요약 본 논문에서는 기판 적층형 가유전체를 이용한 소형화된 윌킨슨 전력분배기 설계에 대하여 기술한다. 기판 적층형 가유전체 전송선로는 유효굴절률이 표준형보다 증가하여 전송선로의 선폭과 길이를 짧게 하는데, 이를 전자파 회로에 응용하여 회로의 소형화 효과를 얻을 수 있다. 본 논문에서는 다수의 비어홀을 가진 기판 적층형 가유전체 구조를 효과적으로 시뮬레이션 하는 방법을 제안하고, 이를 회로 소형화에 응용한 사례를 보이기 위하여 기판 적층형 가유전체를 이용한 소형화된 윌킨슨 전력분배기를 설계한다. 예로써 2GHz대의 윌킨슨 전력분배기를 설계, 측정된 결과가 제시되는데, SIAD 구조에 의한 유효 굴절률의 증가로 인하여 표준형 회로와 비교하여 동일한 전기적 특성을 유지하면서도 크기가 32% 감소되는 결과를 보인다.

Abstract This paper describes a size-reduced Wilkinson power divider using substrate integrated artificial dielectric(SIAD). SIAD transmission lines have increased effective refractive index, so the line width and length are reduced from those of standard transmission lines. Therefore the "size-reduction effect" is achieved if SIAD lines are applied to high frequency circuits. An efficient simulation method is proposed for SIAD lines which have an enormous number of via-holes. A 2GHz Wilkinson power divider is designed and measured using SIAD transmission line as an example of application. The size of the fabricated divider is reduced by 32% due to the increased effective refractive index of SIAD, while the performances are maintained similarly.

Key Words : Artificial dielectric, SIAD, Effective refractive index, Wilkinson power divider

1. 서론

적층형 가유전체 구조(Substrate Integrated Artificial Dielectric, SIAD)는 서로 분리된 두 개의 유전체 구조를 하나로 합침으로써, 이에 대한 효과들로 인하여 회로의 사이즈를 감소시키는데 중점을 두고 있다. 결과적으로, 두 개의 유전체에서 생기는 응답특성과, 각각의 유전체에서 생기는 응답특성의 결과로부터 유효 성분들을 추출해 낼 수 있다. 적층형 가유전체 구조는 Kock, Chon, Collin 과 Cheng과 함께 오랜 역사(1940~1960년대)를 지니고 있고[1-4], 대부분 안테나 레이돔들을 위한 경량의 부피 측정 렌즈들을 제공하는 것을 목표로 하고 있다.

적층형 가유전체 구조는 연구 초창기에 정밀 제작이 가능한 회로 기판의 제작상의 크기에 따른 제약과 복잡한 공정 때문에 응용분야가 제한적이었다. 그러나 비교적 크고 복잡한 회로 기판의 정밀한 제작이 가능하게 되어 이제는 마이크로파 대역에서의 새로운 구조가 제안되기에 이르렀다[5,6].

SIAD 전송선로는 윗층 유전체 기판의 마이크로스트립 전송선로와 아랫층 유전체 기판에 집중적으로 배열된 비어홀(via-holes)에 의하여 전체 유전체 기판의 유효 유전율과 투자율이 변하여, 결과적으로 두 물리량의 곱으로 표현되는 유효 굴절률이 증가하는 특성을 가지고 있다. 따라서 물리적으로 동일한 길이를 갖는 전송선로라고 하

*교신저자 : 임종식(jslim@sch.ac.kr)

접수일 09년 05월 16일

수정일 09년 07월 03일

게재확정일 09년 07월 22일

여도 전기적으로 길이가 크게 증가하므로 회로의 소형화에 큰 역할을 할 수 있다.

본 논문에서는 이러한 특성을 이용하여 대표적인 무선 통신용 회로 가운데 하나인 윌킨슨 전력 분배기에 대하여 SIAD를 적용하여 회로쉬 소형화를 얻어내고 그 결과를 제시하고자 한다. 이 과정에서 매우 복잡한 SIAD 구조의 효과적인 시뮬레이션 기법과 그 결과에 대해서도 함께 소개하고자 한다.

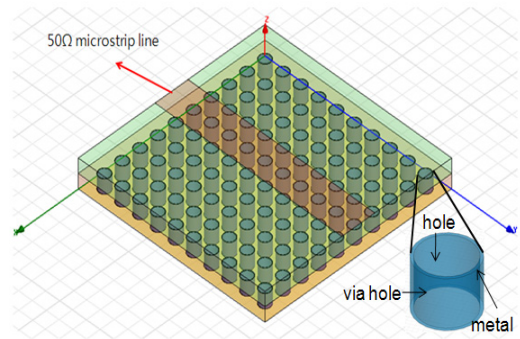
2. 적층형 가유전체 구조의 전송선로

그림 1은 적층형 가유전체 구조를 이용한 마이크로스트립 전송선로를 보여주고 있다. 적층형 가유전체 전송선로에서는 선로주변의 아랫면 기판에 다수의 비어홀이 존재하고, 이 비어홀은 가장 바닥면의 접지면과 서로 연결되는 도금면을 포함하고 있다. 이 구조에서 윗층 기판의 상면에는 전송선로의 신호선 패턴이 구현되고, 윗층 기판의 아랫면 도체층은 제거된다. 그리고 아래층 기판의 경우 상면 도체는 제거되거나 하면 도체층은 마이크로스트립 전송선로의 접지면 도체층을 위하여 남겨진다. 이 때 아래층 기판의 유전체에 무수히 많은 금속 비어홀이 주기 구조를 형성하며 일정 간격으로 배열된다.

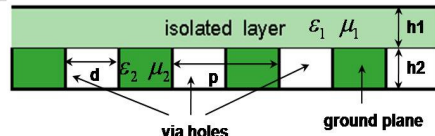
적층형 가유전체 구조에서 비어홀은 여러 가지 유효 유전율 ϵ 과 유효 투자율 μ 의 값을 얻기 위해 구조적 치수들(격자 상수, 직경, 높이, 그리고 메탈의 두께)로 설계가 된다. 일정간격을 의미하는 격자 상수 p 는 자유공간에서 파장의 길이보다 크게 작은 것이 좋는데 보통 $p \ll \lambda_g$ 와 $p < \lambda_g/50$ 의 조건을 만족할 때가 좋다[5].

적층형 가유전체 전송선로 구조는 평면형 전송선로 구조의 일종인데, 그림 1에 보인 바와 같은 선로 제작을 위해 아래층 기판의 경우에 레이저 드릴 공정과 도금 공정이 필요하고, 두 층의 유전체 기판을 강하게 압착하여 하나의 기판구조로 만드는 공정이 필요하다.

본 연구에서는 실제로 제작 및 측정을 위하여 유전율 (ϵ_r)이 2.2이고 윗층 기판의 두께(h_1)와아래층 기판의 두께(h_2)가 각각 0.127mm, 0.7874mm인 기판을 사용한다. 격자상수와 비어홀의 크기에 따라 다양한 특성이 가능한데, 본 연구에서는 서로 다른 치수를 가진 아래층 기판을 이용하여 각 특성을 비교한다.



(a)



(b)

[그림 1] 적층형 가유전체 마이크로스트립 선로 구조 (a) 이층 유전체 기판과 비어홀 구조 (b) 옆 부분 단면도

3. 적층형 가유전체 구조의 동작원리

이제 그림 2를 이용하여 SIAD를 이용한 마이크로스트립 전송선로의 구조 및 모델링 과정을 설명하기로 하겠다. 그림 2(a)는 마이크로스트립 신호선(제 1기판 상면)에 흐르는 무선 고주파 전류와 자기장 분포를, 그림 2(b)는 비어홀(제 2기판 관통)에 분포하는 전류와 자기장 분포를, 그림 2(c)는 등가회로 추출을 위한 등가회로 소자들의 분포도를, 그리고 그림 2(d)는 단위소자에 대한 간략화된 등가회로를 보여주고 있다.

진행하는 전류에 의하여 생성되는 전기장과 자기장은 서로 직각방향으로 분포하며 $\lambda/2$ 의 전기적 길이 단위로 극성이 서로 바뀌면서 분포한다. 그리고 순수하게 마이크로스트립 선로에만 분포해야 할 고주파 신호 전류가 SIAD 전송선로에서는 비어홀 내부의 전류로 일부가 분산하게 된다. 그러나 입력되는 신호에너지에 의한 총자속 (Φ)은 같으므로 결과적으로 자속(Φ)/전류(I)의 비로 표현되는 전송선로의 인덕턴스(L)은 결과적으로 증가하게 된다. 이와 같은 원리에 의하여 SIAD 전송선로의 등가 인덕턴스가 증가하게 되는 것이다.

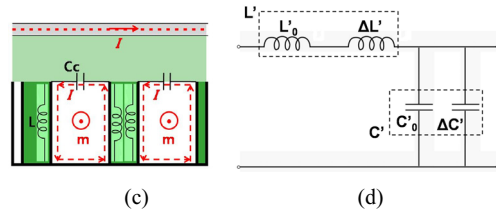
이를 더 자세히 설명해 보면, 마이크로스트립 신호선을 따라 흐르는 수평적인 전류와 비어홀을 따라 흐르는 전류가 존재한다. 그림 2(a)는 비어홀의 전류와 마이크로스트립 전송선로의 전류에 의하여 자속밀도 B_{via} 와 B_{strip}

이 각각 생성됨을 보여준다. 그러므로 전체 자속밀도 B 는 $B_{\text{vias}} + B_{\text{strip}}$ 이고, 이에 대응하는 전체 자속 ϕ 는 $\phi_{\text{vias}} + \phi_{\text{strip}}$ 이다. 전체전류를 I 라 하면 표준형 마이크로스트립 선로에서 전류는 $I_{\text{strip,standard}} = I$ 이지만, 적층형 가유전체 선로 구조에서 전류는 $I_{\text{strip,SIAD}} = I - I_{\text{vias}}$ 의 관계가 된다. 한편 전송선로에서 등가 인덕턴스를 비교해 보면, 적층형 가유전체 구조에서 인덕턴스(L_{SIAD})는 $\phi / I_{\text{strip,SIAD}}$ 으로 나타나고, 표준형 마이크로스트립 선로의 인덕턴스(L_{standard})는 $\phi / I_{\text{strip,standard}}$ 로 나타나는데 $I_{\text{strip,SIAD}}$ 이 $I_{\text{strip,standard}}$ 보다 더 작은 값을 가지므로 L_{SIAD} 가 L_{standard} 보다 더 큰 값을 갖게 된다 [5].

한편 개별 비어홀의 구조를 살펴보면 비어홀 내부가 금속면으로 도포되어 있으므로 비어홀 입구에서의 미약한 커패시턴스(C_c)가 존재하며, 또한 마이크로스트립 선로상에서 접지면 방향으로의 유전체를 통한 통상적인 커패시턴스(C_o) 외에 비어홀 내부 벽면 금속면(이것도 위로 치솟은 접지면임)과 사이에 형성되는 커패시턴스(ΔC)가 추가로 존재하게 된다. 따라서 모든 커패시턴스들의 총합이 종래의 표준형 마이크로스트립 선로의 경우보다 더 증가하게 된다.

결과적으로 동일한 유전체 기판을 이용한 표준형 마이크로스트립 전송선로를 사용했을 경우에 비하여 전송선로의 등가회로상에서 인덕턴스의 증가는 유효투자율의 증가로 이해될 수 있고, 커패시턴스의 증가는 유효유전율의 증가를 의미하므로 SIAD 전송선로의 유효투자율과 유효유전율이 증가하게 되는 것이다.

적층형 가유전체 전송선로 구조는 두 개의 중요 파라미터인 유효 유전율(ϵ_{eff}), 유효 투자율(μ_{eff})이 모두 증가하게 되어 결과적으로 $\eta_{\text{eff}} = \sqrt{\epsilon_{\text{eff}} \mu_{\text{eff}}}$ 으로 표현되는 유효 굴절률이 표준형 마이크로스트립 선로의 유효 굴절률 η_{standard} 보다 증가하게 된다. 이 때 전송선로에서의 관내파장이 $\lambda_g = \lambda_0 / \eta_{\text{eff}}$ 의 관계를 가지므로, η_{eff} 가 표준형 마이크로스트립 선로와 비교하여 증가하므로 길이가 훨씬 줄어들어 회로의 소형화에 기여할 수 있게 된다.

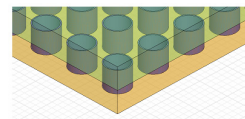


[그림 2] 적층형 가유전체 구조의 마이크로스트립 개념도 (a) 전류 분포도 (b) 고주파 영역에서의 (a)의 비어홀 내부의 전류분포도의 확대도 (c) 적층형 가유전체 선로의 등가회로 분포도 (d) 단위길이에 대한 간략화된 등가회로

4. 최적의 비어홀 시뮬레이션 방법

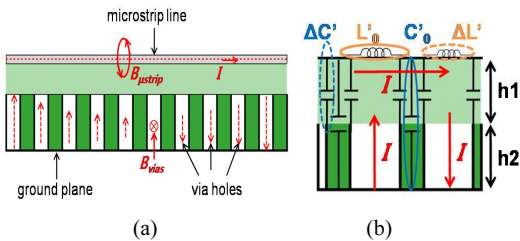
비어홀은 기판 제작과정에서 원래 원형구조로 제작된다. 그러나 다수의 비어홀 구조를 포함하는 회로의 시뮬레이션 과정에서는 이 부분이 엄청난 계산(computing)을 필요로 한다. 그런데 다수의 비어홀은 회로적 시뮬레이션(circuit simulation) 기법으로 그 특성을 예측하기가 어려우므로 전자기적 시뮬레이션(electromagnetic (EM) simulation)을 수행해야 한다. 하지만 이 과정에서 엄청나게 긴 시간과 고비용의 컴퓨터 사양을 요구하게 되어 결국 설계비용이 매우 높아지게 된다. 따라서 본 연구에서는 이를 해결하고자 실제 제작은 원형으로 하되, 비교적 정확하면서도 효율적으로 시뮬레이션을 수행하기 위하여 최적의 사각형 비어홀 구조를 설계하여 시뮬레이션에 활용하는 방법을 연구하였다. 본 연구에서는 EM 시뮬레이션을 위하여 Ansoft社의 HFSS V11을 사용하였다.

그림 3은 도체의 두께($T=0.035\text{mm}$)를 고려한 비어홀의 구조를 보여주고 있다. 물론 $T=0$ 로 단순화시킨 비어홀을 사용할 경우 시뮬레이션은 다소 빠르게 수행되지만, 측정과는 다른 결과를 보여주는 문제가 있으며 또한 $T=0$ 인 경우는 실제적인 상황이 아님이 명백하다.

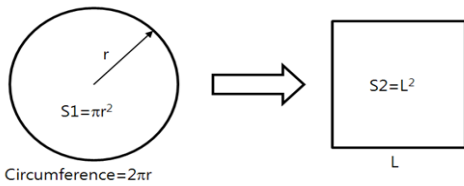


[그림 3] 도체두께($T=0.035\text{mm}$)를 고려한 원형 비어홀 구조

이제 다수의 원형 비어홀을 가진 구조를 효과적으로 시뮬레이션 하기 위한 과정을 설명하고자 한다. EM 시뮬레이션에서 메쉬(mesh)의 개수가 작을수록 계산량을 줄일 수 있으므로 기본적으로 정사각형 비어홀이 가장 효과적



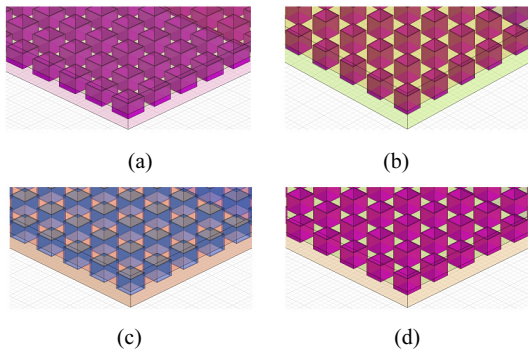
인 구조이다. 그러나 T를 고려한 정사각형 비어홀의 치수를 취할 때 원형 비어홀과 가장 가까운 특성을 보여야 하므로 최적의 정사각형 치수를 취하는 것이 효율적인 설계 및 시뮬레이션을 위하여 매우 중요하다.



[그림 4] 원형 구조와 사각형 구조의 비어홀

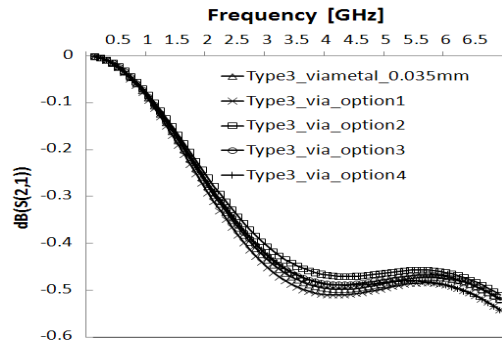
본 연구에서는 이를 위하여 그림 4에 보인 바와 같이 주어진 어떤 반지름을 갖는 원형 비어홀의 주변둘레의 길이(2πr)와 면적(S1=πr²)을 먼저 계산하고, 이를 기준으로 하여 1)option 1 : 원의 지름을 정사각형의 한 변으로 취한 정사각형 비어홀, 즉, L=L1=2r인 비어홀, 2)option 2 : 원과 주변둘레의 길이가 같은 정사각형 비어홀, 즉 L=L2=2πr/4인 비어홀, 3)option 3 : 원과 면적이 같은 정사각형 비어홀, 즉 S1=S2가 되도록 L=L3=√πr²인 비어홀, 4) option 4 : L2와 L3의 중간값에 해당하는 L=L4=(L2+L3)/2인 정사각형 비어홀을 설계하였다. 그리고 이런 비어홀을 갖는 SIAD 마이크로스트립 선로를 시뮬레이션 하여 원형 비어홀과 가장 가까운 특성을 갖는 정사각형 비어홀을 선택하여 설계과정에 사용하였다.

그림 5는 상기에서 설명한 4가지의 경우에 대한 사각형 비어홀의 구조를 보여주고 있다. 정사각형의 한 변의 길이가 상대적으로 조금씩 다른 치수를 가지고 있음을 시각적으로도 확인할 수 있다.

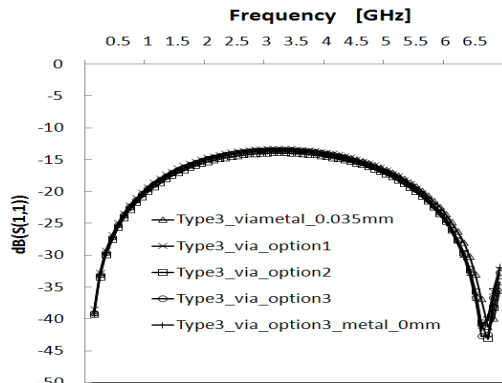


[그림 5] 정사각형 비어홀 구조 (a) option 1의 사각형 비어홀 (b) option 2의 사각형 비어홀 (c) option 3의 사각형 비어홀 (d) option 4의 사각형 비어홀

그림 3과 그림 5에 보인 여러 가지 비어홀에 대하여 전송선로 구조를 EM 시뮬레이션 하여 그 특성을 살펴보고 이를 그림 6에 보였다. 시뮬레이션 결과 상기의 option 4의 경우가 원형 비어홀인 경우와 가장 근사한 특성을 보인 것으로 확인되었다. 그러면서 표 1에 정리된 것처럼 각 경우에 대한 컴퓨팅 시간(computing time)을 비교해보면, 원형 비어홀보다 사각형 비어홀의 경우가 훨씬 짧은 시간 안에 시뮬레이션이 완료됨을 알 수 있다. 또한 option 4의 경우가 시뮬레이션 시간도 짧으면서 원형일 때와 가장 유사한 특성을 보임을 알 수 있다. 그래서 이 경우가 원형비어홀을 대신할 수 있는 가장 좋은 시뮬레이션 조건이라는 것으로 결론지을 수 있다. 한편 표 1의 결과는 13.6 x 13.6 mm²의 기판에 100개의 비어홀을 10 x 10의 2차원 배열로 시뮬레이션 한 결과를 보여준다. 만약에 이보다 더 넓은 회로기판에 대한 시뮬레이션을 행할 경우 컴퓨팅 시간에서의 차이, 즉 사각형 비어홀을 사용한 시뮬레이션에서의 시간 절약은 이보다 훨씬 많을 것으로 판단된다.



(a)



(b)

[그림 6] 다섯 가지 비어홀 구조를 갖는 전송선로에 대한 EM 시뮬레이션 결과 (a)S21 (b)S11

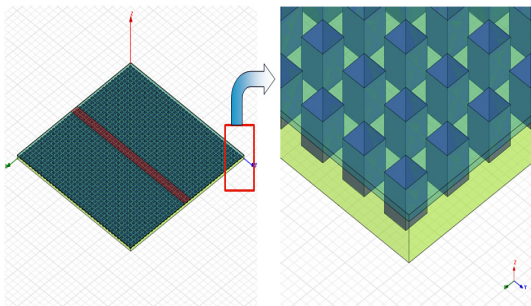
[표 1] 다섯 가지 시뮬레이션에 대한 비교

	CPU time
원형 비어홀 (그림 3(a))	2시간 48분 08초
option 1	25분 50초
option 2	10분 21초
option 3	41분 41초
option 4	14분 50초

5. SIAD 전송선로

앞에서 기술한 연구결과를 토대로 하여 적층형 가우전체 구조의 전송선로를 설계 및 구현해 보았다. 여러 가지 임피던스 중에 기준값으로 많이 쓰이는 50Ω 선로와, 윌킨슨 전력분배기에 필요한 70.7Ω 선로에 대하여 설계하여 보았다. 그림 7은 적층형 가우전체 구조의 전송선로의 레이아웃이다.

50Ω과 70.7Ω 전송선로의 폭과 길이를 찾기 위해서 기본구조에서 값들을 추출하였다. 마이크로스트립 선로가 구현되는 윗 기판의 두께(h1)를 0.127mm로 하고, 비어홀이 구현되는 아랫 기판의 두께(h2)를 0.7874mm로 하였다. 그러므로 총 기판의 두께(h)는 0.9144mm(36mils)가 된다. 설계 결과 표준형 마이크로스트립 선로의 80Ω에 해당하는 선폭을 지는 선폭일 때 적층형 가우전체 구조에서 50Ω 임피던스 선로의 역할을 하는 것으로 확인되었다.



[그림 7] 적층형 가우전체 구조의 마이크로스트립 전송선로 구조

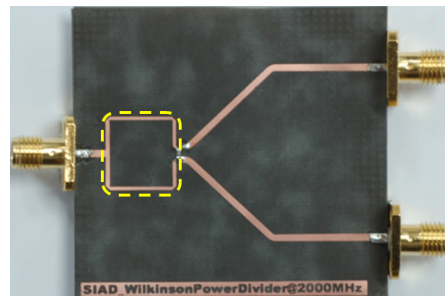
표 2를 보면 표준형 마이크로스트립 선로의 경우보다 적층형 가우전체 구조에서는 폭과 길이가 크게 감소함을 알 수 있는데, 선폭과 길이가 각각 54%, 23%만큼 감소했음을 알 수 있다. 또한 유효굴절률(n_{eff})이 32% 정도 증가하였는데, 이와 유사한 비율로 회로의 크기가 소형화될 수 있음을 예측할 수 있다.

[표 2] 마이크로스트립 전송선로의 선폭과 길이

구분(@2GHz)		표준형 마이크로스트립 선로	적층형 가우전체 선로
50Ω	width	2.77 mm	1.28 mm
	$\lambda / 4$ @ 2GHz	27.37 mm	20.96 mm
	η_{eff}	1.37	1.81
70.7Ω	width	1.56 mm	0.7 mm
	$\lambda / 4$ @ 2GHz	27.85 mm	21.59 mm
	η_{eff}	1.35	1.76

6. 윌킨슨 전력분배기의 소형화 응용

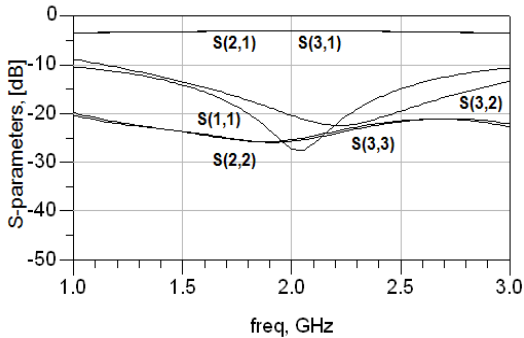
먼저 표준형 전송선로로 설계하고, 다시 이를 적층형 가우전체 전송선로로 설계하여 소형화 정도를 비교하였다. 그림 8은 제작된 적층형 가우전체 윌킨슨 전력분배기를 보여주고 있다. 점선 사각형으로 별도로 표시한 부분이 70.7Ω의 전송선로로 구성되는 순수한 윌킨슨 전력분배기 회로 부분이고, 다른 부분의 긴 선로는 각 단자와의 연결을 위한 50Ω 전송선로 부분이다. 윌킨슨 전력분배기 부분의 면적은 11.4 x 12.62mm²이다. 한편 종래의 표준형 윌킨슨 전력분배기는 널리 알려진 구조여서 본 논문에서는 따로 보이지 않으나 비교를 위하여 설계하였는데, 전력분배기 부분의 면적은 13.12 x 15.39mm²이었다. 따라서 설계한 적층형 가우전체 윌킨슨 전력분배기 회로의 크기가 표준형에 비하여 29%만큼 줄었음을 알 수 있다.



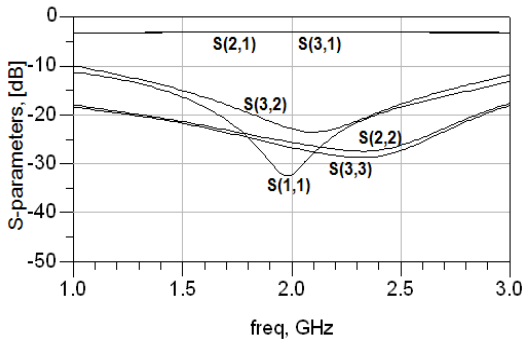
[그림 8] 적층형 가우전체 구조의 윌킨슨 전력 분배기

그림 9는 표준형 윌킨슨 전력분배기의 설계 성능을 보여주고 있고, 그림 10은 본 논문에서 설계한 적층형 가우전체 윌킨슨 전력분배기 회로의 설계 성능이다. 제한한 구조의 전력분배기의 성능을 표준형과 비교할 때 성능상의 주요 지표인 전력분배 특성, 단자정합 특성, 격리특성에 있어서 아무런 열화(degradation)가 발생하지 않았음

을 알 수 있다.



[그림 9] 표준형 윌킨슨 전력분배기 회로의 설계 성능

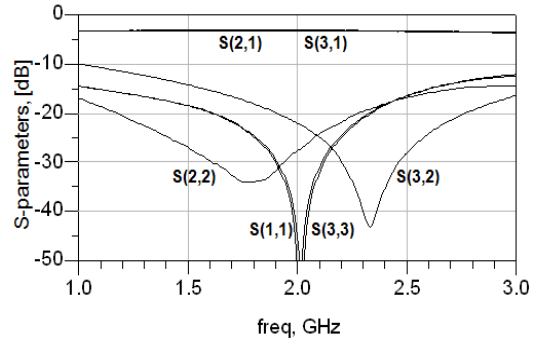


[그림 10] 본 논문의 적응형 가유전체 윌킨슨 전력분배기의 설계 성능

그림 11은 본 논문에서 제작한 적응형 가유전체 윌킨슨 전력분배기의 측정 성능을 보여주고 있다. 설계과정에서 예측한 대로 S(2,1)과 S(3,1)이 각각 -3.104dB, -3.264dB의 전력분배 특성과 -20dB 이하의 단자정합 및 격리특성을 지니고 있다. 전력분배에 있어서 0.1-0.2dB 정도의 오차가 있고, S22와 S32의 주파수 특성에 얼마간의 천이(shift)가 있으나 전반적인 특성을 보면 윌킨슨 전력분배기로서 우수한 특성을 보이고 있다.

주파수 천이의 원인으로는 제작된 SIAD 기판상의 수백 개가 넘는 비어홀의 크기가 시뮬레이션에서처럼 완전하게 균일하거나 정확하지 않다는 점과, 상면 기판과 하면 기판의 접합시 비어홀들의 위치와 전송선로 신호선과의 상호 위치 조정(alignment)이 시뮬레이션 조건과 완전하게 일치하지 않아 각 단자로 분배되는 선로의 전기적 길이가 약간 달라졌을 수 있다는 점을 들 수 있다. 따라서 실제 제작 및 측정시 시뮬레이션과 완벽하게 같은 조건을 만들어 주는 것이 어렵기는 하지만, 이는 향후 제작 및 측정 기술의 향상으로 해결해야 할 문제로 여겨진다.

표 3은 윌킨슨 전력분배기의 특성을 2GHz에서 요약하여 보여주고 있다. 그러나 S32에서 보이는 200MHz 정도의 주파수 상향 천이를 제외하면 2GHz를 중심으로 400MHz의 대역폭 이상에서 우수한 분배, 정합 및 격리 특성을 보여주고 있어서, 본 논문에서 제작한 회로가 소형화되었으면서도 우수한 성능을 지니고 있음을 알 수 있다.



[그림 11] 본 논문의 적응형 가유전체 윌킨슨 전력분배기의 측정 성능

[표 3] 윌킨슨 전력분배기의 특성 요약 (@2GHz)

	표준형분배기 (설계)	본논문의 분배기 (설계)	본논문의 분배기 (측정)
S21 [dB]	-3.089	-3.086	-3.104
S31 [dB]	-3.107	-3.034	-3.264
S11 [dB]	-27.132	-32.208	-44.933
S22 [dB]	-25.634	-25.576	-27.602
S33 [dB]	-25.32	-26.661	-51.267
S32 [dB]	-20.383	-22.832	-21.986

7. 결론

본 논문에서는 적응형 가유전체 구조를 이용한 전송선로의 효과적인 설계를 위한 최적의 비어홀 시뮬레이션 방법을 소개하고, 이 전송선로가 유효굴절률이 증가하여 회로의 소형화에 이용될 수 있음을 보이기 위하여, 적응형 가유전체 구조의 소형화된 윌킨슨 전력분배기의 설계 및 측정결과를 언급하였다.

원형 비어홀을 이용한 시뮬레이션의 설계 시간을 낮추기 위한 최적의 사각형 비어홀 구조를 제안한 결과 훨씬 짧은 시간으로도 효과적으로 시뮬레이션 결과를 얻을 수 있음을 밝혔다. 또한 본 논문에서 설계한 적응형 가유전

체 월킨슨 전력분배기는 표준형에 비하여 29%만큼 소형화되었으며, 이 과정에서 성능상의 열화는 없었다.

본 논문에서 얻어진 연구 성과들은 타 종류의 고주파 회로 및 시스템에도 설계시간 단축 및 소형화를 목표로 잘 응용될 수 있을 것으로 판단되며, 본 연구팀은 이에 대한 연구를 향후 지속할 예정이다.

참고문헌

- [1] W. E. Kock, "Metallic delay lenses", *Bell Syst. Tech. J.*, vol. 27, pp. 58-82, 1948.
- [2] S. B. Cohn, "Analysis of the metal strip delay structure for microwaves lenses", *J. Appl. Phys.*, vol. 20, pp. 257 - 262, Mar. 1949.
- [3] S. B. Cohn, "The electric and magnetic constants of metallic delay media containing obstacles of arbitrary shape and thickness", *J. Appl. Phys.*, vol. 22, pp. 628 - 634, May 1951.
- [4] S. B. Cohn, "Microwave measurements on metallic delay media", *Proc. IRE*, vol. 41, pp. 1177 - 1183, Sep. 1953.
- [5] M. Coulombe, H. V. Nguyen, and C. Caloz, "Substrate Integrated Artificial Dielectric (SIAD) Structure for miniaturized Microstrip Circuits", *IEEE. Ant. and Wir. Prop. Lett.* vol. 6, pp. 575-579, 2007.
- [6] I. Awai, H. Kubo, T. Iribe, D. Wakamiya, and A. Sanada, "An artificial dielectric material of huge permittivity with novel anisotropy and its application to a microwave BPF", in *Proc. IEEE Int. Microw. Symp. Conf.*, Philadelphia, PA, pp. 1085-1088, Jun. 9-13, 2003.
- [7] David M. Pozar, *Microwave Engineering*, 3rd edition, John Wiley and Sons, Inc., pp. 143-149, 2003.
- [8] N. J. Kolettis and R. E. Collin, "Anisotropic properties of strip-type artificial dielectric", *IRE Trans. Microw. Theory Tech.*, vol. MTT-9, no. 5, pp. 436 - 441, Sep. 1961.
- [9] M.-K. Hu and D. K. Cheng, "A new class of artificial dielectrics," in *WESCON/58 Conf. Record*, vol. 2, pp. 21-25, Aug. 1958.

구 자 경(Jakyung Koo)

[준회원]



- 2008년 2월 : 순천향대학교 정보기술공학부 (공학사)
- 2008년 3월 ~ 현재 : 순천향대학교 대학원 전기통신시스템공학과 석사과정 재학중

<관심분야>

초고주파 무선 능동/수동 회로/부품 설계 분야 등

임 종 식(Jongsik Lim)

[종신회원]



- 1991년 2월 : 서강대 전자공학과 (공학사)
- 1993년 2월 : 서강대 대학원 전자공학과 (공학석사)
- 2003년 2월 : 서울대 대학원 전기컴퓨터공학부 (공학박사)
- 1993년 2월 ~ 2005년 2월 : 한국전자통신연구원 선임연구원
- 2005년 3월 ~ 현재 : 순천향대학교 전기통신공학과 재직중

<관심분야>

초고주파 무선 회로/부품 설계, 능동/수동 소자 모델링 및 회로 응용, 주기 구조의 모델링 및 회로 응용 등임.

안 달(Dal Ahn)

[종신회원]



- 1984년 2월 : 서강대 전자공학과 (공학사)
- 1986년 2월 : 서강대 대학원 전자공학과 (공학석사)
- 1990년 8월 : 서강대 대학원 전자공학과 (공학박사)
- 1990년 8월 ~ 1992년 8월 : 한국전자통신연구원 선임연구원
- 1992년 9월 ~ 현재 : 순천향대학교 전기통신공학과 재직중

<관심분야>

RF, 마이크로파 수동소자 해석 및 설계 등임.