

# DDI DRAM의 감지 증폭기에서 기생 쇼트키 다이오드 영향 분석

장성근<sup>1\*</sup>, 김윤장<sup>2</sup>

<sup>1</sup>청운대학교 디지털방송공학과, <sup>2</sup>매그나칩 반도체 CE NED팀

## Analysis of effect of parasitic schottky diode on sense amplifier in DDI DRAM

Sung-Keun Chang<sup>1\*</sup> and Youn-Jang Kim<sup>2</sup>

<sup>1</sup>Dept. of Digital Broadcasting & Electronics Engineering, Chungwoon University

<sup>2</sup>Magnachip Semiconductor Ltd. CE NED team

**요 약** 본 논문에서는 버팅 콘택(butting contact) 구조를 갖는 DDI DRAM소자의 감지 증폭기의 입력 게이트 단의 모든 기생 성분을 포함한 등가 회로를 제안 하였다. 제안한 모델을 이용하여 기생 쇼트키 다이오드가 감지 증폭기 동작에 어떤 영향을 미치는지 분석하였다. 각각의 불량 가능성에 대해 감지 증폭기가 어떻게 동작하는지 분석하여 단측 불량 특성의 원인을 규명하였다. DDI DRAM에서 단측 불량 원인과 불량률의 온도 의존성은 감지 증폭기의 입력 게이트 단에 형성된 기생 쇼트키 다이오드 형성에 기인한 것으로 판단된다. 이러한 기생 쇼트키 다이오드는 게이트 입력에 기생 전압 강하를 야기하게 되고 결국 감지 증폭기의 노이즈 마진을 감소시켜 단측 불량률을 증가시킨다.

**Abstract** We propose the equivalent circuit model including all parasitic components in input gate of sense amplifier of DDI DRAM with butting contact structure. We analysed the effect of parasitic schottky diode by using the proposed model in the operation of sense amplifier. The cause of single side fail and the temperature dependence of fail rate in DDI DRAM are due to creation of the parasitic schottky diode in input gate of sense amplifier. The parasitic schottky diode cause the voltage drop in input gate, and result in decreasing noise margin of sense amplifier. therefore single side fail rate increase.

**Key Words** : DDI, DRAM, single side fail.. Schottky diode, Noise margin

### 1. 서론

DDI(Display Driver IC)는 표시장치에 글자나 이미지 등의 영상이 표시될 수 있도록 구동신호 및 데이터를 패널에 전기신호로 제공하는 IC(Integrated Circuits)로서 다양한 방식의 평판 디스플레이 구동에 필요한 핵심 부품으로 패널의 종류에 따라 여러 종류로 개발되고 있다. 최근 평판 디스플레이 시장은 저소비 전력, 고집적, 다기능 등의 특성을 요구하는 모바일 응용 제품의 디스플레이 구동회로 분야와 대화면, 고해상도 텔레비전 응용제품 분야의 두 시장이 급속도로 커지는 양상을 보이고 있고, 하나의 디스플레이 패널에 하나의 시스템이 집적되는

SOP(System on Panel)에 대한 관심이 고조되고 있다. 평판 디스플레이 기술이 발전하면서 크기 및 해상도, 응답 속도 등이 개선되면서 평판 디스플레이 시장은 2010년까지 연 평균 8.22%로 꾸준히 성장할 것으로 디스플레이에서 예상하고 있으며, 평판 디스플레이 생산량 증가와 고해상도 패널 비중의 증가로 DDI시장은 더 큰 폭으로 성장할 것으로 기대된다[1]. DDI IC 제조와 관련하여 칩의 디자인 룰도 미세화가 가속화되어 칩 원가 절감이 빠르게 진행되고 있다. 디자인 룰의 미세화로 소자 크기가 작아짐에 따라 기존의 소자 구조로는 해결하기 어려운 많은 문제점이 노출되고 있으며, 이러한 문제점을 해결하고자 쌍극 폴리 실리콘 게이트(dual-poly-Si gate)

본 논문은 2009학년도 청운대학교 교내학술연구비 지원에 의해 수행되었음.

\*교신저자: 장성근(skchang@chungwoon.ac.kr)

접수일 09년 10월 09일

수정일 10년 02월 18일

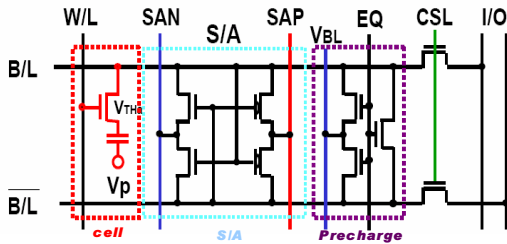
게재확정일 10년 02월 24일

CMOS(Complementary Metal Oxide Semiconductor)기술이 사용되어지고 있다[2-4].

본 논문은 쌍극 폴리 실리콘 게이트 기술을 사용하고 CMOS 감지 증폭기 게이트 입력이 버텅 콘택 구조를 가진 DDI 소자를 제조하는 과정에 실리사이드 응집 현상으로 야기된 기생 쇼트키 다이오드 생성과 그로인한 단측 불량률의 원인과 문제점을 분석하기 위해 감지 증폭기의 모든 기생 성분을 포함한 회로를 모델링하여 여러 가지 경우에 대해 불량 원인을 분석하였다.

## 2. 단측 불량 현상 및 원인 분석

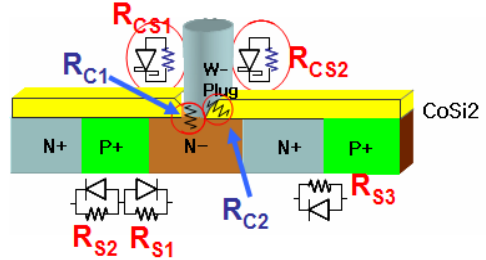
DDI DRAM 소자의 단측 불량 특성은 비트 라인(bit line, B/L)을 공유하는 셀들에서 비트 1과 비트 0 중에 특정 비트 불량률이 현저히 많이 나타나는 현상이다. column 방향으로의 DRAM은 그림 1과 같이 DRAM 셀에 감지 증폭기(sense amplifier, S/A) 회로와 예비 충전 이퀄라이저(precharge equalizer) 회로가 비트 라인 방향으로 연결된 구조이다.



[그림 1] DRAM의 bit line(B/L) 방향의 구조

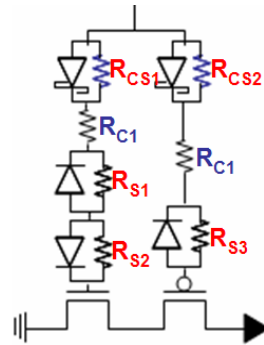
그림 1에 보인 회로 구조에서 B/L선과 /B/L(bit bar)선의 작은 전압 변동을 증폭하여 읽기 속도를 빠르게 하는 감지 증폭기는 감지 속도를 향상시키고 레이아웃 면적과 전력 소비를 줄이는 방향으로 개발되고 있다. 감지 증폭기는 쌍극 폴리 실리콘 게이트 구조의 인버터 회로로 이루어져 있고 NMOS와 PMOS 게이트 입력이 버텅 콘택 구조를 하고 있다. 그런데 입력 접촉 창(input contact) 영역의 n형 불순물 영역과 p형 불순물 영역이 중첩되는 구조에서, 인버터 입력단에 실리사이드 불안정성에 의해 기생 입력 다이오드 및 쇼트키(Schottky) 다이오드 성분이 존재할 수 있게 됨을 알 수 있다[5]. 이 경우 감지 증폭기의 입력 게이트 단면과 기생 성분을 모두 그리면 그림 2와 같다. 모든 기생 성분을 정리하면 플러그와 CoSi<sub>2</sub> 접촉 저항(R<sub>CS1</sub>), 플러그와 접촉 창의 접촉 저항

(R<sub>C2</sub>), 플러그와 접친 영역의 접촉 저항(R<sub>C1</sub>, R<sub>C2</sub>) CoSi<sub>2</sub>의 판 저항 (R<sub>S1</sub>, R<sub>S2</sub>, R<sub>S3</sub>)등의 저항 성분과 PN 다이오드와 쇼트키 다이오드 성분으로 구성된다.



[그림 2] 감지 증폭기의 입력 게이트 단면과 기생 성분

모든 기생 성분을 포함한 CMOS 인버터의 등가 회로를 그림 3에 나타냈다.

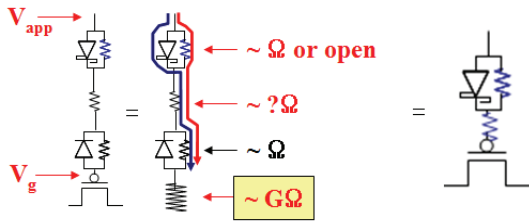


[그림 3] 감지 증폭기 인버터의 게이트 입력단의 기생 성분을 포함한 등가 회로

실리사이드 판 저항(sheet resistance)을 측정 한 결과는 표 1과 같이 측정 온도에 크게 의존하지 않고 그 값이 매우 작은 것으로 나타났다. 이것은 만약 N<sup>+</sup>/P<sup>+</sup>상에서 실리사이드가 제대로 성장하기만 한다면, 그림 3의 등가회로에서 PN 접합 다이오드와 병렬로 연결된 판 저항 (R<sub>S1</sub>, R<sub>S2</sub>, R<sub>S3</sub>)이 매우 작아지기 때문에 다이오드 부분을 무시할 수 있는바 NMOS 및 PMOS 영역의 다이오드 부분을 제거할 수 있기 때문에 그림 4와 같이 PN 접합 다이오드를 없앤 단순화된 등가 회로를 제안 할 수 있다. 여기서 그림 4는 PMOS 영역만을 나타낸 것이다.

[표 1] 실리사이드의 판 저항

	-20℃	20℃	80℃
N <sup>+</sup> 게이트	3.0Ω / □	3.4Ω / □	4.1Ω / □
P <sup>+</sup> 게이트	13.9Ω / □	13.4Ω / □	12.8Ω / □



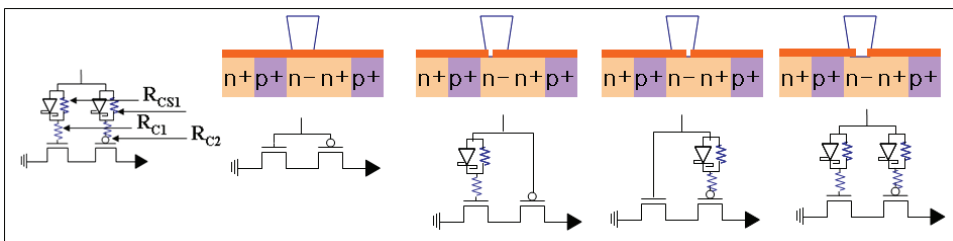
[그림 4] 실리사이드의 작은 면저항을 고려한 단순화된 등가 회로

CoSi<sub>2</sub> 손실 영역에서 일어나는 금속과 실리콘 반도체의 직접적인 접촉에서 반도체의 도핑 농도가 매우 높을 경우에는 저항성 접촉(ohmic contact) 특성이 나타나지만 반도체의 도핑 농도가 낮을 경우에는 쇼트키 특성, 즉 정류 작용이 나타나게 된다. 그림 5는 그림 4와 같은 회로 모델링을 이용하여 쇼트키 다이오드가 감지 증폭기 동작에 어떤 영향을 미치는지 알아보기 위하여 감지 증폭기 인버터에서 CoSi<sub>2</sub> 손실 영역에 따라 1) CoSi<sub>2</sub>가 고루 잘 형성된 경우 2) NMOS쪽에 CoSi<sub>2</sub> 손실이 생긴 경우 3) PMOS쪽에 CoSi<sub>2</sub> 손실이 생긴 경우 4) NMOS/PMOS 모두에 CoSi<sub>2</sub> 손실이 생긴 경우 등 4가지 등가 회로를 나타내고 있다.

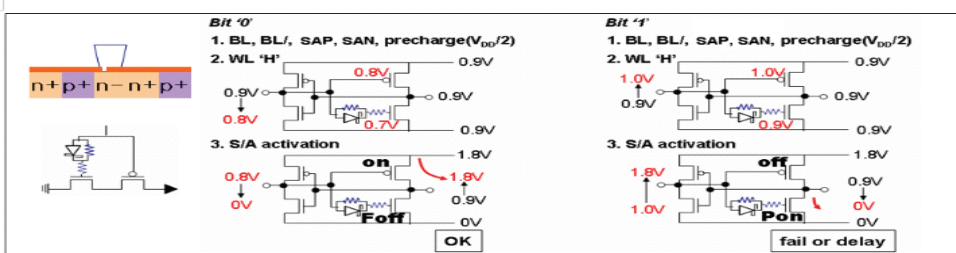
각각의 경우에 대해 감지 증폭기가 어떻게 동작하는지 분석하여 단축 불량 특성의 원인을 해석하였다.

### 2.1 NMOS 단에 쇼트키 다이오드가 형성된 경우

그림 1에 보인 회로 구조에서 비트 선에 나타나는 작은 전압 변동을 외부에서 충분히 큰 폭으로 느끼기 위해서는 증폭작용이 필요하며 감지 증폭기가 이 기능을 수행한다. 그림 6은 그림 1에 보인 회로에서 NMOS 단에 쇼트키 다이오드가 형성된 경우의 감지 증폭기 부분만을 다시 그린 것이다. 이 두 인버터의 공급 전압은 NMOS쪽의 SAN(GND)과 PMOS쪽의 SAP(V<sub>DD</sub>)이다. 여기서 읽기 동작은 양쪽의 비트선 뿐만 아니라 데이터 감지선(SAN) 및 재생선(SAP) 모두 공급 전압의 반( $\frac{V_{DD}}{2}$ )으로 놓인 상태에서 시작한다[6]. 그림 6에서 쇼트키 다이오드는 항상 양극(anode)쪽의 전압이 음극(cathode)쪽의 전압보다 높다. 즉 신호가 양극에서 음극으로 전달될 때 언제나 일정량의 전압 강하를 수반한다는 것을 의미하며, 여기서는 0.1[V] 전압 강하를 가정하였다. 그림 6과 같이 NMOS 단에 쇼트키 다이오드가 형성된 경우를 살펴보면, BL과 /BL가  $\frac{V_{DD}}{2}$  (0.9 [V])로 예비 충전된 후 BL이 Bit 0상태로 떨어지면(BL이 0.9 [V]>0.8 [V]) NMOS 단의 쇼트키 다이오드에 의한 전압 강하에 의해 NMOS가 완전히 열린 스위치(OFF) 상태(Foff)가 되므로 정상 동작을 한다. 하지만 BL이 Bit 1상태가 되면(BL이 0.9 [V]>1.0 [V]) 쇼트키 다이오드에 의한 전압 강하에 의해 NMOS가 완전히 닫힌 스위치(ON) 상태가 되지 못한 경우(Pon)이므로 /BL의 풀 다운(pull down) 동작이 어렵게 되므로 BL flip이나 지연이 가능하게 된다.



[그림 5] CoSi<sub>2</sub> 손실 위치에 따른 가능한 4가지 등가 회로



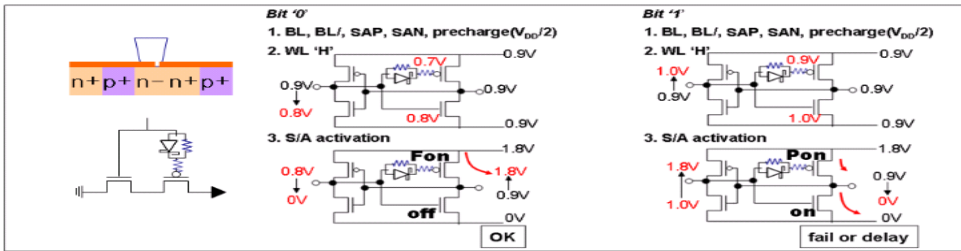
[그림 6] NMOS단에 쇼트키 다이오드가 형성된 경우의 감지 증폭기 동작

### 2.2 PMOS 단에 쇼트키 다이오드가 형성된 경우

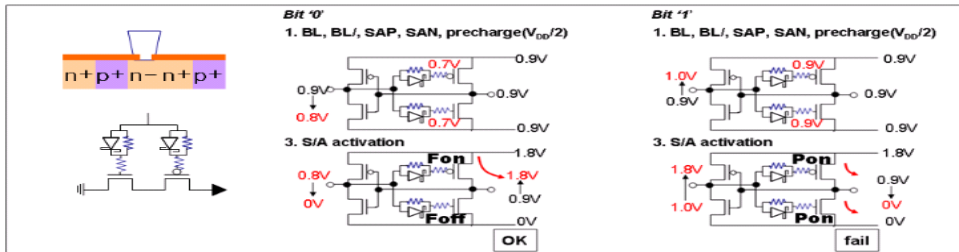
그림 7과 같이 PMOS단에 쇼트키 다이오드가 형성된 경우를 살펴보겠다. BL과 /BL가  $\frac{V_{DD}}{2}$  (0.9V)로 예비 충전된 후 BL이 Bit 0상태로 떨어지면 (BL이 0.9 [V]->0.8 [V]) PMOS 단의 쇼트키 다이오드에 의한 전압 강하에 의해 PMOS가 완전히 닫힌 스위치(ON) 상태가 되므로 정상 동작을 한다. 하지만 BL이 Bit 1상태가 되면(BL이 0.9 [V]->1.0 [V]) 쇼트키 다이오드에 의한 전압 강하에 의해 PMOS가 완전히 열린 스위치(OFF) 상태가 되지 못하게 되므로 /BL의 풀 다운(pull down) 동작이 어렵게 되므로 BL flip이나 지연이 가능하게 된다.

### 2.3 NMOS/PMOS 단에 쇼트키 다이오드가 모두 형성된 경우

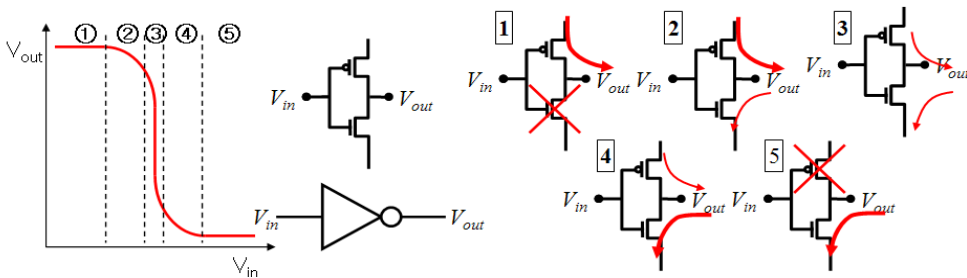
그림 8과 같이 NMOS/PMOS 양단에 쇼트키 다이오드가 모두 형성된 경우를 살펴보겠다. BL과 /BL가  $\frac{V_{DD}}{2}$  (0.9V)로 예비 충전된 후 BL이 Bit 0상태로 떨어지면 (BL이 0.9 [V]->0.8 [V]) 쇼트키 다이오드에 의한 전압 강하에 의해 PMOS는 완전히 닫힌 스위치(ON) 상태가 되고 NMOS가 완전히 열린 스위치(OFF) 상태가 되므로 정상 동작을 한다. 하지만 BL이 Bit 1상태가 되면(BL이 0.9 [V]->1.0 [V]) 쇼트키 다이오드에 의한 전압 강하에 의해 PMOS/NMOS 모두 부분적으로 닫힌 스위치(ON) 상태가 되어 감지 증폭기가 정상적으로 동작하지 않는다. 따라서, NMOS단이든 PMOS단이든 CoSi<sub>2</sub> 손실에 의해 쇼트키 다이오드가 형성되지만 한다면 단측 불량(single side fail)의 가능성이 높아지게 된다.



[그림 7] PMOS 단에 쇼트키 다이오드가 형성된 경우의 감지 증폭기 동작



[그림 8] NMOS/PMOS 단에 쇼트키 다이오드가 형성된 경우의 감지 증폭기 동작

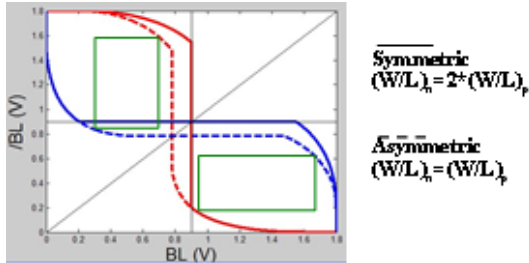


[그림 9] 이상적CMOS 인버터의 출력 특성과 각 동작 영역

[표 2] 이상적 CMOS 인버터의 각 동작 영역과 전류공식[6]

	NMOS	PMOS	방정식
1	차단영역	선형영역	$V_{out} = V_{dd}$
2	포화영역	선형영역	$\frac{1}{2}K_n\left(\frac{W}{L}\right)_n(V_{in} - V_{tn})^2 = \frac{1}{2}K_p\left(\frac{W}{L}\right)_p[2(V_{in} - V_{dd} - V_{tp})(V_{out} - V_{dd}) - (V_{out} - V_{dd})^2]$
3	포화영역	포화영역	$\frac{1}{2}K_n\left(\frac{W}{L}\right)_n(V_{in} - V_{tn})^2 = \frac{1}{2}K_p\left(\frac{W}{L}\right)_p(V_{in} - V_{dd} - V_{tp})^2$
4	선형영역	포화영역	$\frac{1}{2}K_n\left(\frac{W}{L}\right)_n[2(V_{in} - V_{tn})V_{out} - V_{out}^2] = \frac{1}{2}K_p\left(\frac{W}{L}\right)_p(V_{in} - V_{dd} - V_{tp})^2$
5	선형영역	차단영역	$V_{out} = 0$

보다 더 정량적으로 해석해 보기 위해, 감지 증폭기 인버터의 입-출력( $V_{in}$ - $V_{out}$ )특성을 구해보도록 하겠다. 표 2는 이상적 CMOS 인버터의 NMOS와 PMOS의 각각 동작 영역의 전류 공식을 나타내고 있고,  $V_{out}$ 단에서 NMOS와 PMOS의 전류가 동일하다는 사실을 이용하면,  $V_{in}$ 과  $V_{out}$ 의 관계를 구할 수 있다. 여기에 NMOS의 문턱전압( $V_{in}$ )과 PMOS의 문턱전압( $V_{tp}$ )을 각각  $V_{in}=0.2V$ ,  $V_{tp}=-0.2V$ 로 놓고,  $(W/L)_{NMOS}=(W/L)_{PMOS}$ ,  $\mu_e=2\mu_h$ 로 놓으면 아래와 같은 감지 증폭기의 입출력 특성 곡선을 구할 수 있다.



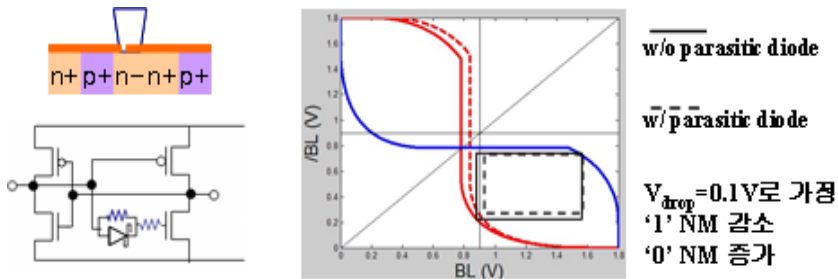
[그림 10] 감지 증폭기의 입출력 특성 곡선

정공(Hole)의 이동도가 전자의 이동도보다 작기 때문에 PMOS의 채널 폭(W)를 NMOS의 2배로하여 대칭적인 인버터를 구현하는 것이 일반적이나, 여기서는 NMOS와

PMOS의 채널 폭을 동일하게 두어 감지 증폭기의 입출력 특성 곡선의 센싱 여유도(sensing margin)가 줄어들었다. 여기에 기생 쇼트키 다이오드를 포함하여 감지 증폭기 특성을 다시 구해보자. 표 2에서 NMOS단에 기생 쇼트키 다이오드의 전압 강하( $V_{drop}$ )성분을 포함하여  $V_{in}$ - $V_{out}$  특성을 다시 그리면 그림 11과 같이 data ‘1’의 잡음 여유도(noise margin)가 감소하는 것을 알 수 있다. 이와 유사하게 PMOS 단에 혹은 NMOS/PMOS단 모두에 기생 쇼트키 다이오드가 존재하면 data ‘1’의 잡음 여유도가 감소한다. 종합하면 텅스텐-플러그(W-plug) 하부의  $CoSi_2$ 가 손상되고, N+/P+의 증착에 의해 순 도핑 농도가 감소한 부분에 텅스텐-플러그가 접촉되게 되어 기생 쇼트키 다이오드가 형성되게 되면 감지 증폭기의 data ‘1’ 쪽의 잡음 여유도가 줄어들어 단축 불량률의 가능성이 증가 한다.

### 3. 저온 불량률 증가 현상 분석

단축 불량 특성의 온도 의존성을 살펴보자. 쇼트키 다이오드의 전압 강하는 온도의 함수이며, 온도가 내려가게 되면 기생 쇼트키 다이오드의 전압 강하 전압이 증가한다[7]. DDI DRAM 소자가 저온에서 동작할 때 기생 쇼트키 다이오드의 역할이 증가하기 때문에 불량률이 증가할 것을 유추할 수 있으며 이러한 특성은 측정 결과와 일치하였다.



[그림 11] 기생 쇼트키 다이오드를 포함한 CMOS 인버터의 입출력 특성 곡선

#### 4. 결론

버팅 콘택 구조를 갖는 인버터 입력단의 입력 접촉 창 영역의 n형 불순물 영역과 p형 불순물 영역이 중첩되는 구조에서, 인버터 입력단에 실리사이드 불안정성에 의해 기생 입력 다이오드 및 쇼트키 다이오드 성분이 존재할 수 있게 됨을 알 수 있다. 이 경우 감지 증폭기의 입력 게이트 단의 기생 성분을 모두 정리하면 플러그와 CoSi<sub>2</sub> 접촉 저항(R<sub>CS1</sub>), 플러그와 접촉 창 접촉 저항(R<sub>CS2</sub>), 플러그와 겹친 영역의 접촉 저항(R<sub>C1</sub>, R<sub>C2</sub>), CoSi<sub>2</sub>의 판 저항(R<sub>S1</sub>, R<sub>S2</sub>, R<sub>S3</sub>) 등의 저항 성분과 PN 다이오드와 쇼트키 다이오드 성분으로 구성된다. 모든 기생 성분을 포함한 CMOS 인버터의 등가회로를 그릴 수 있으며, N<sup>+</sup>/P<sup>+</sup>상에서 실리사이드가 제대로 성장한 경우 PN 접합 다이오드를 없앤 단순화된 등가회로를 제안 하였다. 단순화된 등가 회로 모델을 이용하여 쇼트키 다이오드가 감지 증폭기 동작에 어떤 영향을 미치는지 알아보기 위하여 감지 증폭기 인버터에서 CoSi<sub>2</sub> 손실 영역에 따른 4가지 등가회로 각각의 경우에 대해 감지 증폭기가 어떻게 동작하는지 분석하여 단축 불량 특성의 원인을 규명하였다. DDI DRAM의 단축 불량 원인과 저온에서 불량률이 증가하는 온도 의존성은 감지 증폭기의 입력 게이트 단에 형성된 기생 쇼트키 다이오드 형성에 기인한 것으로 판단된다. 이러한 기생 쇼트키 다이오드는 게이트 입력에 기생 전압 강하를 야기하게 되고 결국 감지 증폭기의 잡음 여유도를 감소시켜 단축 불량을 일으킨다.

#### 참고문헌

[1] <http://www.eic.re.kr/>  
 [2] B. Yu, D. H. Ju, W. C. Lee, N. Kepler, T. J. King and C. Hu, "Gate Engineering for Deep-Submicron CMOS Transistors", Electron Devices, Vol. 45, No. 6, pp.1253-1262, 1998.  
 [3] A.H.M. Kamal, A.T. Obeidat, and T. Budri, "Suppressing boron penetration and cobalt silicide agglomeration in deep submicron p-channel metal-oxide-semiconductor devices", Journal of Vacuum Science & Technology B, Vol. 20, No. 1 pp.173-179, 2002.  
 [4] Y. H. Kim, S. K. Chamg, S. S. Kim, J. G. Choi, S. H. Lee, D. H. Hahn, and H. D. Kim, "Characteristics of Dual Polymetal(W/WNx/Polysilicon) Gate Complementary Metal Oxide Semiconductor for 0.1 $\mu$ m Dynamic Random Access Memory Technology", Jpn. J. Appl. phys. Vol.

39, No. 4B., pp.1969-1973, 2000.

[5] 장성근, 김윤장, "DDI DRAM에서의 Column 불량 특성에 관한연구", 제9권, 제6호, pp. 1581-1584, 12월, 2008.  
 [6] 김원찬, "전자회로의 이해", 대영사, pp. 240-475, 8월, 2000.  
 [7] S. M. Sze, "Physics of Semiconductor Device", John Willy & Sons, Inc., pp. 270-297, 7월, 1982.

#### 장 성 근(Sung-Keun Chang)

[종신회원]



- 1984년 2월 : 경북대학교 전자공학과 (학사)
- 1993년 2월 : 포항공과대학교 전자전기공학과 (석사)
- 1996년 8월 : 포항공과대학교 전자전기공학과 (박사)
- 1996년 8월 ~ 2000년 2월 : 현대전자 메모리연구소 책임연구원
- 2000년 3월 ~ 현재 : 청운대학교 디지털방송공학과 (교수)

<관심분야>

반도체소자, 디스플레이(Pixel 구동회로설계)

#### 김 윤 장(Youn-Jang Kim)

[정회원]



- 1984년 2월 : 한양대학교 물리학과 (학사)
- 1986년 2월 : 한양대학교 물리학과 (석사)
- 2002년 2월 : 포항공과대학교 전자전기공학과 (박사)
- 2002년 8월 ~ 현재 : 매그나칩 반도체 Technology Platform NED팀 (수석연구원)

<관심분야>

반도체소자