

# 양극산화 알루미늄 기반의 DRAM 패키지 기판

김문정<sup>1\*</sup>

<sup>1</sup>공주대학교 전기전자제어공학부

## Anodic Alumina Based DRAM Package Substrate

Moonjung Kim<sup>1\*</sup>

<sup>1</sup>Division of Electrical Electronics and Control, Kongju National University

**요약** 본 논문은 알루미늄의 양극산화를 통하여 알루미늄(Alumina,  $Al_2O_3$ )을 형성함으로써 알루미늄 및 알루미늄의 적층 구조 DRAM 패키지 기판을 구현하였다. 전송선 기반의 설계를 적용하기 위해 2차원 전자장 시뮬레이션을 수행하였다. 분석 결과를 바탕으로 새로운 기판에 적용할 신호선의 폭 및 간격과 알루미늄 두께 등의 설계인자를 최적화하였다. 테스트 패턴 제작 및 측정을 통해 설계인자를 검증하였으며, 이를 바탕으로 설계 룰(Design rule)을 정하고 패키지의 개념 설계 및 상세 설계를 진행하여 DDR2 DRAM 패키지 기판을 성공적으로 제작하였다.

**Abstract** DRAM package substrate has been demonstrated using a thick alumina layer produced by aluminum anodization process. To apply a transmission-based design methodology, 2 dimensional electromagnetic simulation is performed. The design parameters including signal line width/spacing and alumina's thickness are optimized based on the simulation analysis and are verified with the fabrication and the measurement of the test patterns on the anodic alumina substrate. DDR2 DRAM package is chosen as a design vehicle. Aluminum anodization technique has been applied successfully to fabricate new DRAM package substrate.

**Key Words** : Anodization, Alumina, DRAM, Package Substrate, Transmission Line

### 1. 서론

고성능 DRAM(Dynamic Random Access Memory) 메모리의 최근 기술동향은 고속 동작(High-speed operating)과 고집적도(High density)의 두 가지로 요약된다[1-2]. 이러한 개발동향은 최소선폭 축소 및 대역폭(Bandwidth)의 지속적인 증가로 진행되었다. 그러나 아직까지 메모리 패키지 설계는 Low-parasitic design 기반으로 진행되어 왔으며, 일부 그래픽 메모리 및 SRAM 제품에서 전송선(Transmission line) 기반의 설계 방식을 채택하고 있다. 고속 동작에서는 임피던스 불연속(Impedance discontinuity)에 의한 신호 반사 및 왜곡이 발생하여 신호 품질을 훼손시킬 수 있어 전송선 기반 설계가 널리 적용되고 있다. 본 논문에서는 DDR2(Double Data Rate 2) DRAM을 설계

대상으로 선정하여 양극산화 알루미늄(Anodic alumina) 기판 상에 전송선 기반의 설계를 진행하였다.

칩 면적 감소 및 전력 소모의 증가로 인해서 칩 단위 면적당의 발열량이 급격히 증가하고 있다. 이로 인한 열 문제는 반도체 제품의 성능 저하를 유발할 수도 있다. 그러나 현재의 FR4(Flame Retardant 4) 소재의 패키지 기판은 열전도도(표 1 참조)가 낮아 칩에서 발생한 열을 패키지 외부로 효율적으로 방출하지 못하고 있다. 또한 제한된 패키지 면적 내에서 메모리 용량의 꾸준한 증가 및 동작속도 증가는 전력 소모량을 증대시켜 패키지의 방열 기능의 개선을 요구하게 되었다.

표 1에서 보듯이, FR4 소재에 비해 알루미늄(Alumina,  $Al_2O_3$ )은 실리콘(Si)과의 열팽창계수 차이가 상대적으로 작아서 열적 스트레스에 의한 물리적 변형이 작은 장점

본 논문은 2007년도 정부재원(교육인적자원부 학술연구조성사업비)으로 한국학술진흥재단의 지원을 받아 연구되었음 (KRF-2007-331-D00249).

\*교신저자 : 김문정(mjkim@kongju.ac.kr)

접수일 09년 12월 10일

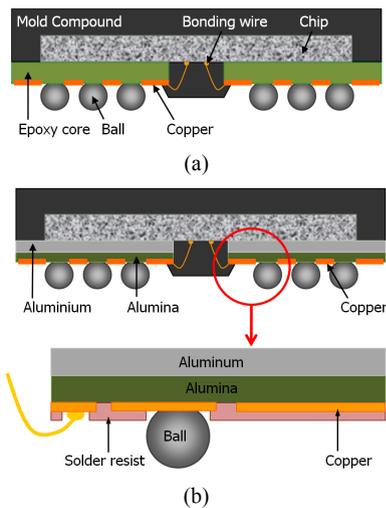
수정일 10년 03월 15일

게재확정일 10년 03월 18일

을 가진다. 그러나 기존 패키지 기판에 비해 알루미늄은 기판 제작비용이 높아 실용화에 어려움이 있다. 본 논문에서는 알루미늄 양극산화 공정을 통하여 저가의 알루미늄 기판 제작기술을 구현하였다[3].

[표 1] 소재별 열전도도 및 열팽창계수

소재	열전도도 (W/mK)	열팽창계수 (ppm/°C)
FR4	0.2 - 0.4	12 - 16
Al <sub>2</sub> O <sub>3</sub>	20 - 30	6.7
Si	100 - 125	2.6

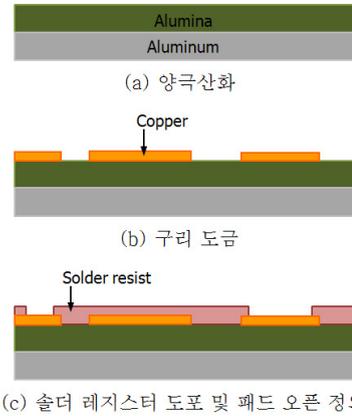


[그림 1] DRAM 패키지 구조 (a)와 양극산화 알루미늄 기판 단면 구조 (b)

최근 DRAM 제품의 소형화 및 고성능화 경향으로 인해 배선밀도가 높고 신호선 길이가 짧은 특성을 가지는 보드 온 칩(Board on Chip: BOC) 패키지가 개발되어 고속 동작이 요구되는 메모리 제품에 적용되어 왔다[4]. 그림 1(a)는 DRAM 패키지 구조를 보여주고 있다. DRAM 패키지 기판은 에폭시 코어(Epoxy core)와 구리(Copper)의 적층 구조로 구성되어 있다. FR4 또는 BT (Bismaleimide Triazine) 소재의 패키지 기판 상에 칩이 부착된 구조이며, 패키지 기판 중앙 부위에 본딩 와이어(Bonding wire)가 위치하고 있다.

그림 1(b)에서 보듯이, 본 연구에서는 산업용 알루미늄(Aluminum 1050) 기판에 양극산화 공정을 적용하여 두꺼운 알루미늄 층을 형성함으로써 알루미늄/알루미늄(Al<sub>2</sub>O<sub>3</sub>/Al)의 적층 구조를 가진 새로운 패키지 기판을 구현하였다. 제한한 기판 구조는 기존 패키지 기판의 절연

체인 에폭시 코어를 알루미늄으로 대체하였으며, 기존 패키지 기판 제작 과정에서의 적층(Lamination) 공정이 필요 없는 장점을 가진다.



[그림 2] 양극산화 알루미늄 기판 제작 공정

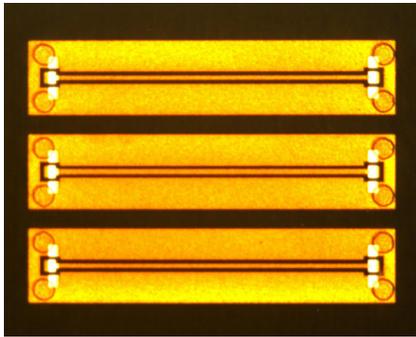
## 2. 설계인자 최적화 및 검증

그림 2는 양극산화 알루미늄 기판의 제작 과정을 보여주고 있다. 그림 2(a)에서 보듯이, 알루미늄 기판 전면에 양극산화 공정이 진행된다. 옥살산 계열의 전해액(Oxalic acid-based electrolyte) 내의 알루미늄 기판 상에서 양극산화가 발생하여 두꺼운 알루미늄 층(Anodic alumina)이 형성된다. 다음 단계로 그림 2(b)에서와 같이, 구리 도금 공정(Cu/Ni/Au)이 진행되어 신호 배선이 형성된다. 마지막으로 그림 2(c)에서 보듯이, 솔더 레지스트(SU-8)를 도포하여 보호막을 형성한다. SU-8의 감광 특성(Photosensitive property)을 사용하여 패드 오픈(Pad open)영역을 정의함으로써 패키지 기판 제작을 완료한다.

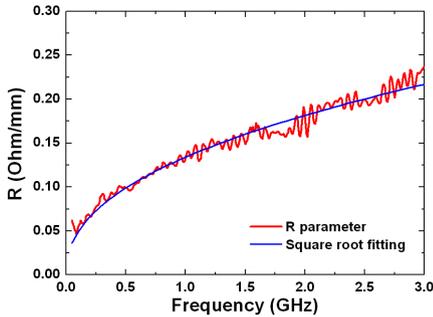
본 논문에서는 양극산화 공정을 통해 대략 100 μm 수준의 두꺼운 알루미늄을 구현할 수 있었으며, 이를 패키지 기판의 절연체로 사용하였다. 새로운 기판 상에 전송선 기판의 설계를 적용하기 위해서 2차원 전자장 시뮬레이션 분석을 진행하였다. 이러한 결과를 바탕으로 신호선의 폭 및 간격과 알루미늄 두께 등의 설계인자를 최적화하였다. 테스트 패턴 제작 및 측정을 통해 설계인자를 검증하였으며, 이를 바탕으로 설계 룰(Design rule)을 정하였다.

패키지 구조 및 면적의 제한으로 인해 기판 설계에는 Finite-width Coplanar Waveguide(CPW) 구조의 전송선을 적용하였다. 대략 90 μm의 양극산화 알루미늄 두께 하에

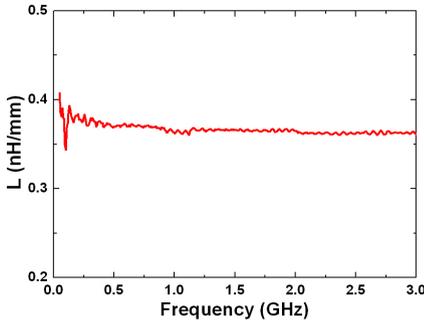
서, 신호선의 폭 및 간격을 변경하면서 2차원 전자장 시뮬레이션을 통해 전송선의 특성 임피던스를 계산하였다. 이러한 과정을 통해 신호선의 폭 30  $\mu\text{m}$ , 신호선의 간격 50  $\mu\text{m}$ 로 설계할 경우, 50  $\Omega$ 의 특성 임피던스가 확보된다는 것을 확인하였다. 설계인자 및 특성 임피던스 분석 결과를 검증하기 위해서 CPW 구조의 테스트 전송선을 양극산화 알루미늄 기판 상에 그림 2의 공정을 적용하여 제작하였다. 그림 3은 5 mm 길이를 가지는 테스트 전송선의 사진을 보여주고 있다.



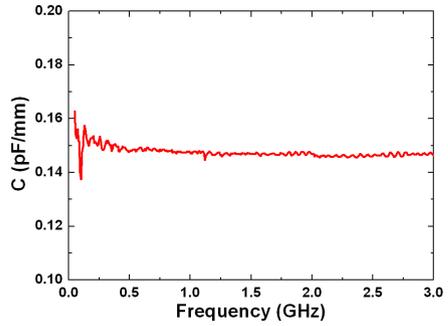
[그림 3] CPW 구조의 테스트 전송선 사진



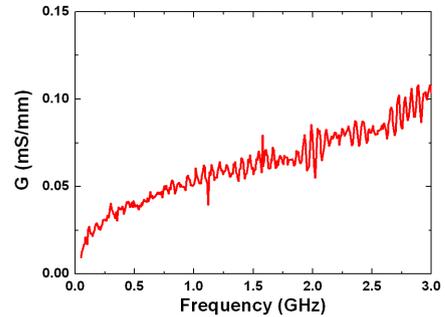
(a) 저항



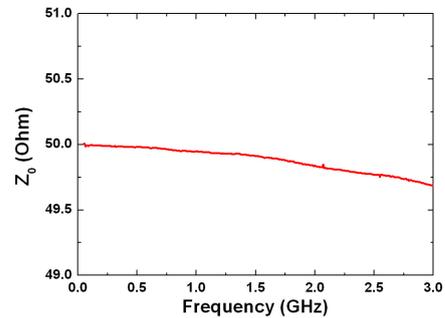
(b) 인덕턴스



(c) 커패시턴스



(d) 컨덕턴스



(e) 특성 임피던스

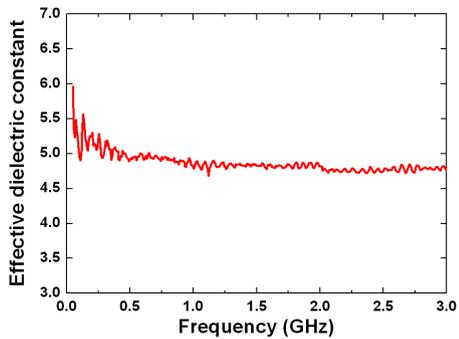
[그림 4] 테스트 전송선의 RLCG 파라미터 및 특성 임피던스

네트워크 분석기(VNA)를 사용하여 제작된 CPW 전송선의 2-port S-파라미터 측정을 진행하였다. 측정 결과의 분석을 통해 CPW 전송선의 RLCG 파라미터 및 특성 임피던스를 추출하였다[5]. 그림 4는 CPW 전송선의 단위 길이당 RLCG 파라미터의 주파수 경향을 보여주고 있다. 고주파 영역에서 전류가 도체의 표면으로 집중되어 분포하는 표피 효과(Skin effect)가 발생하는 것으로 알려져 있다. 이의 영향으로 인해 그림 4(a)에서 보듯이 저항은 주파수의 제곱근에 비례하는 경향( $R \propto \sqrt{f}$ )을 보이게 된다. 반면에 그림 4(b)와 (c)에서 보듯이, 인덕턴스(Inductance)와 커패시턴스(Capacitance)는 주파수에 관계

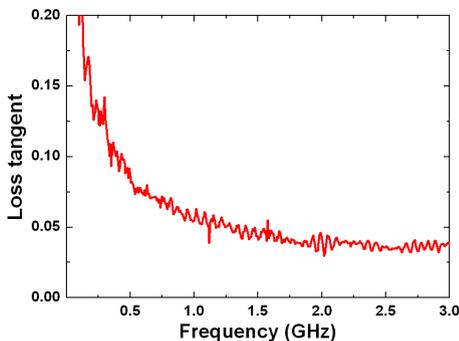
없이 거의 일정한 값을 가진다( $L = 0.36 \text{ nH/mm}$ ,  $C = 0.14 \text{ pF/mm}$ ). 그림 4(d)의 컨덕턴스(Conductance)는 일부 주파수 영역( $\sim 1.5 \text{ GHz}$  이하)에서는 비선형 특성이나, 고주파 영역에서는 선형적인 경향을 보여주고 있다. 이러한 RLCG 파라미터의 주파수 경향은 양극산화 알루미늄이 패키지 기판의 절연체로 적합하다는 것을 의미한다. 테스트용 전송선의 특성 임피던스( $Z_0$ )는 네트워크 분석기(VNA) 장비를 사용하여 2-port S-파라미터 측정 후 아래의 공식을 적용하여 추출하였다[5].

$$Z_0 = \sqrt{Z_{VNA} \frac{(1 + S_{11})^2 - S_{21}^2}{(1 - S_{11})^2 + S_{21}^2}} \quad (1)$$

여기서  $Z_{VNA}$ 는 계측기의 임피던스를 의미하며 일반적으로  $50 \Omega$  을 가진다. 그림 4 (e)에서 보듯이 특성 임피던스는 측정 주파수의 범위에 대해 거의 일정한  $50 \Omega$  의 값을 가지는 것으로 확인되었다. 따라서 양극산화 알루미늄 기판 상의 신호선이 폭  $30 \mu\text{m}$  및 간격  $50 \mu\text{m}$ 로 설계되면,  $50 \Omega$ 의 특성 임피던스를 얻을 수 있다는 것이 검증되었다.



(a) 유효 유전상수



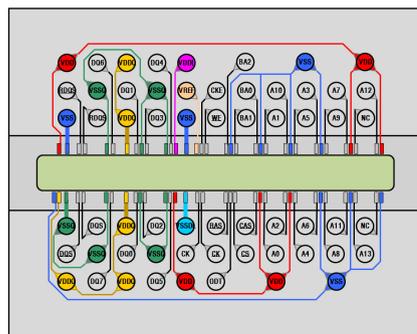
(b) Loss tangent

[그림 5] 양극산화 알루미늄 기판의 특성

그림 5는 CPW 전송선의 S-파라미터로부터 추출된 양극산화 알루미늄의 유효 유전 상수(Effective dielectric constant,  $\epsilon_{r,eff}$ )와 Loss tangent를 보여주고 있다. 새로운 패키지 기판의 유효 유전상수는 대략 4.8로 기존에 널리 사용되는 패키지 기판 소재의 유전 상수(FR4의  $\epsilon_{r,eff} = 4.5$ )에 비해 약간 높은 것으로 확인되었다. 이러한 유전 상수의 차이는 설계 룰의 변경을 초래하였다. 즉 기존 FR4 소재의 패키지에서는 신호선 폭/간격 =  $40/40 \mu\text{m}$ 이었지만, 양극산화 알루미늄 기판에서는  $30/50 \mu\text{m}$ 로 적용해야만  $50 \Omega$ 의 특성 임피던스를 얻을 수 있다. 그림 5(b)에서  $1 \text{ GHz}$  이하 주파수 영역에서의 Loss tangent 특성이 다소 낮은 것은 양극산화 공정을 통해 형성된 알루미늄 산화막(Alumina,  $\text{Al}_2\text{O}_3$ )의 품질 저하로 기인한다. 따라서 전해액의 종류 및 온도와 인가전압 변경 등의 양극산화 공정의 최적화를 통해 향후 개선할 수 있을 것으로 예상된다.

### 3. 패키지 기판 설계 및 제작

CPW 구조의 테스트 전송선 최적화 및 검증을 통해 정립된 설계 룰을 사용하여 DRAM 패키지 기판 설계를 진행하였다. 본 논문에서는 60 Ball DDR2 DRAM 패키지를 설계 대상으로 선정하여 양극산화 알루미늄 기판 제작에 적용하였다. 신호선은 Finite-width CPW 구조를 가지도록 설계하였으나, DRAM 패키지 구조적 한계로 인하여 모든 신호선을 전송선 구조로 구현하는 것에는 한계가 있다. 그러나 전원선 배치 및 배선을 적절히 활용하여 최대한 CPW 구조를 가지도록 설계하였다.

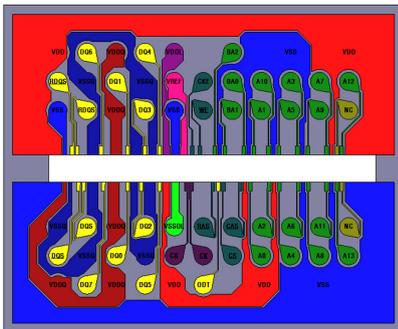


[그림 6] DDR2 DRAM 패키지의 개념 설계

그림 6은 신호선 및 전원선의 개념 설계를 보여주고 있으며, 이를 바탕으로 상세 설계를 진행하게 된다. 신호선 및 전원선은 68개의 본딩 패드(Bonding pad)와 60개

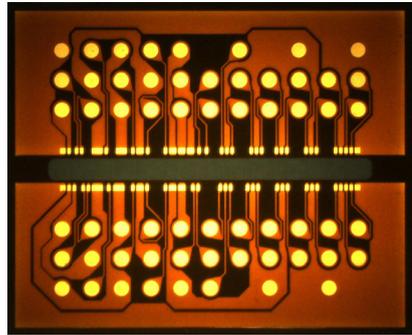
의 볼 패드(Ball pad) 사이를 상호 연결한다. 개념 설계 단계에서는 본딩 패드와 볼 패드 사이의 배선 가능 여부(Routing feasibility)를 중점적으로 검토하게 된다. 패키지 기판 중앙 영역에는 2열(Dual-in-line) 본딩 패드가 배치되고 외각 영역으로 볼 패드가 위치한다. 모든 신호선은 본딩 패드와 볼 패드 사이를 일대일로 배선하는 것이 원칙인 반면에 전원선(Power/Ground plane) 설계는 낮은 임피던스를 확보하기 위해서 망(Network) 형태로 여러 접점에 걸쳐 배선된다.

그림 7은 DDR2 DRAM 패키지(9 × 11 mm<sup>2</sup>)의 상세 설계를 보여주고 있다. 보다 짧은 Current return path를 확보하기 위해서 모든 신호선 본딩 패드 사이마다 전원선(VDDQ 또는 VSSQ) 본딩 패드를 배치한 Interleave 설계를 적용하였다. 따라서 모든 신호 배선은 전원 또는 접지에 의해 둘러싸인 형태로 배치 및 설계되었다. 또한 각 신호 배선의 기생성분(RLC)들이 일정한 범위 내에서 균일한 값을 유지하기 위해서 특정 값의 범위 내에서 모든 신호 배선의 길이를 조정하였다. 따라서 패키지 가장 내부에 위치한 볼 패드 DQ2와 DQ3은 본딩 패드와의 경로가 짧기 때문에 볼 패드 주위로 신호선을 우회함으로써 배선 길이를 증가시켰다. 반면에 패키지 외각에 위치한 볼 패드 DQ4, DQ5, DQ6, DQ7 등은 최대한 짧은 경로로 배치하여 신호선의 기생성분들을 줄이는 방향으로 설계하였다.



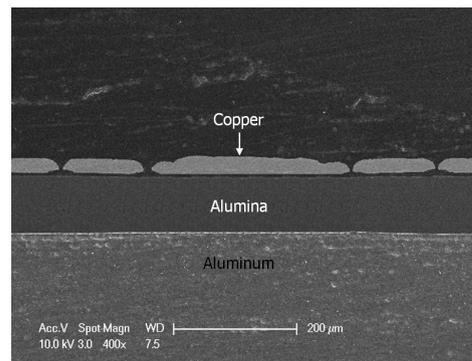
[그림 7] DDR2 DRAM 패키지(9 × 11 mm<sup>2</sup>)의 상세 설계

그림 7에서 보듯이, CK 및 /CK, DQS 및 /DQS 그리고 RDQS 및 /RDQS 신호선은 차동 신호선(Differential signaling line)으로 설계되어 있고, 나머지 신호선은 Single-ended signaling line으로 구성된다. 차동 신호선은 비교적 낮은 전압 및 전류 조건에서도 고속 동작이 가능하고 지터(Jitter) 및 노이즈 등으로의 영향이 적어 안정적으로 동작할 수 있다. 이로 인해 Reference clock, Data strobe용으로 DRAM 패키지 설계에 적용되고 있다.



[그림 8] 제작된 양극산화 알루미늄 기판(9 × 11 mm<sup>2</sup>) 사진

그림 7과 그림 8에 구현된 볼 랜드에서 보듯이, 볼 랜드에서 신호선까지 끝이 점점 가늘어지는 구조(Tapered structure)를 적용하였다. 이러한 구조는 급격한 임피던스 불연속을 방지함으로써 신호 반사 및 왜곡을 줄여주고 또한 패턴 크랙(Pattern crack) 문제를 보완하여 패키지의 기계적 신뢰성을 향상시킬 수 있다.



[그림 9] 제작된 기판의 단면 SEM 사진

그림 8은 제작된 양극산화 알루미늄 기판을 보여주고 있다. 기판 크기는 9 × 11 mm<sup>2</sup>이며 60개의 볼 패드를 가지고 있다. 그림 9에서 알 수 있듯이, 양극산화 과정을 통해 형성된 알루미늄 층의 두께는 약 90 μm이며, 신호 배선의 두께는 대략 20 μm로 확인되었다.

#### 4. 결론

본 논문에서는 양극산화 알루미늄 기반의 새로운 DRAM 패키지 기판을 제안하였으며, 양극산화 기술을 적용하여 패키지 기판을 구현하였다.

2차원 전자장 시뮬레이션 분석 결과를 바탕으로 새로운 기판 상에 전송선 기반의 설계를 적용하였다. 이러한

결과를 바탕으로 패키지 기판의 설계인자를 최적화하였다. 테스트 패턴 제작 후에 S-파라미터 측정 및 RLCG 분석을 통해 설계인자를 검증하였으며, 이를 바탕으로 설계를 확보하였다.

모든 신호선 본딩 패드 사이마다 전원선 본딩 패드를 배치한 Interleave 설계 방식을 적용하여 모든 신호 배선은 전원 또는 접지에 의해 둘러싸인 형태로 배치 및 설계되었다. 모든 신호선의 기생성분들이 일정한 균형을 유지하기 위해서 신호선의 길이는 배선 설계 상 유효한 범위 내에서 일정한 값으로 조정되었다. 이러한 개념 설계 및 상세 설계를 기반으로 DDR2 DRAM 패키지 기판을 성공적으로 제작하였다.

김 문 정(Moonjung Kim)

[정회원]



- 1999년 2월 : 한국과학기술원 전기 및 전자공학과 (공학석사)
- 2003년 8월 : 한국과학기술원 전자전산학과 (공학박사)
- 2003년 9월 ~ 2006년 5월 : 삼성전자 책임연구원
- 2006년 9월 ~ 현재 : 공주대학교 전기전자제어공학부 교수

<관심분야>

DRAM 패키지, 시스템 인 패키지, 패키지 설계

## 참고문헌

- [1] W. Koh, "Memory device packaging - from leadframe packages to wafer level packages", in Proc. High Density Microsystem Design and Packaging and Component Failure Analysis, pp. 21 - 24, 2004.
- [2] 김진성, 유영갑, "Rambus DRAM실장용  $\mu$  BGA(Ball Grid Array) 및  $\mu$  spring 패키지와 전기적 특성," 대한전자공학회논문지 38권 SD편 4호, pp. 1 - 8, 2001.
- [3] W. J. Bernard and S. M. Florio, "Anodic Oxide Growth on Aluminum in the Presence of a Thin Thermal Oxide Layer", J. Electrochem. Soc., Vol. 134, pp. 1205-1211, 1987.
- [4] C. K. Yew et al., "Board on chip-ball grid array (BOC-BGA<sup>TM</sup>) package-A new design for high frequency application (package design and reliability)," in Proc. Electron. Components Technol. Conf., pp. 353 - 357, 1997.
- [5] Y. Eo and W. R. Eisenstadt, "High-speed VLSI interconnect modeling based on S-parameter measurements", IEEE Trans. Components, Packaging and Manufacturing Technology, Vol. 16, no. 5, pp. 555 - 562, 1993.