

# 고속 PMIC용 2단 광대역 OTA방식의 LDO 레귤레이터 설계

권보민<sup>1</sup>, 송한정<sup>1\*</sup>

<sup>1</sup>인제대학교 나노시스템공학과, <sup>1</sup>인제대학교 나노공학부

## Design of the LDO Regulator with 2-stage wide-band OTA for High Speed PMIC

Bo-Min Kwon<sup>1</sup> and Han-Jung Song<sup>1\*</sup>

<sup>1</sup>Department of Nano Systems Engineering, Center for Nano Manufacturing, Inje University

<sup>1</sup>Department of Nano Engineering, Inje University

**요약** 고속 PMIC를 위한 빠른 천이 응답 시간을 가지는 CMOS LDO 레귤레이터를 설계하였다. 제안하는 LDO 레귤레이터 회로는 기준전압회로와 오류증폭회로, 파워 트랜지스터 등으로 이루어지며, 출력전압의 안정성을 높이기 위하여 오류증폭 회로와 파워 트랜지스터 사이에 버퍼로써 2단 광대역 OTA를 추가하였다. 기존의 연구에서 제안된 가장 간단하게 구현할 수 있는 버퍼로는 소스팔로워 구조가 있으나, 출력 스윙이 좁고 신호 대 잡음비가 저하되는 문제점이 있었다. 본 논문에서는 2단 광대역 OTA를 버퍼로 사용하여 LDO 전압 레귤레이터의 출력 특성을 개선하였다. 0.5  $\mu\text{m}$  CMOS 공정을 이용하여 모의실험 한 결과, 라인 레귤레이션은 16 mV/V, 부하 레귤레이션 0.007 %/mA를 얻었다.

**Abstract** This paper presents a design of the CMOS LDO regulator with a fast transient response for a high speed PMIC(power management integrated circuit). Proposed LDO regulator circuit consists of a reference voltage circuit, an error amplifier and a power transistor. 2-stage wide-band OTA buffer between error amplifier and power transistor is added for a good output stability. Although conventional source follower buffer structure is simple, it has a narrow output swing and a low S/N ratio. In this paper, we use a 2-stage wide-band OTA instead of source follower structure for a buffer. From HSPICE simulation results using a 0.5  $\mu\text{m}$  CMOS standard technology, simulation results were 16 mV/V line regulation and 0.007 %/mA load regulation.

**Key Words** : PMIC, LDO Regulator, Dropout Voltage, OTA, Buffer

### 1. 서론

최근 모바일용 전자기기들의 기능이 복잡해지면서 사용 중이거나 대기 중에 더 많은 전력을 소모하게 되었다. 에너지절약과 배터리 수명에 있어서 모바일용 전자기기들의 전력관리가 중요한 문제로 부상하고 있다[1]. SoC기술의 발전으로 인하여 모바일용 시스템의 주전원 기능들을 싱글칩으로 만든 PMIC(power management integrated circuit)의 중요성이 크게 부각되고 있다[2].

일반적인 PMIC의 내부 구성도는 그림 1과 같다. 배터리

리 충전회로와 온도 보호 회로, 스위칭모드 전압조정기(SMPS), 여러 개의 LDO 등으로 이루어져 있다. 여기서 전력을 조절하는데 가장 중요한 역할을 하는 두 가지 방식이 있다. 선형 방식의 레귤레이터와 스위칭 방식의 DC/DC 컨버터이다. 선형 레귤레이터는 입력전압을 일종의 가변저항으로 떨어뜨리고 출력을 귀환하여 기준전압과 비교하는 방법으로 일정한 전압을 출력하고, 스위칭 방식의 DC/DC 컨버터는 스위치의 온-오프 동작과 필터에 의하여 일정한 전압을 출력한다.

이 중에서 모바일용 전자기기에 이용되는 강압형 변환

본 논문은 IDEC(IC Design Education Center)의 지원으로 이루어짐.

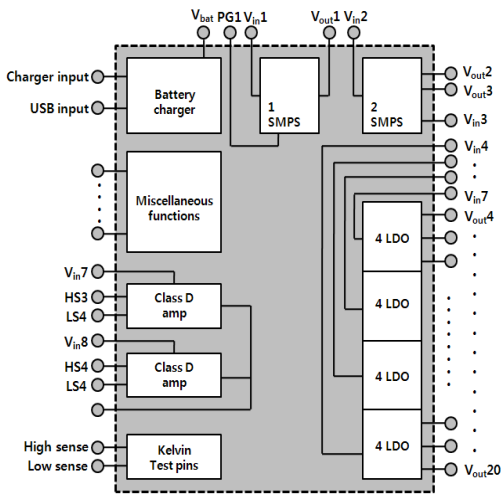
\*교신저자 : 송한정(hjsong@inje.ac.kr)

접수일 10년 01월 22일

수정일 10년 04월 02일

게재확정일 10년 04월 09일

기로는 선형 방식의 레귤레이터인 LDO 레귤레이터(low drop-out regulator)와 스위칭 방식의 변환기인 buck 컨버터(buck converter)가 주로 사용되고 있다. LDO는 buck 컨버터보다 효율은 떨어지지만 스위칭에 의해서 생기는 잡음이 없기 때문에 더 정밀하고 안정한 전압공급을 할 수 있고, 저 소비전력을 가진다. LDO 레귤레이터의 우수한 저잡음 특성은 무선 송신기, 수신기, 마이크 같은 RF 및 오디오 어플리케이션에서 필수적이다. 또한 이것은 상대적으로 낮은 레벨의 전류를 소모하기 때문에 무선 모바일용 어플리케이션에서 LDO 레귤레이터에 대한 연구가 지속되고 있다[3,4].

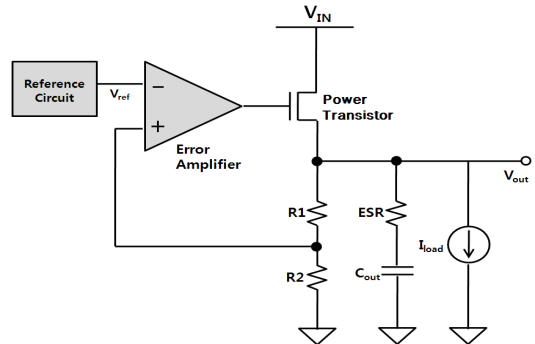


[그림 1] 일반적인 PMIC 내부 구성도

모든 전자기기들은 부하응답에 크게 영향을 받는다. LDO 레귤레이터의 부하전류의 변화는 오류증폭기가 파워 트랜지스터를 부하전류의 변화에 따라 구동함으로써 변화값을 보상할 수 있게 될 때까지 LDO 레귤레이터의 출력전압 수준을 변화시킨다. 이 기간 동안에 LDO 레귤레이터 출력부에 전압 스파이크들이 생성된다. 이 때의 지연시간을 줄이면 출력전압 오류를 최소화 할 수 있다 [5]. 특히 고속 칩은 MHz의 주파수에서 동작하는데, 이에 따라 부하전류는 매우 짧은 시간동안 0에서 전체 값까지 변화하게 된다. 전자기기의 안정된 전압 공급을 위해서는 부하전류에 크게 영향을 받지 않는 회로 설계가 필요하다. 본 논문에서는 부하전류에 크게 영향을 받지 않는 빠른 천이응답 특성을 가지는 저잡음 LDO 레귤레이터를 설계하고자 한다[6].

## 2. 본론

### 2.1 고속 CMOS LDO 레귤레이터 회로 설계



[그림 2] 기본적인 LDO 레귤레이터 회로도

기본적인 구조의 LDO 레귤레이터 회로도 는 그림 2와 같다. LDO 레귤레이터는 오류증폭회로(error amp -ifier), 기준전압회로와 파워 트랜지스터, 저항, 커패시터로 구성된다. LDO의 출력 전압은 파워 트랜지스터로 사용된 PMOS에 의해서 전압 강하되어 출력된다. 출력 전압의 일부는 저항 R1과 R2의 전압분배에 의해 오류증폭기로 귀환하여 들어가게 되고, 기준전압과 비교하여 그 차이만큼 증폭된 신호를 출력한다. 그 차이만큼 증폭된 신호가 파워 트랜지스터를 제어하여 출력 전압을 일정하게 만든다. 또한 커패시터는 출력전압을 일정하게 유지시킨다.

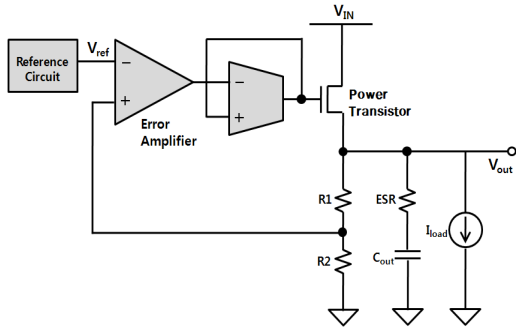
그림 2의 출력전압 관련 식은 다음과 같다.

$$V_{OUT} \cong \left(1 + \frac{R_1}{R_2}\right) V_{REF} \quad (1)$$

기본적인 구조의 LDO 레귤레이터는 안정도를 향상시키기 위하여 오류증폭기와 파워 트랜지스터 사이에 버퍼를 삽입하는 것이 제안된 바 있다[7]. 버퍼를 삽입하였을 경우 고속 슬루잉 동작이 가능하도록 용량성 부하를 낮게 유지시킬 수 있다. 또한 고입력 임피던스, 낮은 출력 임피던스, 넓은 대역폭을 가지게 된다[8].

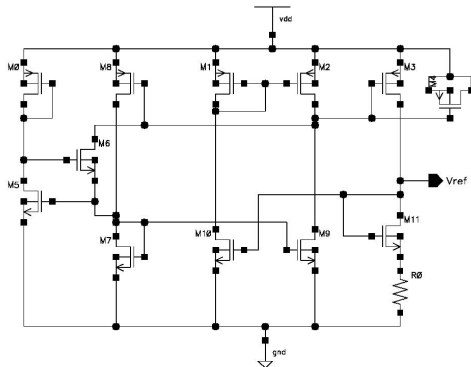
주로 버퍼로 사용되며 간단하게 구현할 수 있는 구조로는 소스팔로워 구조가 있다. 소스팔로워는 낮은 출력 저항을 가지므로 거의 이득 손실없이 낮은 임피던스 부하를 구동할 수 있기 때문에 다단증폭기의 출력단으로 응용될 수 있다. 그러나 소스팔로워로 버퍼를 구현할 경우 NMOS를 포화영역에서 동작시킬 때 필요한 오버드라이브전압과 문턱전압이 합쳐져서 소모된다. 또한 출력 스텝

영이 좁아지고 신호대 잡음비가 저하된다는 문제점이 있다[9]. 파워 트랜지스터를 구동하기 위해서는 출력 스윙이 가능한 넓어야 한다. 높은 부하전류와 낮은 입력저항을 가질 때는 그라운드 'GND'에 가깝게 동작을 해야 하고, 낮은 부하전류를 가질 때는 입력전압 'V<sub>in</sub>'에 가깝게 동작해야 한다. 제안하는 LDO 레귤레이터 회로에서는 그림 3과 같이 버퍼로써 2단 광대역 OTA를 사용하였다.



[그림 3] 빠른 천이 응답 특성을 위하여 OTA 버퍼구조를 추가한 LDO 레귤레이터 회로도

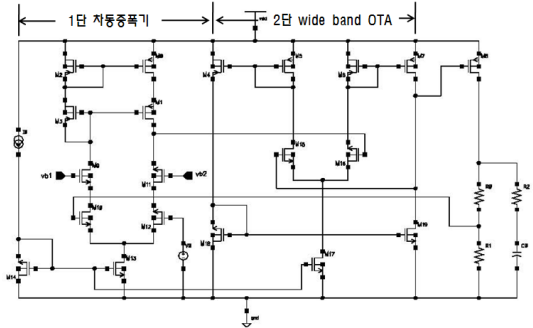
그림 4는 본 논문에서 LDO 레귤레이터 회로를 구성하는데 사용한 베타-멀티플라이어(beta-multiplier) 기준전압 회로이다.



[그림 4] 기준 전압 회로도

그림 5는 제안하는 LDO 레귤레이터 회로도로서 오류 증폭기로는 큰 이득을 가지고 증폭하는 차동입력단을 가진 1단 차동증폭기를 사용하였다. 버퍼로는 소스팔로워의 출력스윙이 좁다는 문제점을 개선하기 위해 2단 광대역 OTA를 버퍼로 사용하기를 제안한다. 이 버퍼단은 병렬 부귀환을 사용한 방법으로써 소스팔로워 버퍼단에서 벌크-소스전압에 의해 출력전압이 VDD나 VSS에 이르지 못하도록 영향을 주는 단점없이 큰 전류 구동 능력을 가

지고 rail-to-rail의 큰 전압 스윙을 만들어 줄 수 있다.



[그림 5] 제안하는 2단 광대역 OTA를 포함한 LDO 레귤레이터 회로도

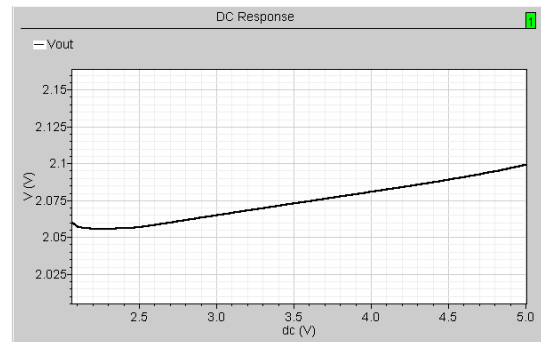
## 2.2 SPICE 시뮬레이션

LDO 레귤레이터의 성능은 라인 레귤레이션(line regulation)과 부하 레귤레이션(load regulation)의 크기에 따라 결정된다. 라인 레귤레이션과 부하 레귤레이션의 값이 작을수록 출력 전압은 안정적이다. 제안하는 LDO 레귤레이터의 성능을 알아보기 위하여 0.5 μm CMOS 공정을 사용하여 SPICE 시뮬레이션을 하였다.

### 2.2.1 라인 레귤레이션

라인 레귤레이션은 입력 전압단의 변화로 초래되는 출력 전압단의 변화를 일정하게 유지시키는 성능지표이다. 라인 레귤레이션의 계산식은 다음과 같이 표현된다.

$$Line\ Regulation = \frac{\Delta V_{out}}{\Delta V_{in}} \quad (2)$$



[그림 6] LDO의 라인레귤레이션 모의 실험 결과

그림 6과 같이 입력 전압이 2.2 V에서 5 V로 변화할 때 출력 전압은 2.055 V에서 2.1 V로 변화한다. 대략 출

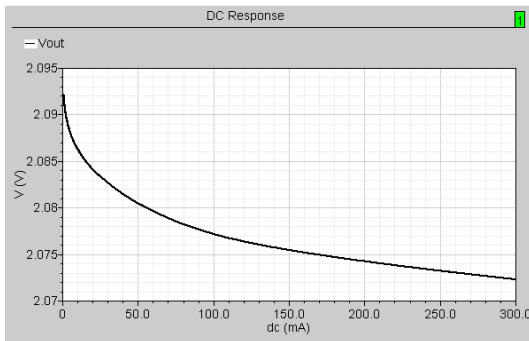
력전압은 2 V정도로 나타나는 것을 볼 수 있다. 이 때의 라인 레귤레이션은 16 mV/V이다.

드롭아웃 전압(dropout voltage)은 정상적인 레귤레이터 동작을 유지하는 입력 전압과 출력 전압의 최소값이다. 입력전압 최소치가 2.2 V이고 이 때의 출력전압 최소치는 2.055 V로, 제안하는 LDO 회로에서는 드롭아웃 전압이 145 mV로 나타났다.

### 2.2.2 부하 레귤레이션

부하 레귤레이션은 출력 부하의 변동에 의해 초래되는 출력 전압의 변화를 일정하게 유지시키는 성능지표로 식 (3)과 같이 나타낸다.

$$Load\ Regulation = \frac{\Delta V_{out}}{\Delta I_{out}} \quad (3)$$



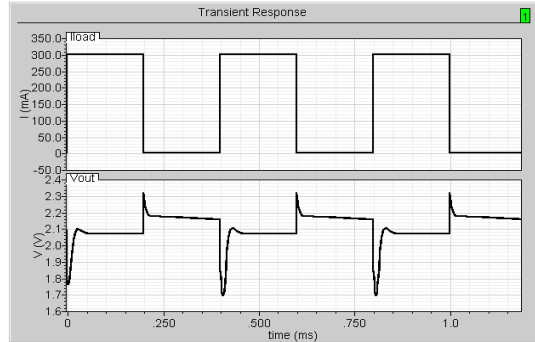
[그림 7] LDO의 부하레귤레이션 모의 실험 결과

출력 부하전류가 그림 7에서 보듯이 선형적으로 1 mA ~ 300 mA까지 증가할 때 출력전압은 2.092 V에서 2.072 V로 변한다. 부하전류가 증가함에 따라 출력전압은 감소하게 된다. 이 때의 부하 레귤레이션은 0.007 %/mA로 나타났다.

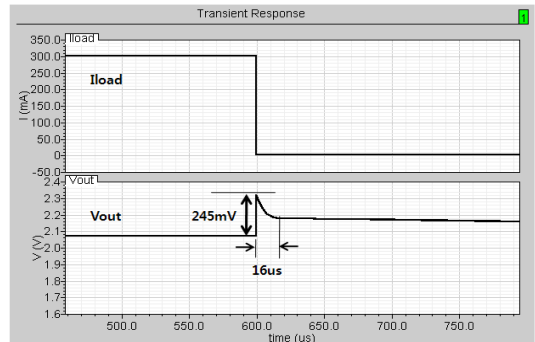
출력 부하전류는 동작 상태에 따라 변할 수 있다. 예를 들어 휴대폰의 경우, 대기 중인 상태와 어떤 성능을 위하여 동작하고 있을 때, 동작되는 회로나 트랜지스터의 수가 다를 수 있다. 이는 출력 부하전류의 변화를 유발하는데, 이 출력 부하전류는 출력 전압의 값에도 영향을 미친다. 동작 모드가 변함에 따라 바뀌는 출력 부하 전류에 빠르게 응답할 수 있어야 한다. 출력부하 전류가 빠르게 응답하기 위하여 버퍼의 쓰임에 대하여 앞서 이야기하였다. 버퍼는 오류 증폭기 출력단의 높은 출력 저항을 파워 트랜지스터의 높은 부하 커패시턴스로부터 절연시켜 파워 트랜지스터를 신속하게 동작시키도록 해준다.

제안하는 버퍼가 사용되었을 경우와 사용되지 않았을

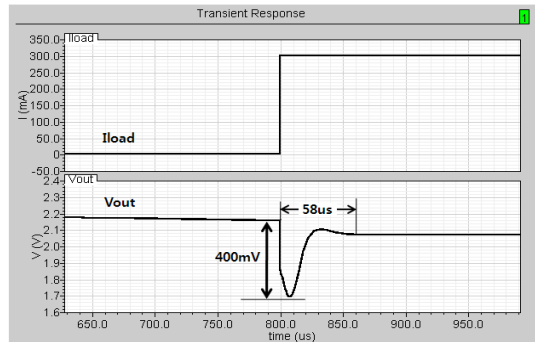
경우를 비교하기 위해 그림 8에 버퍼가 사용되지 않았을 경우를 시뮬레이션하였다.



(a) 펄스부하전류에 따른 출력전압 변동



(b) 부하전류가 하강할 때 오버슈트 파형

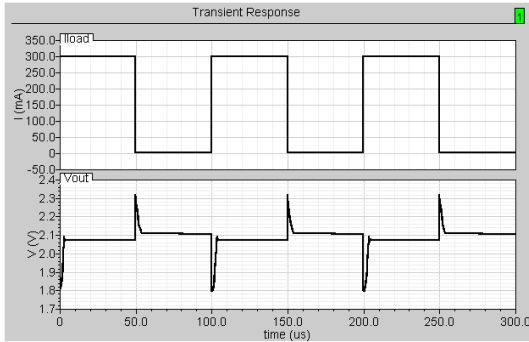


(c) 부하전류가 상승할 때 언더슈트 파형

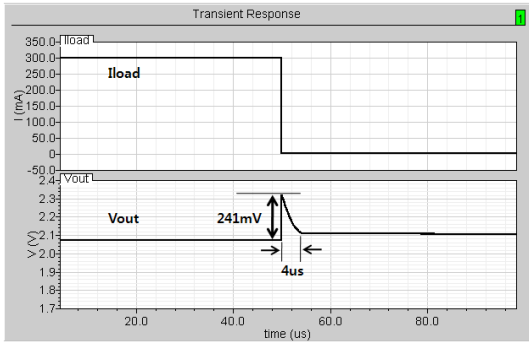
[그림 8] 버퍼가 없는 LDO 레귤레이터의 부하전류 변화에 따른 전이 응답 반응

그림 8(a)는 버퍼가 없는 LDO 레귤레이터의 출력 부하전류 변화에 따른 출력전압의 전이응답반응을 본 것이다. 인가되는 펄스 부하전류의 범위는 1 mA ~ 300 mA로 주기 400 μs를 가지고 변동하고 있다. 이를 확대하면 그

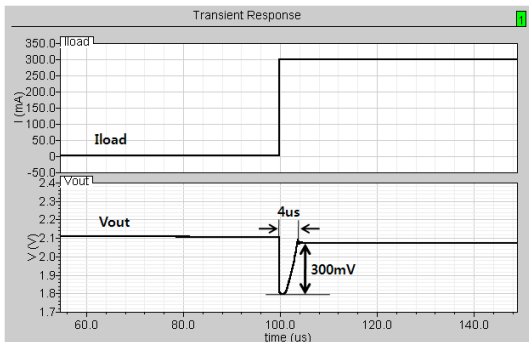
림 8(b)와 같이 부하전류가 하강할 때 245 mV의 피크전압을 가지는 오버슈트 파형을 볼 수 있고, 출력전압이 안정화되는데 걸리는 시간은 16  $\mu$ s가 걸린다. 그림 8(c)는 부하전류가 증가할 때의 출력전압변화를 나타내는 것으로 피크전압이 400 mV의 언더슈트 파형을 나타내며, 안정화되는데 걸리는 시간은 58  $\mu$ s가 걸린다.



(a) 펄스부하전류에 따른 출력전압 변동



(b) 부하전류가 하강할 때 오버슈트 파형



(c) 부하전류가 상승할 때 언더슈트 파형

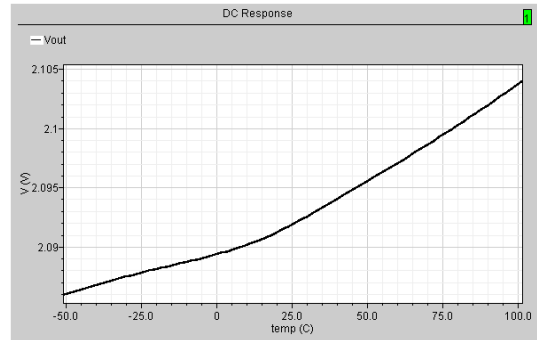
**[그림 9]** 제안하는 버퍼를 가진 펄스부하전류 인가시 출력 전압 변동

그림 9는 제안하는 버퍼가 추가된 LDO 레귤레이터 회로도의 출력전압 변동을 본 것이다. 순간적으로 빠르게 변동하는 펄스 부하전류가 인가되는 경우, 그림 9(a)와 같은 출력전압의 천이응답 상태를 볼 수 있다. 인가되는 펄스 부하전류의 범위는 1 mA ~ 300 mA로 주기 100  $\mu$ s를 가지고 변동하고 있다.

부하 전류가 300 mA부터 1 mA까지 하강할 때, 오버슈트는 241 mV로 나타났다. 이때의 세팅 시간은 4  $\mu$ s이다. 부하 전류가 1 mA부터 300 mA까지 상승할 때, 언더슈트는 300 mV로 나타났다. 이때의 세팅 시간은 4  $\mu$ s이다. 이는 기존의 소스팔로워 회로를 이용한 레귤레이터보다 상승 시간이 2.6배 향상된 것이다[10]. 제안된 버퍼는 VDD에서 GND까지 스윙이 가능하기 때문에 더 빠른 속도로 구동이 가능하다. 또한 버퍼가 없을 때에 비해 제안하는 버퍼를 가질 때가 훨씬 더 부하전류의 변화에 빠르게 반응하는 것을 확인할 수 있다.

### 2.2.3 온도 특성

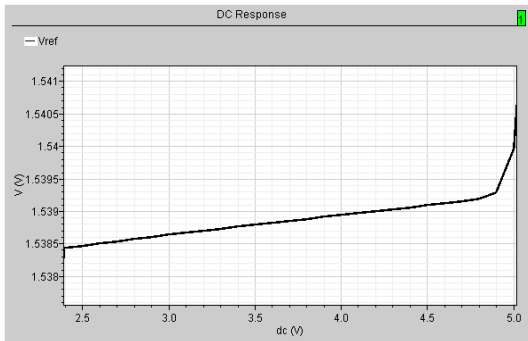
그림 10은 제안하는 LDO 레귤레이터 회로도의 온도 변화에 따른 출력 전압 특성을 나타낸다. -50 °에서 100 ° 까지 온도가 변할 때 출력전압은 2.086V에서 2.104V로 조금 올라가는 것을 볼 수 있다. 이 온도의 범위에서 출력전압의 변화는 18mV로 나타났다.



**[그림 10]** 온도변화에 따른 출력 전압 변화

### 2.2.4 기준 전압 회로

그림 11은 제안하는 LDO 레귤레이터 회로에 쓰인 기준전압 회로의 공급전압에 따른 출력전압 특성을 시뮬레이션한 결과이다. 2.2 V에서 5 V로 입력전압이 증가할 때 출력전압은 1.538 V에서 1.54 V로 변화한다. 사용된 기준전압은 대략 1.54 V이다.



[그림 11] 공급전압변화에 따른 기준 전압 변화

설계한 LDO 레귤레이터의 시뮬레이션 결과를 표 1과 같이 정리하였다.

[표 1] 제안하는 LDO 시뮬레이션 결과 값 정리

Technology	0.5 $\mu\text{m}$ CMOS tech.
Input Voltage Range	2.2 ~ 5 V
Output Voltage Range	2.055 ~ 2.1 V
Drop Output	145 mV
Line Regulation	16 mV/V
Load Regulation	0.007 %/mA
Overshoot voltage	241 mV
Undershoot voltage	300 mV
Settling time	4 $\mu\text{s}$ (1 mA $\rightarrow$ 300 mA)
	4 $\mu\text{s}$ (300 mA $\rightarrow$ 1mA)

### 3. 결론

본 논문에서는 고속 PMIC용 LDO 레귤레이터를 설계하기 위하여 주로 사용되는 소스팔로워 버퍼 대신 2단 광대역 OTA 버퍼를 제안하였다. 기존의 소스팔로워 버퍼는 신호대 잡음비가 저하되고 출력스윙이 좁다는 문제가 있는데, 제안하는 2단 광대역 OTA를 버퍼단으로 사용할 경우 이 문제점을 해결할 수 있다. 제안하는 버퍼단은 rail-to-rail의 큰 출력스윙을 제공하며, 이로 인해 빠른 천이응답 특성을 가지게 되었다. 따라서 제안하는 버퍼를 사용한 LDO 레귤레이터 회로는 최대 300 mA의 출력부하전류 조건하에서 4  $\mu\text{s}$ 의 안정화 시간을 가진다.

### 참고문헌

- [1] Hoi Lee, T. Karnik, Philip K. T. Mok, Ka Nang Leung, "A design of low-power analog drivers based on slew-rate enhancement circuits for cmos low-dropout regulators," IEEE. J. Solid -State Circuit, Vol.52, No.9, pp.563-567, September, 2005.
- [2] Man Siu, Philip K. T. Mok, Ka Nang Leung, Yat-Hei Lam, Wing-Hung Ki, "A voltage-mode pwm buck regulator with end-point prediction," IEEE TCAS II, vol. 53, no. 4, pp. 294-298, April 2006.
- [3] P. Hazucha, T. Karnik, A. Bloechel, C. Parsons, D. Finan, S. Borkar, "Area-efficient linear regulator with ultra-fast load regulation," IEEE J. Solid-State Circuit, Vol.40, No.4, pp. 933 -940, April, 2005.
- [4] Kaiwei Yao, Kisun Lee, Ming Xu, and Fred C. Lee, "Optimal design of the active droop control method for the transient response," Applied Power Electronics Conference and Exposition, vol. 2, pp. 718-723, Feb. 2003.
- [5] G. A. Rincon-Mora, "Active capacitor multiplier in miller-compensated circuits", IEEE J. Solid-State Circuits, 35, pp. 26-32, January, 2000.
- [6] R. K. Dokania and G. A. Rincon-Mora, "Cancellation of load regulation in low drop-out regulators," Electronics Letters, vol.38, no.22, pp.1300-1302, Oct. 2002.
- [7] Chung-Wei Lin Yen-Jen Liu, "A power efficient and fast transient response low drop-out regulator in standard cmos process", VLSI Design, Automation and Test, 2006.
- [8] J. Ramirez-Angulo, S. G. Ivan Padilla, R. G. Carvajal, A. Torralba, M. Jimenez, F. Munoz, Antonio Lopez-Martin, "Comparison of conventional and new flipped voltage structures with increased input/output signal swing and current sourcing/sinking capabilities," IEEE International Midwest Symposium on Circuits and Systems, pp. 1151-1154, Aug. 2005.
- [9] R. G. Carvajal, J. Ramirez-Angulo, A. J. Lopez-Martin, A. Torralba, J. A. G. Galan, A. Carlosena, F. M. Chavero, "The flipped voltage follower: a useful cell for low-voltage low-power circuit design," IEEE Trans. Circuits and Systems I, vol. 52, no. 7, pp. 1276-1291, July 2005.
- [10] R. Tantawy, E. J. Brauer, "Performance evaluation of cmos low drop-out voltage regulators", IEEE Internatiional Midwest Symposium on Circuits and System I, vol. 1, pp.141-144, 2004.

**권 보 민(Bo-Min Kwon)**

[준회원]



- 2009년 2월 : 인제대학교 나노공학부 (공학사)
- 2009년 3월 : 인제대학교 대학원 나노시스템공학과 재학중

<관심분야>

전자공학, 반도체, 회로설계

---

**송 한 정(Han-Jung Song)**

[정회원]



- 1986년 2월 : 한양대학교 전자공학부 (공학사)
- 1988년 2월 : 한양대학교 대학원 전자공학과 (공학박사)
- 2000년 8월 : 한양대학교 대학원 전자공학과 (공학박사)
- 1988년 1월 ~ 1994년 2월 : 금성일렉트론 선임연구원
- 1994년 3월 ~ 2004년 2월 : 충청대학 전자정보과 부교수
- 2001년 3월 ~ 2004년 2월 : University of Florida 방문연구원
- 2004년 3월 ~ 현재 : 인제대학교 나노공학부 부교수

<관심분야>

전자공학, 반도체, 회로설계