

## DC정합회로를 갖는 능동 Replica LDO 레귤레이터

유인호<sup>1</sup>, 방준호<sup>1\*</sup>, 유재영<sup>2</sup>  
<sup>1</sup>전북대학교 IT응용시스템공학과

### A Active Replica LDO Regulator with DC Matching Circuit

In-Ho Ryu<sup>1</sup>, Jun-Ho Bang<sup>1\*</sup> and Jae-Young Yu<sup>2</sup>

<sup>1</sup>Dept. of IT Applied System Engineering

**요약** 본 논문에서는 DC 정합회로를 갖는 능동 Replica LDO 레귤레이터에 대하여 나타내었다. Replica단과 출력단의 DC전압을 정합하기 위하여 DC정합회로를 설계하였다. 능동 Replica LDO 레귤레이터의 PSR특성은 일반적인 레귤레이터 보다 큰 값을 가질 수 있다. 설계된 DC정합회로는 Replica 레귤레이터에서 발생할 수 있는 단점을 줄여준다. 또한 전체회로를 능동회로로 설계함으로써 칩면적을 줄이고 수동저항을 사용할 때 발생하는 열잡음을 제거할 수 있다. 0.35um CMOS 파라미터를 사용하여 HSPICE 시뮬레이션한 결과, DC정합회로를 이용하여 설계된 레귤레이터의 PSR특성은 -28dB@10Hz로써 DC정합회로를 사용하지 않는 일반적인 레귤레이터의 -17dB@10Hz보다 개선될 수 있음을 확인하였다. 레귤레이터의 DC출력 전압은 3V이다.

**Abstract** In this paper, an active replica Low-dropout(LDO) regulator with DC voltage matching circuit is presented. In order to match the voltage between replica and output of regulator, DC voltage matching circuit is designed. The active replica low dropout regulator has higher Power Supply Rejection(PSR) than that of conventional regulator. The designed DC voltage matching circuit can reduce the drawback that may be occurred in replica regulator. And using fully active element in regulator can reduce the chip area and heat noise with resistor. As results of HSPICE simulation with 0.35um CMOS parameter, the designed active replica LDO regulator achieves Power Supply Rejection, -28@10Hz better than -17@10Hz of conventional replica regulator without DC matching circuit. And the output voltage is 3V.

**Key Words** : LDO Regulator, Replica Regulator, PSRR, DC matching

### 1. 서론

집적회로의 저전압 저전력화와 더불어 고품질의 DC 전압을 발생, 변환 및 활용하기 위한 연구가 활발하게 진행되고 있다[1]. 전력공급장치로부터 발생한 전압은 변환 효율이 좋은 DC-DC 변환기를 통하여 필요로하는 전압으로 공급될 수 있다. LDO(Low dropout) 레귤레이터는 입출력 전압차를 줄이고 안정된 고효율 DC-DC 변환회로를 구현할 수 있어 집적회로에서 많이 사용되고 있다[2]. LDO레귤레이터가 일정한 출력전압을 발생할 수 있도록 구동할 때, 집적회로에서 발생할 수 있는 다양한 환경 변수 등에 의하여 출력 구동전압의 변형을 최소화하도록

설계된다[3-5]. LDO레귤레이터가 잡음이 많이 포함된 불안정한 전력공급전원을 안정된 동작전원으로 변환시키기 위하여 중요하게 고려되어야 할 특성중의 하나가 공급전원 잡음에 대한 제거율(PSRR)특성이다[4]. 최근 연구되고 있는 무선전력 통신 시스템을 구성하는 수신단의 집적회로의 경우 무선 전송된 AC전압을 정류한 후 양질의 DC전압으로 변환 할 때 레귤레이터가 사용된다. 이때, AC-DC정류기로부터 1차적으로 정류되지만 AC잡음을 포함하고 있으면서 완전 정류되지 않는 DC전압을 양질의 DC공급전압으로 변환시키기 위하여 높은 PSRR 특성을 갖는 레귤레이터가 사용되어야 한다.

PSRR 특성을 개선하기 위한 방법이 많이 연구되었다.

\*교신저자 : 방준호 (jhbang@jbnu.ac.kr)

접수일 11년 04월 27일

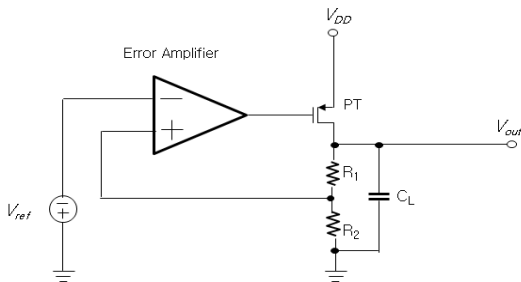
수정일 11년 06월 08일

게재확정일 11년 06월 09일

논문[6]에서는 레귤레이터 부하 캐패시터  $C_L$ 를 큰 값으로 조절하는 방법이 있는데 이 경우, 부하 캐패시터  $C_L$ 과 큰 부하 전류공급을 위하여 패스트랜지스터(PT)가 커지면 이 때 PT에서 발생하는 캐패시터에 의하여 저주파에서 근접한 두 개의 극점이 발생하여 위상마진이 나쁘게 되고 안정성에도 문제가 생긴다. 이때, 두 극점 P1과 P2의 간격을 넓혀 위상 마진을 충분히 확보하기 위한 방법으로 Miller RC 보상법을 사용하고 있다. 이 경우 잡음 제거율을 좋게 하기 위해서, 부하 캐패시터  $C_L$ 을 증가시켜야 한다. 이 경우 SOC제조를 위해서는  $C_L$  크기는 제한되어지므로 이 방법도 한계가 있다. 이러한 점을 보완하기 위한 또 다른 방법으로 Replica회로를 이용한 방법이 있다. 이 방법은 에러 증폭기와 출력의 PT 사이에, 출력단과 같은 크기의 유사 출력단을 형성하여 주는 것인데 이 방법으로 LDO레귤레이터의 동작속도를 개선하고 PSRR특성을 개선할 수 있다. 그러나 이 경우 출력단과 유사 출력단간의 DC전압의 정합을 필요로 한다.

본 논문에서는 Replica LDO레귤레이터를 통하여 PSRR특성을 개선할 수 있는 방법에 대하여 논하고 Replica LDO 레귤레이터를 설계하고 출력단의 DC정합을 위하여 새로운 DC정합회로를 설계하였다. 또한 Replica LDO레귤레이터를 완전 집적회로 제작하기 위하여 일반적인 LDO레귤레이터에서 사용하는 수동저항을 MOS 트랜지스터를 이용한 능동저항으로 대체함으로써 회로의 크기 및 소비전력을 줄일 수 있도록 하였다. 2장에서 Replica LDO레귤레이터의 구조에 대해 나타내고, 3장에서는 제안된 DC정합회로를 갖는 능동 Replica LDO 레귤레이터에 대하여 나타내었다.

## 2. Replica LDO 레귤레이터



[그림 1] 수동 저항 출력단을 갖는 LDO 레귤레이터  
[Fig. 1] LDO Regulator for passive resistor output

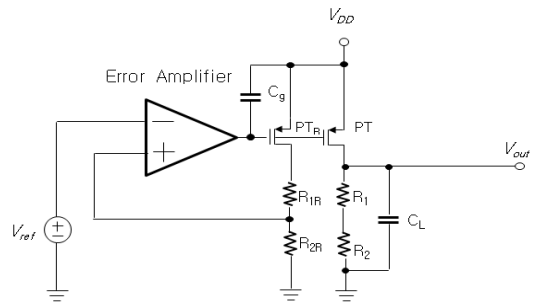
그림 1은 수동 저항 출력단을 갖는 일반적인 LDO레귤레이터를 나타낸 것이다. LDO레귤레이터의 입출력특성을 나타내는 VDD에 대한  $V_{out}$  전압방정식을 구해보면 식(1)과 같다[7].

$$\frac{V_{out}}{V_{DD}} = \frac{[R_L / (R_L + 1/g_{dso})](1 + s/\omega_a)}{(1 + s/\omega_0)(1 + s/\omega_a) + A_o A_0} \quad (1)$$

$R_L$ 은  $R_1$ 과  $R_2$ 의 대표저항이고  $g_{dso}$ 은 PT의 드레인 컨덕턴스이다. 또한  $A_o$ 와  $\omega_a$ 는 에러증폭기의 DC 이득 및 극점이며,  $A_0$ 와  $\omega_0$ 는 출력단의 DC 이득 및 극점을 각각 나타내고 있다. 또한 각 극점 및 이득의 관계를 식 (2)와 같이 정리할 수 있다.

$$\omega_0 < \frac{\omega_a}{1 + A_o A_0} \quad (2)$$

이때 [7]에서 언급된 바와 같이 충분한 PSRR특성과 위상마진을 확보하기 위하여 레귤레이터의 출력단에서 발생하는 극점  $\omega_0$ 이 전체 레귤레이터의 우성극점이 되어야 한다. 그리고 이러한 조건을 만족하기 위해서  $C_L$ 이 커야 한다는 것을 알 수 있다. 그러나 한정된 면적을 갖는 집적회로상에서  $C_L$ 의 값을 크게하여 PSRR와 위상마진을 확보하기에는 한계가 있다.



[그림 2] 수동 저항 출력단을 갖는 Replica LDO 레귤레이터  
[Fig. 2] Replica LDO Regulator for passive resistor output

그림 2는 수동 저항 출력단을 갖는 Replica LDO레귤레이터 구조이다. 그림 1의 수동 저항 출력단을 갖는 일반적인 LDO레귤레이터의 출력단에 PT<sub>R</sub> 및 R1<sub>R</sub>와 R2<sub>R</sub>로 구성된 Replica회로가 추가로 구성되었다. Replica회로는 출력과 같은 크기 및 구조로 설계되지만 부하캐패시터는 연결되지 않는다. 이 경우, 에러 증폭기로 인가되는 출력의 궤환 신호는 Replica회로로부터 얻어지는데, 결과적으로 궤환동작 신호후 레귤레이션 동작 속도가 개선될

수 있으며 PSRR특성이 개선된다. 이때 Replica LDO 레귤레이터의 입출력 전압관계식은 식(3)과 같다[7].

$$\frac{V_{out}}{V_{DD}} = \frac{[R_L/(R_L + 1/g_{dso})](1 + s/w_r)(1 + s/w_a)}{[(1 + s/w_r)(1 + s/w_a) + A_a A_r](1 + s/w_o)} \quad (3)$$

식(3)은 레귤레이터의 Replica회로와 출력 단이 완전 정합되었을 때 얻어지는 수식이며, Replica 회로가 첨가됨으로 인하여  $A_r$ 와  $w_r$ 가 추가되었다. Replica LDO 레귤레이터입출력 전압관계식을 통하여 유추할 수 있는 중요한 특성은 전원잡음함수가 그 DC값을 초과하지 않게 하기 위해서 극점 값은 적어도 영점 값의 아래에 위치해야 한다[7]. 즉, 충분한 PSRR특성을 유지하기 위해서는 식(4)의 조건을 만족해야 한다.

$$w_o < w_a \quad (4)$$

이때, 수동 저항 출력단을 갖는 LDO레귤레이터의 경우 얻어진 식(2)와 Replica LDO레귤레이터에서 얻어진 식(4)를 비교하였을때, Replica LDO레귤레이터의 경우  $C_L$ 을  $(1 + A_a A_o)$ 배 만큼 감소시킬 수 있게 된다. 이러한 결과로부터, Replica LDO레귤레이터를 사용할 경우,  $C_L$ 을 적은 값으로 유지하면서 PSRR값을 향상시킬 수 있다는 것을 알 수 있다. 그러나, 이러한 특성이 얻어지는 전제조건은 Replica LDO레귤레이터의 Replica회로와 출력단이 완전 정합되었을 때를 가정으로 한 것이므로 Replica LDO레귤레이터 설계시에 Replica 출력단과 실제 출력단의 DC정합이 매우 중요하다.

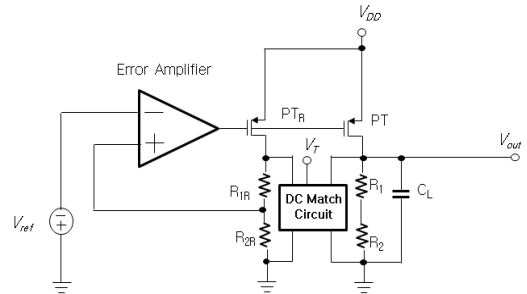
### 3. DC정합회로를 갖는 능동 Replica LDO 레귤레이터 설계 및 Simulation 결과 및 분석

#### 3.1 능동 Replica LDO 레귤레이터 설계

이절에서는 Replica LDO 레귤레이터를 설계하고 출력단의 DC정합을 위하여 새로운 DC 정합회로를 제안하였다. 또한 Replica LDO레귤레이터를 완전 집적회로 제작하기 위하여 일반적인 LDO레귤레이터에서 사용하는 수동저항을 MOS 트랜지스터를 이용한 능동저항으로 대체함으로써 회로의 크기 및 소비전력을 줄이는 효과를 얻도록 하였다.

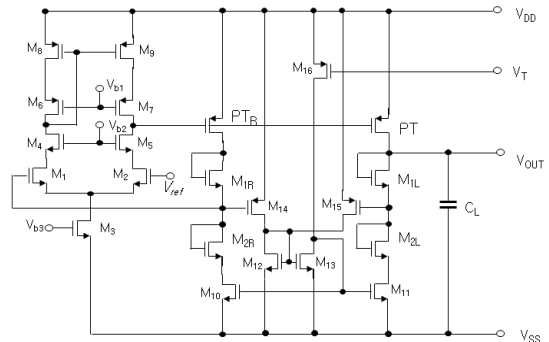
그림 2의 수동저항 출력단을 갖는 Replica LDO레귤레이터에 DC정합회로를 연결하여 구성한 회로를 그림 3으

로 나타내었다.



[그림 3] DC정합회로를 갖는 Replica LDO 레귤레이터 [Fig. 3] Replica LDO Regulator for DC matching circuit

그림 3에 연결된 DC정합회로에 의하여 출력단의 파워 트랜지스터 PT와 Replica단의 파워트랜지스터 PTR의 드레인 단자의 DC 전압이 일정한 값으로 유지될 수 있다. 본 논문에서 설계한 DC정합회로를 갖는 능동 Replica LDO 레귤레이터의 전체 회로를 그림 4에 보였다.



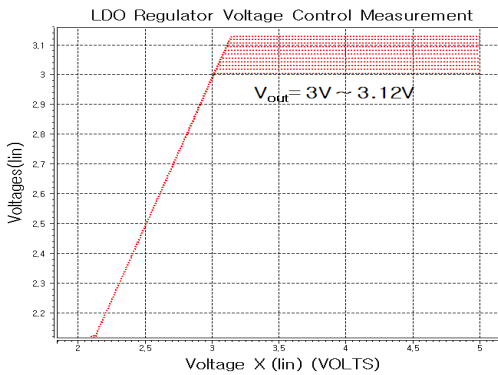
[그림 4] DC정합회로를 갖는 능동 Replica LDO 레귤레이터 [Fig. 4] Replica LDO Regulator for DC matching circuit

M1~M9로 구성된 에러증폭기는 NMOS입력단을 갖는 차동증폭기로 구조이며 출력저항을 높여 전압이득을 증가시키기 위하여 캐스코드단으로 설계하였다. 파워트랜지스터 PT와 M1L, M2L로 구성된 부분이 출력단이며 PTR과 M1R, M2R로 구성된 회로가 Replica단이다. DC정합회로는 M10~M16까지 트랜지스터로 구성하였다. 출력단의 PT와 Replica단의 PTR의 드레인 단의 DC전압이 같은 값을 유지할 경우, 정합회로의 출력인 M13의 드레인 전압도 항상 일정한 값을 유지한다. 하지만 출력단의 PT와 Replica단의 PTR의 드레인 단의 DC전압이 차이를 발생하기 시작하면, M14와 M15의 게이트 단자에서 이 값을 검출하고 이 차이값에 비례하여 변하게 되는 M13

값의 드레인 전압이 M10과 M11의 게이트에 인가되어 출력단의 PT와 Replica단의 PT<sub>R</sub>의 드레인 단의 DC전압이 제어된다. 이러한 부궤환 동작은 출력단의 PT와 Replica단의 PT<sub>R</sub>의 드레인 단의 DC전압차이가 0이 될 때까지 계속된다.

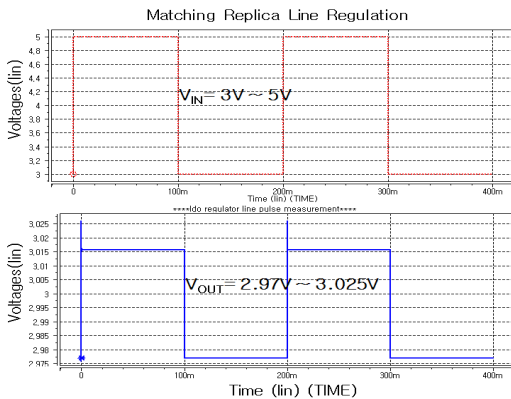
### 3.2 능동 Replica LDO 레귤레이터 시뮬레이션 결과 및 분석

설계한 그림 4의 DC정합회로를 갖는 능동 Replica LDO 레귤레이터의 특성을 HSPICE로 시뮬레이션하였다.

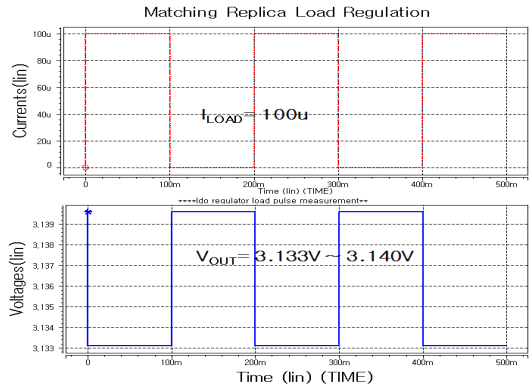


[그림 5] 설계된 능동 Replica LDO 레귤레이터의 DC 출력 [Fig. 5] Designed of Active Replica LDO Regulator DC output

그림 5는 입력전압을 2~5V까지 가변하였을 때 출력 특성이다. 출력특성은 V<sub>I</sub>값을 1V에서 1.15V까지 변환하였을 때, 각각 3V에서 3.12V까지 각각 일정한 값을 유지하면서 제어될 수 있음을 확인하였다.



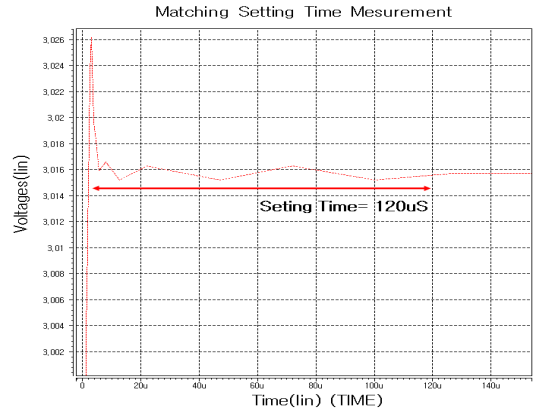
[그림 6] 설계된 능동 Replica LDO 레귤레이터의 Line Regulation [Fig. 6] Designed of Active Replica LDO Regulator Line Regulation



[그림 7] 설계된 능동 Replica LDO 레귤레이터의 Load Regulation

[Fig. 7] Designed of Active Replica LDO Regulator Load Regulation

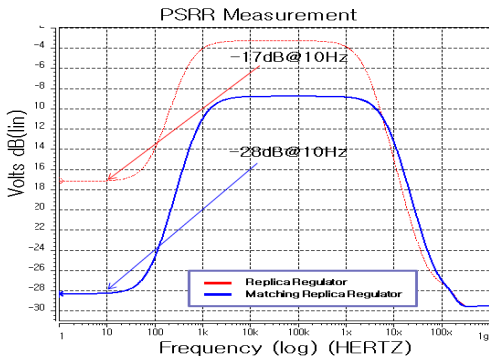
그림 6은 입력전압을 3~5V로 선형적으로 증가시켰을 때 출력전압의 변화율인 Line Regulation을 시뮬레이션한 결과이며 그림 7은 Load Regulation 특성을 시뮬레이션한 결과이다. Settling Time에 대한 시뮬레이션 결과는 그림 8과 같이 120uS으로 확인할 수 있었다.



[그림 8] 설계된 능동 Replica LDO 레귤레이터의 Settling Time

[Fig. 8] Designed of Active Replica LDO Regulator Settling Time

그리고 설계한 DC정합회로를 갖는 능동 Replica LDO 레귤레이터의 PSRR 특성을 조사하기 위하여 정합회로가 없는 Replica LDO 레귤레이터의 PSRR특성과 비교 분석하였다.



[그림 9] 설계된 능동 Replica LDO 레귤레이터의 PSRR (정합회로 없는 Replica 레귤레이터와의 비교)  
 [Fig. 9] Designed of Active Replica LDO Regulator PSRR (Without DC matching Replica Regulator comparison)

그림 9의 결과에서 보는 것과 같이 결과, DC정합회로를 갖는 능동 Replica LDO 레귤레이터의 PSRR은 -28dB@10Hz로서 정합되지 않는 레귤레이터의 -17dB@10Hz와 비교하였을 때 향상된 특성을 나타내었다. 설계된 DC정합회로를 갖는 능동 Replica LDO 레귤레이터의 시뮬레이션 결과를 표 1과 같이 정리하였다.

[표 1] 설계된 능동 Replica LDO 레귤레이터의 Simulation 결과  
 [Table 1] Designed of Active Replica LDO Regulator simulation result

Parameter	Simulation Results
Technology	0.35 $\mu$ m
Input Voltage	5 [V]
Drop Output	180~200 [mV]
OUT Voltage	3~3.12[V]
PSRR	-28dB@10Hz
Line Regulation	2.75 %
Load Regulation	0.07V/100uA
Setting time	120uS

#### 4. 결론

Replica LDO 레귤레이터는 일반적인 LDO 레귤레이터에 비하여 PSRR 특성과 회로의 안정성을 확보할 수 있지만 이를 보장하기 위해서 Replica단과 출력단의 DC 전압이 같은 값으로 정합되어야 한다. 본 논문에서는 PSRR 특성을 향상하며 DC정합을 가능하도록 하기 위하

여 DC정합회로를 갖는 능동 Replica LDO 레귤레이터를 설계하였다.

능동 Replica LDO 레귤레이터의 Replica단과 출력단에서 발생할 수 있는 부정합을 DC정합회로를 통하여 부궤환시킴으로써 항상 일정한 전압으로 정합되도록 하였다. 설계된 능동 Replica LDO 레귤레이터의 시뮬레이션 결과 5V의 입력전압에서 3V에서 3.12V의 출력전압을 얻었으며, PSRR은 -28dB@10Hz로서 정합되지 않는 레귤레이터의 -17dB@10Hz와 비교하였을 때 향상된 특성을 나타내었다.

또한 수동 Replica LDO레귤레이터의 수동저항을 트랜지스터 다이오드로 변환하여 회로전체를 모두 능동회로로 설계하였다. 이것은 레귤레이터 회로의 칩 면적을 더욱 감소시킬 수 있고 수동저항에서 나타날 수 있는 열잡음등의 영향을 최소화 함으로써 LDO레귤레이터를 소형 집적회로에 활용도를 높히도록 할 수 있다.

#### References

- [1] Hoi Lee "A Design of Low-Power Analog Drivers Based on Slew-Rate Enhancement Circuits for CMOS Low-Dropout Regulators", IEEE. J. Solid-state Circuit, 2005.
- [2] Al-Shyoukh, Lee, Perez, "A Transient-Enhanced Low- Quiescent Current Low-Dropout Regulator", IEEE JSSC, 2007.
- [3] Bang S.Lee, "Technical Review of LDO Voltage Regulator Operation and Performance" Texas Instrument, SLVA072 Aug.1999.
- [4] s.k. Lau, "A Low-Dropout Regulator for SoC With Q-Reduction" IEEE J.Solid-state Circuit, 2007.
- [5] P. Hazucha, T. Karnil, A. Bloechel, C. Parson, "Area-Efecient Linear Regulator With Ultra Fast Load Regulation," IEEE.J. Solid-State Circuit, Vol.40, No4, April, 2005.
- [6] Carvajal, J. "The Dlipped Voltage Follower a useful cell for Low-Power Circuit Design" IEEE Trans. Circuits and System. 2005.
- [7] Thomas, "A 1.25-5 GHz Clock Generator With High-Bandwidth Supply-Rejection Using a Regulated -Replica Regulator in 45-nm CMOS. IEEE j. Solid Circuit, 2009.

**유 인 호(In-Ho Ryu)**

[정회원]



- 1984년 : 원광대학교 전기공학과 졸업
- 1986년 : 건국대학원 전기공학과 졸업(석사)
- 1999년 : 원광대학원 전기공학과 졸업(박사)
- 1993년 ~ 현재 : 전북대학교 IT 응용시스템공학과 교수

<관심분야>

자동제어, 회로설계, 공장자동화 제어

---

**방 준 호(Jun-Ho Bang)**

[정회원]



- 1989년 : 전북대학교 전기공학과 졸업
- 1991년 : 전북대학교 대학원 전기공학과 졸업(석사)
- 1996년 : 전북대학교 대학원 전기공학과 졸업(공학박)
- 1998년 ~ 현재 : 전북대학교 IT 응용시스템공학과 교수

<관심분야>

아날로그 집적회로 설계, 통신용 필터 설계

---

**유 재 영(Jae-Young Yu)**

[준회원]



- 2009년 : 군산대학교 전기전자제어공학과 졸업
- 2010년 ~ 현재 : 전북대학교 IT 응용시스템공학과 재학(석사)

<관심분야>

아날로그 집적회로 설계, 통신용 필터 설계