

반응표면분석법을 이용한 LED Die Bonding 공정능력 최적화

하석재^{1*}, 조용규¹, 조명우², 이광철³, 최원호⁴
¹인하대학교 기계공학과, ²인하대학교 기계공학부, ³한국광기술원 ⁴우리 ATEC

Process Capability Optimization of a LED Die Bonding Using Response Surface Analysis

Seok-Jae Ha^{1*}, Yong-Kyu Cho¹, Myeong-Woo Cho², Kwang-Cheol Lee³
and Won-Ho Choi⁴

¹Department of Mechanical Engineering, Inha University

²Division of Mechanical Engineering, Inha University

³Korea Photonics Technology Institute

⁴Wooree ATEC Co. LTD

요 약 LED 칩 패키징에서 다이 본딩은 웨이퍼에서 분할된 다이를 리드 프레임에 접착제로 고정시켜 칩이 다음 공정을 견딜 수 있는 충분한 강도를 제공하는 중요한 공정이다. 본 논문에서는 PLCC 구조 LED 패키지 프레임에 소형 제너 다이오드를 부착하는 다이 본딩 공정능력의 최적화를 위하여 공정에 영향을 미치는 여러 인자를 분석하여 반응 표면분석법을 적용하여 그 결과를 도출하였다. 인자를 분석하여 5인자 3수준 4반응치를 고려하여 실험계획법을 수립하였으며, 그 결과 모든 반응치의 목표를 만족하는 최적 조건을 확보할 수 있었다.

Abstract In LED chip packaging, die bonding is a very important process which fixes the LED chip on the lead frame to provide enough strength for the next process. This paper focuses on the process optimization of a LED die bonding, which attaches small zener diode chip on PLCC LED package frame, using response surface analysis. Design of experiment (DOE) of 5 factors, 3 levels and 5 responses are considered, and the results are investigated. As the results, optimal conditions those satisfy all response objects can be derived.

Key Words : LED chip package, Die bonding(or attaching), Design of experiment, Response surface analysis

1. 서론

LED 칩의 일반적인 패키징 공정은 웨이퍼에 형성된 칩의 양부를 검사하는 웨이퍼 검사 공정, 웨이퍼를 절단하여 날개로 분리된 칩을 리드 프레임(lead frame)에 부착시키는 다이 본딩(die bonding) 공정, 다이에 구비된 접촉 패드와 리드 프레임의 리드를 와이어로 연결시키는 와이어 본딩(wire bonding) 공정, 다이의 내부회로와 그 외의 구성 부품을 보호하기 위해 봉지재로 외부를 감싸는 몰

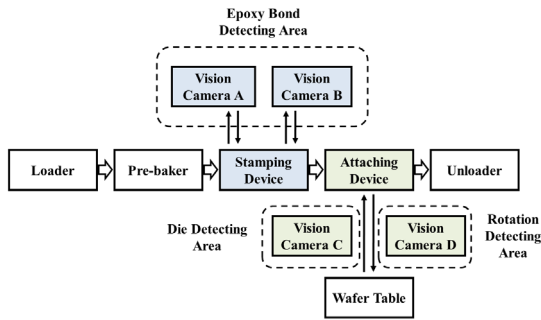
딩(molding) 공정, 리드와 리드를 연결하고 댐바(dam bar)를 절단하는 트림 공정 및 리드를 원하는 형태로 성형시키는 포밍(forming) 공정을 거치게 된다. 그중에서 다이 본딩 공정은 분할된 칩(die)이 이후 공정에서 견딜 수 있는 충분한 강도의 접착력을 갖도록 칩을 고정시키고 칩으로부터 발생하는 열을 방출시키기 위해 적절한 열전도도 및 전기전도도를 부여하는데 있어 매우 중요한 공정이며, 통상적인 다이 본딩 공정순서를 그림 1에 나타내었다[1,2].

본 논문은 지식경제 기술혁신사업(신성장동력장비경쟁력강화사업)의 일환으로 수행중인 'LED 패키지 In-line 자동화 시스템 개발' 과제 연구비 지원으로 수행되었음.

*Corresponding Author : Seok-Jae Ha

Tel: +82-11-9092-2753 email: sjha1103@gmail.com

접수일 12년 07월 31일 수정일 (1차 12년 08월 22일, 2차 12년 09월 14일, 3차 12년 09월 27일) 게재확정일 12년 10월 11일



[그림 1] LED 다이 본딩 공정 순서
[Fig. 1] Typical LED die bonding process

본 연구에서는 이러한 다이 본딩 공정의 최적화 및 공정능력의 평가를 위하여 실험계획법을 적용하여 그 결과를 도출하였다. 각 수준 사이에서의 최적치를 찾을 수 있도록 반응표면설계 및 분석방식(response surface design and analysis)을 적용하였으며, 반응치의 목표치를 적용하여 주요 제어 인자의 최적치를 구한 후, 각 최적치 조건에서 die bonding 공정 진행을 통해 die bonding 공정 반응치를 얻어서 목표치와의 비교 분석 및 공정능력을 평가하였다.

2. 반응표면 분석법

반응표면 분석법 (response surface analysis)은 Box와 Wilson에 의해 시작되었으며, 여러 개의 독립변수가 복합적인 작용을 하여 어떤 종속변수에 영향을 주고 있을 때, 이러한 반응의 변화가 이루는 반응표면에 대한 통계적인 분석방법이다[3,4].

이 모델에서 여러 개의 독립변수 x_1, x_2, \dots, x_k 가 복합적인 작용을 할 때 종속변수 y 는 다음과 같이 나타낼 수 있다.

$$y = f(x_1, x_2, \dots, x_k) \quad (1)$$

반응함수로서 일반적으로 가정되는 간편하고 실용적인 반응표면모형은 k개의 독립변수에 대한 중 회귀모형 (multiple regression model)이다. k개의 독립변수를 가진 1차 2차 회귀모형은 아래와 같다.

$$y = \beta_0 + \sum_{i=1}^k \beta_i x_i + \epsilon_i \quad (2)$$

$$y = \beta_0 + \sum_{i=1}^k \beta_i x_i + \sum_{i \leq j} x_i x_j + \epsilon_i \quad (3)$$

여기에서 ϵ 은 오차로 $N(0, \sigma^2)$ 분포에 따른다고 가정한다.[5]

3. Die Bonding 공정 분석

3.1 Die bonding 공정 분석 및 주요 제어 인자 추출

Die bonding 공정은 일반적으로 Ag paste와 같은 접착제(die attach)를 접착제가 있는 용기에서 칩을 붙이려고 하는 곳으로 정량의 접착제를 옮겨 배치하는 die attach stamping 세부 공정, 칩이 있는 곳에서 칩을 하나씩 떼어 내어 접착제 위에 정확하게 놓는 die pick-up and place 세부 공정으로 구분된다. 이러한 die attach stamping 공정의 주요 제어 인자들은 표 1과 같으며, 이 중에서 장비 개발자 및 운용자의 경험과 장비 조작 메커니즘을 고려하여 선정한 die bonding 결과에 가장 영향을 많이 주는 인자는 epoxy load level과 stamp level 등 두 가지로 분석되었다.

[표 1] 다이 어태칭 공정에서 주요 제어 변수

[Table 1] Important process control parameters for die attach stamping

No	Parameter	Unit	Min	Max	Used value
1	Epoxy load level	μm	90	150	120
2	Epoxy load delay	ms	30	30	30
3	PR delay	ms	30	30	30
4	Disc up level	μm	0	1200	1200
5	Disc up delay	ms	0	50	30
6	Disc up speed	%	0	80	80
7	Break tail level	μm	0	1200	0
8	Break tail delay	ms	0	50	0
9	Break tail speed	%	0	80	0
10	Stamp level	μm	0	100	50
11	Stamp delay	ms	0	50	20
12	Frame up level	μm	0	90	0
13	Frame up delay	ms	0	50	0
14	Frame up speed	%	0	60	0
15	Break tail level	μm	0	600	0
16	Break tail delay	ms	0	30	0
17	Break tail speed	%	0	60	0

또한 die pick-up and place 공정은 die pick-up and place collet의 조작으로 구성되며, 표 2에 나타난 바와 같

이 die bonding 결과에 가장 영향을 많이 주는 인자는 pick-up force, eject pin 2nd up level, bond force 등 세 가지로 분석되었다.

[표 2] 다이 픽업 및 플레이스 공정에서 주요 제어 변수
[Table 2] Important process control parameters for die pick-up and place

Pick-up

No	Parameter	Min	Max	Used value
1	Pick-up force	5g	100g	40g
2	Chip touch level Z	0 μ m	+100 μ m	40 μ m
3	Tape stickiness	unmeasurable		
4	Blue tape expending	unmeasurable		
5	Pressure	-100kPa	-10kPa	-40kPa
6	Eject pin 2nd up level	0.22mm	0.32mm	0.26mm

Place

No	parameter	Min	Max	Used value
1	Bond force	20g	120g	60g
2	Bond speed	1mm/s	50mm/s	4mm/s
3	Bond delay	0ms	50ms	20ms

상기와 같은 데이터를 기초로 die bonding 공정에 가장 영향을 많이 미치는 주요 인자를 5 개로 압축한 결과는 다음의 표 3과 같으며 설정된 수준은 장비 제작 후 작업이 가능한 영역의 중앙값을 기준으로 하였다.

[표 3] 다이 어태칭 공정에서 주요 제어 변수
[Table 3] Important process control parameters for die attach stamping

No	Parameter	Unit	Min	Ave	Max
1	Epoxy load level(ELL)	μ m	90	120	150
2	Stamp level(SL)	μ m	25	50	75
3	Pickup force(PF)	g	20	40	60
4	Eject pin 2nd up level(EP)	mm	0.24	0.26	0.28
5	Bond force(BF)	g	40	60	80

3.2 Die bonding 공정 반응치 결정

Die bonding의 품질을 대변하는 반응치는 본딩 강도(칩 부착 강도:die shear strength), 본딩 위치 정확도(x축 방향 벗어난 양(Δx),y축 방향 벗어난 양(Δy)), 본딩 속도(본딩 단위 공정 소요 시간 : tact time) 등 이며, 표 4에 본 연구를 통하여 달성하고자 하는 각 변수의 목표치를 나타내었다.

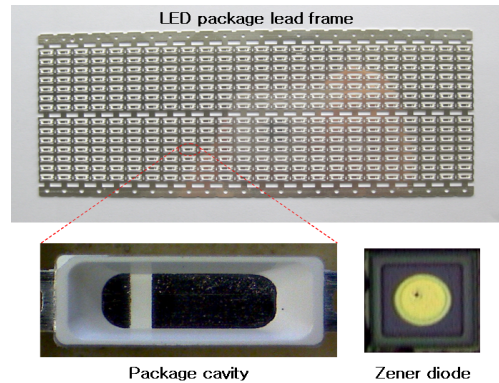
[표 4] 다이 본딩 공정에서 반응 및 목표값

[Table 4] Response and target values of die bonding process

항목	설명	단위	목표
Die shear strength (DST)	칩 부착 강도	gf	min.80 av 150
$\Delta x, dx$	칩이 중심에서 x축 방향으로 벗어난 양	μ m	$< \pm 25$
$\Delta y, dy$	칩이 중심에서 y축 방향으로 벗어난 양	μ m	$< \pm 25$
Δ angle, dang	칩이 틀어진 정도	degree	$< \pm 3$

4. 실험 및 결과분석

4.1 실험계획법 적용



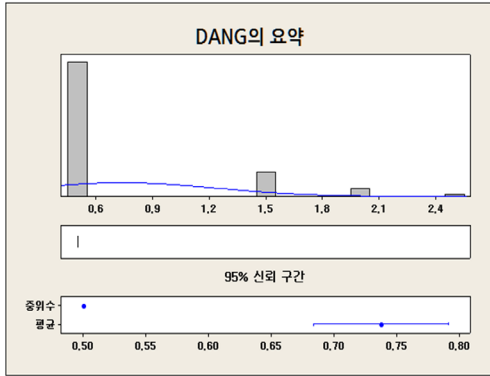
[그림 2] LED 패키지 다이 본딩 시 사용된 재질
[Fig. 2] Used work materials for LED package die bonding

본 연구에서는 LED 패키지 die bonding을 위해 탑뷰(top view) 형태의 가로 24열, 세로 14행의 PLCC(plastic-leaded chip-carrier) 구조의 LED 패키지 프레임, Ag paste (sumitomo metal mining사), 제너다이오드(ODTech사, 200 \times 200 \times 100 μ m) 등을 사용하였으며, 그림 2에 실험에 사용된 자재를 도시하였다. 실험계획법 적용을 위하여 상기에서 도출된 바와 같이 5 인자, 3 수준, 4 반응치를 고려하여 실험계획을 수립하였다.(표 3) 수행될 실험의 가지 수는 46 가지이며, 동일 실험 반복회수는 7회로 총 실험 수는 322 회 (322 개 패키지)로 결정되었다.

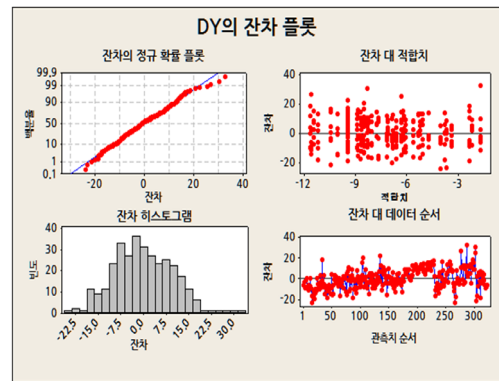
4.2 Die bonding 실험 및 결과

상기의 조건으로 die bonding 실험을 수행하여 DST (die shear test strength), DX (Δx), DY (Δy), DANG (Δ angle)에 대한 반응치를 분석하였으며, die bonding 반응

치 중 $\Delta angle$ (DANG) 결과는 그림 3과 같이 목표치인 $\pm 3^\circ$ 이내에 포함되므로 나머지 세 가지 반응치에 대하여 반응표면 분석을 진행하여 그 결과를 그림 4에 나타내었다.



[그림 3] DOE에 따른 다이 본딩 후 반응 분포
[Fig. 3] Response distribution after die bonding according to DOE

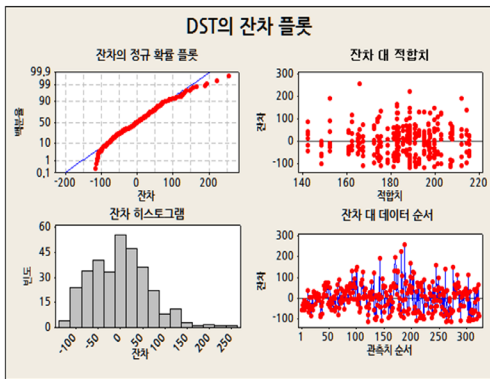


(c) DY (Δy)

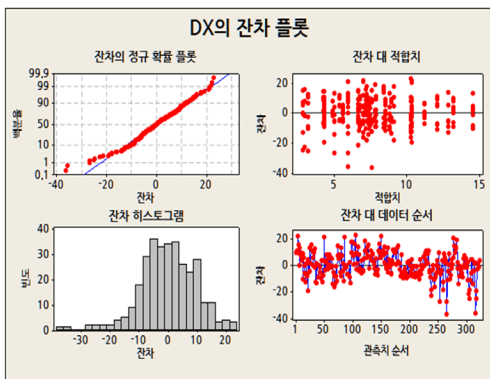
[그림 4] 다이 본딩 이후 반응 표면 분석
[Fig. 4] Response surface analysis after die bonding

4.3 실험 분석 및 최적 조건 도출

반응표면 분석을 진행 한 후, 추가적으로 반응최적화 도구를 이용하여 그림 5와 같이 잠정 최적조건을 도출하였다. 도출된 잠정 최적조건 of the 정수화를 통한 잠정 최적 조건을 조정하였으며, dst, dx, dy 모두 목표를 달성할 것으로 예측되어 이 조건으로 추가적인 검증 실험을 수행하였다.



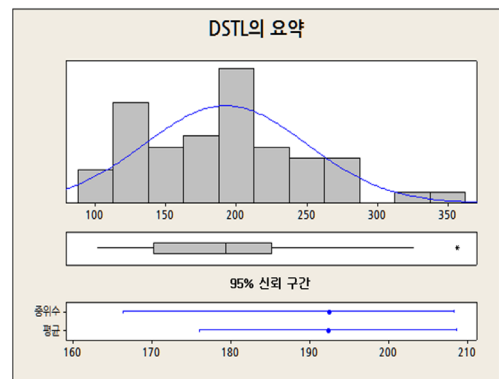
(a) DST(Die Shear Test)



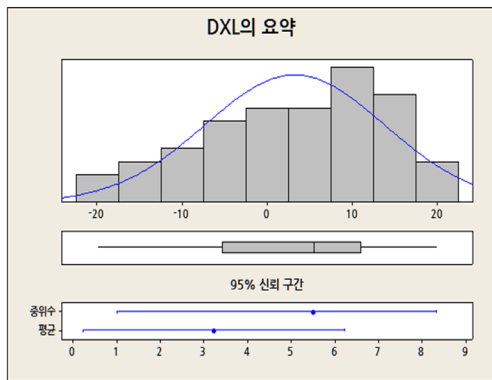
(b) DX (Δx)

새로 만들기	ELL	SL	PF	EP	BF	최적화
D	150.0	75.0	60.0	0.280	80.0	
Cur	(150.0)	(34.0)	(60.0)	(0.280)	(41.0)	
Lo	90.0	25.0	20.0	0.240	40.0	
DST						ELL 150
최대값						SL 34
y=176.2840						PF 60
d=1.0000						EP 0.28
DX						BF 41
목표값: 0.0						dst 176
y=-3.0406						dx 3
d=0.87838						dy 0.2
DY						
목표값: 0.0						
y=0.2012						
d=0.99195						

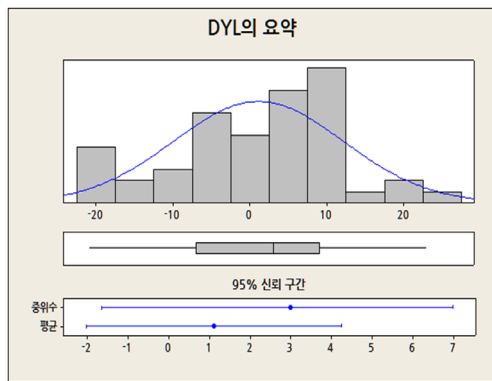
[그림 5] 잠정 최적 조건 도출
[Fig. 5] Adjustment of provisional optimal conditions



(a) DST(Die Shear Test)



(b) DX (Δx)



(c) DY (Δy)

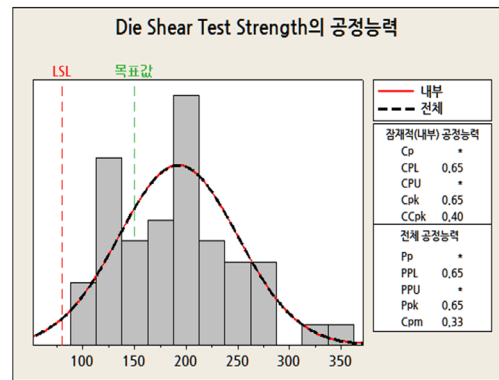
[그림 6] 잠정 최적 조건에서 반응 분포
[Fig. 6] Response distributions at provisional optimal conditions

도출된 잠정 최적 조건에서 50 개 패키지를 대상으로 die bonding 공정을 수행하여 검증을 진행하고 최종적으로 각 반응치별 공정 능력을 평가하였으며, 잠정 최적조건에서의 반응치 산포결과를 그림 6에 나타내었다.

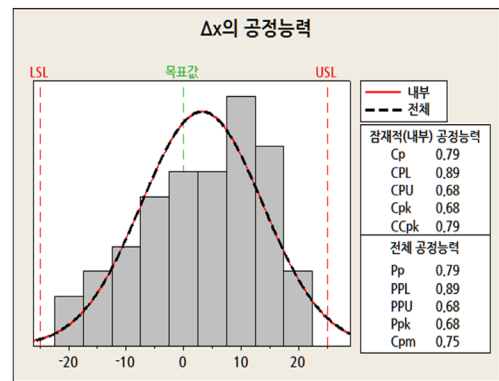
[표 5] 다이 본딩을 위한 최적 조건 도출
[Table 5] Derived optimal conditions for die bonding

Factors	Optimal values
Epoxy load level (ELL)	150 μm
Stamp level (SL)	34 μm
Pick-up force (PF)	60 g
Eject pin 2nd up level (EP)	0.28 mm
Bond force (BF)	41 g

도출된 잠정 최적 조건에서 모든 반응치가 목표를 달성하였으며, 최종적으로 도출된 최적 조건은 표 5와 같고 그림 7,8에 나타내었다.



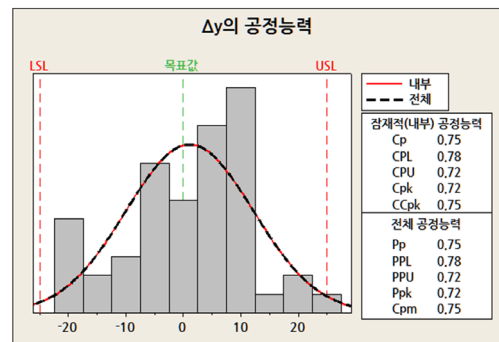
(a) DST(Die Shear Test)



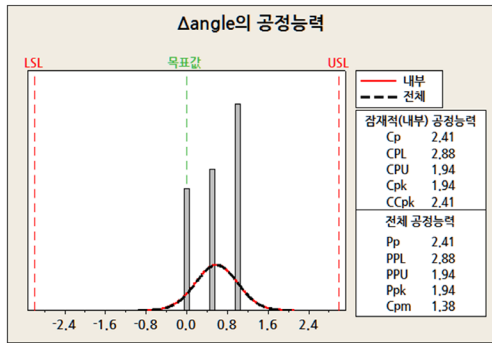
(b) DX (Δx)

[그림 7] 잠정 최적 조건에서 Δx 와 다이 전단 시험 강도에 따른 공정 능력
[Fig. 7] Process capabilities of die shear test strength and Δx at provisional optimal conditions

도출된 최적 조건에서 공정 능력을 평가한 결과, 실제 관측기준으로는 모든 반응치에서 불량률 0%이었지만, C_{pk} 기준으로 die shear test strength는 0.65, Δx 0.68, Δy 0.72, Δangle 1.94 으로 나타났으며, 이는 각각 2.5%, 2.3%, 2.5%, 0% 불량률로 예측되었다.



(a) DY (Δy)

(b) DANG (Δ angle)

[그림 8] 잠정 최적 조건에서 Δy 와 Δ angle, 다이 전단 시험 강도에 따른 공정 능력

[Fig. 8] Process capabilities of Δy and die shear test strength and Δ angle at provisional optimal conditions

5. 실험 결과 및 결론

본 연구에서는 구조 LED 패키지 프레임에 소형 제너 다이오드를 붙이는 die bonding 최적화 실험을 반응표면 분석법을 적용하여 수행하였으며, 그 결과는 다음과 같다.

- (1) Die bonding 반응치(DST (Die Shear Test strength), Δx , Δy , Δ angle)의 목표치 달성을 위한 주요 다섯 개 제어 인자(Epoxy load level (ELL), Stamp level (SL), Pickup force (PF), Eject pin 2nd up level (EP), Bond force (BF))의 최적화를 반응표면 설계 및 분석 방식을 통하여 진행하였다.
- (2) 반응표면설계 및 분석을 통하여 die bonding 공정의 최적 조건은 Epoxy load level (ELL) 150 um, Stamp level (SL) 34 um, Pick-up force (PF) 60 g, Eject pin 2nd up level (EP) 0.28 mm, Bond force (BF) 41 g 이었다.
- (3) 최적 조건에서 6 시그마 수준의 공정능력평가지수 (C_{pk})를 도출하여 공정능력을 평가한 결과, 단기공정 잠재적 불량률은 모든 반응치별로 불량률 0%이었지만, 장기공정 잠재적 불량률은 die shear test strength 2.5%, Δx 2.3%, Δy 2.5%, Δ angle 0%이었으므로 Δ angle의 경우만 6 시그마 수준의 공정능력을 가진 것으로 결론낼 수 있었다.

References

- [1] H. H. Kim, S. H. Choi, S. H. Shin, Y. K. Lee, S. M.

Choi and S. Yi, "Thermal Transient Characteristics of Die Attach in High Power LED PKG", Microelectronics Reliability Vol. 48, pp. 445-454, 2008

- [2] J. R. Ryu, "The Improvement for Performance of White LED chip using Improved Fabrication Process", Journal of the Korea Academia-Industrial cooperation Society, Vol. 13, No. 1, pp. 329-332, 2012
- [3] G. E. P. Box, K. B. Wilson, "On the Experimental Attainment of Optimum Conditions", Journal of the Royal Statistical Society, Ser. B, Vol. 13, pp. 1-45, 1951
- [4] R. H. Myers, D. C. Montgomery, "Response Surface Methodology : process and product optimization using designed experiment", A Wiley-Interscience Publication, 2002
- [5] D. S. Park, W. S. Yoo, Q. Q. Jin, E. J. Seong, J. Y. Han, "Prediction of Material Removal and Surface Roughness in Powder Blasting using Neural Network and Response Surface Analysis", Journal of the Korean Society of Manufacturing Process Engineers, Vol. 6, No. 1, pp. 34-42, 2007
- [6] D. W. Lee, S. S. Cho, "Failure Load Prediction of Tunnel Support using DOE and Optimization Algorithm", Journal of the Korea Academia-Industrial cooperation Society, Vol. 13, No. 4, pp. 1480-1487, 2012
- [7] Y. K. Park, I. S. Um, H. C. Lee, "Design of Experiment and Analysis Method for the Integrated Logistics System Using Orthogonal Array", Journal of the Korea Academia-Industrial cooperation Society, Vol. 12, No. 2, pp. 5622-5632, 2011

하 석 재(Seok-Jae Ha)

[정회원]



- 2006년 2월 : 서울산업대학교 금형설계학과 (공학사)
- 2010년 2월 : 인하대학교 기계공학과 대학원 (공학석사)
- 2010년 3월 ~ 현재 : 인하대학교 기계공학과 대학원 박사과정

<관심분야>

마이크로 절삭 모니터링, 마이크로 생산 시스템

조 용 규(Yong-Kyu Cho)

[정회원]



- 2010년 2월 : 인하대학교 기계공학과 (공학사)
- 2012년 2월 : 인하대학교 기계공학과 대학원 (공학석사)
- 2012년 3월 ~ 현재 : 인하대학교 기계공학과 대학원 박사과정

<관심분야>

Maskless Lithography

최 원 호(Won-Ho Choi)

[정회원]



- 1992년 2월 : 동서대학교 기계공학과 (전문학사)
- 1992년 ~ 1998년 : 에스제이 엔지니어링
- 2005년 ~ 2007년 : (주)알티에스 FA사업부 개발팀장
- 2009년 ~ 현재 : (주)우리 ATEC 연구소장

<관심분야>

LED packaging, CAD/CAE, 금형 및 FA 부분

조 명 우(Myeong-Woo Cho)

[정회원]



- 1983년 2월 : 서울대학교 기계설계과 (공학사)
- 1985년 2월 : 서울대학교 기계설계과 대학원 (공학석사)
- 1985년 ~ 1989년 : 한국생산성본부 자동화 사업부 전문위원
- 1992년 2월 : University of Illinois (공학박사)

- 1993년 ~ 1997년 : 대우전자 시스템 사업부 부장
- 1997년 2월 ~ 현재 : 인하대학교 기계공학과 교수

<관심분야>

CAD/CAM/CAI, 마이크로 생산 시스템, 머신 비전

이 광 철(Kwang-Cheol Lee)

[정회원]



- 1997년 8월 : 전남대학교 무기재료공학과 (공학사)
- 2001년 2월 : 전남대학교 무기재료공학과 (공학석사)
- 2001년 ~ 2007년 : LG이노텍(주) LED연구소 선임연구원
- 2010년 8월 : 전남대학교 신소재공학과 (공학박사)

- 2007년 ~ 현재 : 한국광기술원 LED연구사업본부 선임연구원

<관심분야>

광소자 (LD/LED), 광소자 패키징, 발광재료, 형광체