

FPGA 재구성 메모리의 소프트웨어 정정을 위한 제어기의 설계

백종철¹, 김형신^{1*}
¹충남대학교 컴퓨터공학과

Soft error correction controller for FPGA configuration memory

Jongchul Baek¹ and Hyungshin Kim^{1*}

¹Department of Computer Science and Engineering, Chungnam National University

요 약 FPGA(Field Programmable Gate Array) 디바이스는 회로의 개발 기간을 단축할 수 있으며, 낮은 비용으로 자체적인 회로를 구현할 수 있다는 장점이 있다. FPGA 중에서도 SRAM기술을 사용하는 FPGA는 게이트의 집적도가 높아 복잡한 회로의 구현이 가능하고, 구현한 회로를 동적으로 변경할 수 있는 특징이 있어, 최근 인공위성의 탑재 컴퓨터에 그 사용빈도가 증가하고 있는 추세다. 그러나, SRAM 기반 FPGA는 우주 방사선 입자들에 의한 오류 현상인 단일사건오류에 취약하여, 우주에서 사용할 때에는 이를 검출하고, 정정할 수 있는 회로를 탑재해야 한다. 이 논문에서는 FPGA의 내부 모듈 중에서 SEU에 가장 취약한 재구성 메모리를 보호하는 제어기를 설계하였다. 제어기는 SEU에 강한 Anti-Fuse방식의 FPGA에 구현하였으며, 실제 회로 구현 후, 방사능 시험을 수행한 결과, 본 연구에서 제안한 재구성 메모리 보호 제어기를 기존의 TMR회로와 함께 사용하면, 보다 우수한 고장허용성을 갖는 것을 입증하였다.

Abstract FPGA(Field Programmable Gate Array) devices are widely used due to their merits in circuit development time, and development cost. Among various FPGA technologies, SRAM-based FPGAs have large cell capacity so that they are attractive for complex circuit design and their reconfigurability. However, they are weak in space environment where radiation energy particles cause Single Event Upset(SEU). In this paper, we designed a controller supervising SRAM-based FPGA to protect configuration memory inside. The controller is implemented on an Anti-Fusing FPGA. Radiation test was performed on the implemented computer board and the result show that our controller provides better SEU-resilience than TMR-only system.

Key Words : Soft error correction, Single event upset, Configuration memory, FPGA

1. 서론

최근 인공위성의 탑재 컴퓨터에 FPGA(Field Programmable Gate Array)를 사용하는 빈도가 증가하고 있다[1]. FPGA는 ASIC(Application-Specific Integrated Circuit)에 비해 비용이 낮고, 개발 시간이 짧다는 장점을 가지고 있다. FPGA 중에서 특히 SRAM 기반의 FPGA는 회로의 집적도가 높아 복잡한 회로의 구현이 가능하고 구현된 회로를 동적으로 변경할 수 도 있다. 이러한 장점들로 인해 인공위성의 탑재 컴퓨터에서는 복잡한 전용 회로를 구현하거나, 발사 후 궤도에서 동작 중에 위성의

오류를 수정하거나 기능을 개선하는 등의 목적으로 SRAM 기반의 FPGA를 사용하고 있다.

하지만 이러한 장점에도 불구하고 SRAM 기반의 FPGA를 우주에서 사용하기 위해서는 우주 방사선에 의해 발생하는 SEU(Single Event Upset) 문제를 해결해야 한다[2]. 태양에서 발생한 방사선 에너지 입자들이 메모리 소자와 충돌하여 저장된 비트 값이 바뀌는 현상을 SEU이라고 한다. FPGA에서 SEU는 고 에너지 입자가 SRAM 기반 FPGA의 표면에 충돌하여 발생하는데 해당 소자의 값이 '0'에서 '1'로 '1'에서 '0'으로 변경되는 소프트웨어의 성격을 갖는다. 이러한 문제에 대응하기 위해

본 논문은 한국연구재단의 우주기초원천기술개발 사업(2012-0006617)으로부터 지원받아 수행되었음

*Corresponding Author : Hyungshin Kim

Tel: +82-10-2085-3860 email: hyungshin@cnu.ac.kr

접수일 12년 07월 27일

수정일 12년 09월 11일

게재확정일 12년 11월 08일

메모리의 내용을 오류정정 코드와 함께 기록한 뒤, 주기적으로 메모리의 내용을 읽어 내어 오류가 발생한 경우, 오류정정 코드를 이용하여 오류를 정정하는 방법이 사용되었다[3].

SRAM기반 FPGA도 메모리 소자를 기본회로로 채택하고 있기 때문에, 일반 메모리 디바이스와 마찬가지로 SEU에 취약성을 갖게 된다. FPGA에서 SEU는 메모리 블록, 플립플롭, 재구성 메모리 블록 등에서 발생할 수 있으며, 이 중 가장 면적이 넓은 재구성 메모리 블록에서의 SEU 발생 빈도가 가장 높다[4]. 재구성 메모리 블록은 FPGA의 내부 구현 회로의 정보를 가지고 있어 이 부분이 변경되면 지상에서 구현되었던 기능이 변경되어 정상적인 동작을 보장할 수 없게 된다.

SRAM 기반의 FPGA를 SEU로부터 보호하기 위한 방법으로는 내부 회로의 로직을 삼중화 방법이 제안되었다[5][6]. 삼중화 회로를 사용하는 방법은 이중 에러에 대해 취약한 점을 가지고 있으며 에러가 쌓이게 되면 정상적인 동작을 보장할 수 없게 된다. 또한 삼중화로 인해 고용량의 FPGA가 필요하게 되어 비용상 어려움이 발생한다. 또 다른 방법은 재구성 메모리 영역을 집중 감시하는 회로를 구현하는 것이다. 별도의 회로를 두어 FPGA의 재구성 메모리를 주기적으로 테스트하고, 오류가 검출되면 동적으로 회로를 재구성하는 방법을 사용한다.

본 논문에서는 Xilinx사의 Virtex 시리즈 FPGA의 재구성 메모리를 회로에서 CRC(Cyclic Redundancy Check)값의 비교를 통하여 SEU의 판단 여부를 결정하는 회로를 설계하였다. 기존의 연구에서는 FPGA에서 SEU로 인한 오류가 검출되면 회로 전체를 재구성하는 방식으로 오류를 정정하였으나[7], 본 연구에서는 FPGA의 부분 재구성[8] 방식을 사용하고, 재구성정보의 CRC를 사용하여 오류 검출 및 재구성 시간을 단축하였다. 개발한 회로를 실제 방사선에 노출시켜 실험하여 오류정정 성능을 분석하였다.

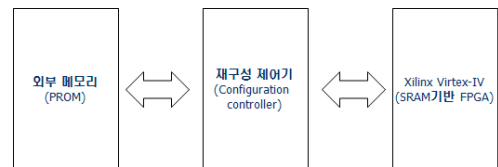
본 논문의 구성은 다음과 같다. 2장에서는 본 연구의 대상인 Xilinx FPGA의 재구성 메모리를 보호하기 위한 재구성 제어기의 구조를 소개하고, 주요 동작모드를 설명한다. 3장은 이 연구에서 제안하는 재구성 제어기의 소프트웨어 검출 및 정정회로의 설계에 관해서 기술하고 4장에서는 실제 방사선에 노출시켜 실험한 결과를 설명한다. 5장에서는 본 연구의 결론을 도출한다.

2. FPGA 재구성 제어기

이 논문에서는 SRAM기반 FPGA인 Xilinx Virtex-4[7]

의 재구성 메모리에서 발생하는 소프트웨어를 검출하고 정정하는 제어기를 구현하였다. 그림 1은 본 연구가 적용된 재구성 메모리 보호시스템의 구조도를 보여준다. Xilinx FPGA에는 삼중화된 마이크로 프로세서회로가 내장되어 있으며, 그림 중앙의 재구성 제어기는 Anti-Fuse 방식의 FPGA로 소프트웨어가 발생하지 않는 부품이며[9], 이곳에 재구성 메모리를 보호하는 제어회로를 구현하였다. 이 제어기를 Supervisor라고도 부른다. 그림 왼쪽에 위치하는 외부 메모리는 우측의 Virtex FPGA회로의 재구성시에 사용할 수 있는 회로 비트맵 데이터를 저장하고 있다. 재구성제어기의 역할은 Virtex FPGA 내부의 재구성 메모리를 주기적으로 읽어내어 외부 메모리 저장되어 있던 재구성 데이터와 비교하고, 일치하지 않으면, 소프트웨어의 발생으로 판단한다. 소프트웨어가 발견되면, 재구성 제어기는 외부 메모리에 저장된 재구성 정보를 Virtex FPGA에 동적으로 부분 수정을 가하는 방식으로 소프트웨어를 정정한다.

FPGA 재구성 메모리의 재구성제어기는 FPGA기반 컴퓨터의 부팅시 초기 회로 구성을 수행한다. FPGA에 정상적으로 회로가 로딩 되고, 소프트웨어가 실행되면, 제어기는 재구성 메모리의 소프트웨어발생 여부를 주기적으로 검사한다. 오류 검출시 외부 메모리에 저장된 무결성의 재구성 데이터를 사용하여 Xilinx FPGA를 동적으로 재구성해야 한다. 이를 위해 재구성제어기에 다음의 기능들을 구현한다.

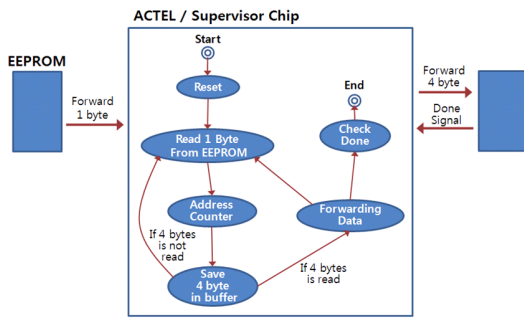


[그림 1] 재구성 메모리 보호시스템의 구조

[Fig. 1] System architecture of configuration controller

1) 완전 재구성(Full Configuration)

완전 재구성은 Xilinx FPGA를 활성화 시켜주는 역할을 한다. 그 기본적인 흐름은 그림 2와 같다. 재구성 제어기에 전원이 인가되고, 리셋이 되면, 외부 EEPROM으로부터 1바이트씩 읽어와 내부의 4바이트 버퍼에 쌓는다. 그리고 어드레스를 증가 시키며 가장 마지막 워드가 써질 때까지 4바이트(1 워드) 씩 데이터를 Xilinx FPGA에 전송한다. FPGA 재구성을 위한 모든 명령어들이 재구성 데이터 파일 안에 포함이 되어 있기 때문에 명령어를 고려하지 않고 단순 전송 작업을 하게 된다.

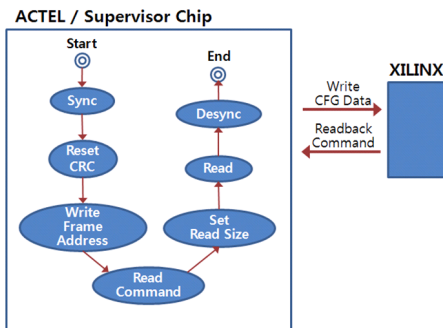


[그림 2] 완전 재구성 흐름도

[Fig. 2] Operation flow of full configuration

2) 읽어내기(Readback)

읽어내기 작업은 현재 구성 되어 있는 구성회로(Configuration) 데이터를 FPGA의 SelectMAP 인터페이스로 꺼내 볼 수 있는 기능으로 소프트웨어를 검출 하는 로직의 주요 부분이라고 할 수 있다. 읽어내기 작업은 그림 3과 같은 제어흐름으로 동작한다. 읽기 작업 실행시 유의할 점은 Xilinx Virtex 시리즈는 동작 중 읽어내기를 실행할 경우 Shift Register(SRL16), Distributed RAM(LUTRAM)값이 깨진다는 점이다[10]. 해결책으로 Virtex-4에서는 Control Register(CTL)의 9번째 비트를 BLUTMASK_B로 정의하여 '0'일 경우 SRL16 및 LUTRAM 부분을 마스크 하도록 해야 한다.



[그림 3] 읽어내기 흐름도

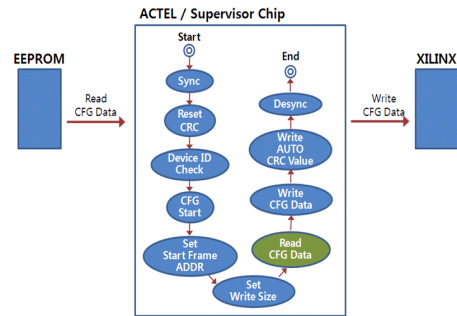
[Fig. 3] Readback Sequence

3) 부분 재구성(Partial reconfiguration)

부분재구성은 검출한 에러를 수정 해주는 역할을 하는 필수적인 요소이다. 부분재구성은 그림 4와 같은 순서로 동작한다.

부분재구성을 위해 쓰기 작업을 하는 동안에도 EEPROM의 데이터를 읽어 와야 하기 때문에, 그림에서

CFG Data Read 작업을 통해 해당 프레임을 읽어 온다.

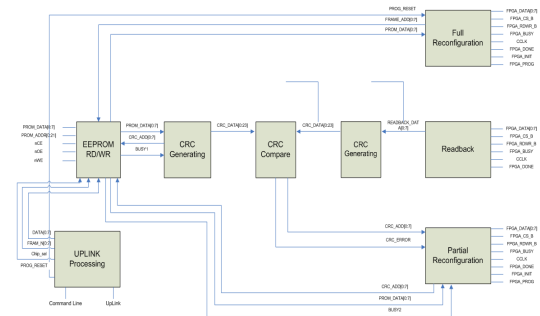


[그림 4] 부분재구성 흐름도

[Fig. 4] Operation flow of partial reconfiguration

3. 소프트웨어 검출 및 정정회로

그림 1과 같은 SEU정정을 위한 재구성제어기를 포함 하는 FPGA기반 컴퓨터에서 소프트웨어로 정정을 위한 제어기의 전체 시스템 구조도는 그림 5와 같다. 앞서 설명한 모듈들을 모두 하나로 통합하는 과정에서 전체 구조를 정의한 것이다. 제어기의 내부는 2장에서 설명한 CRC 처리 모듈, 읽어내기, 부분재구성, 완전재구성 모듈들로 구성되어 있다.

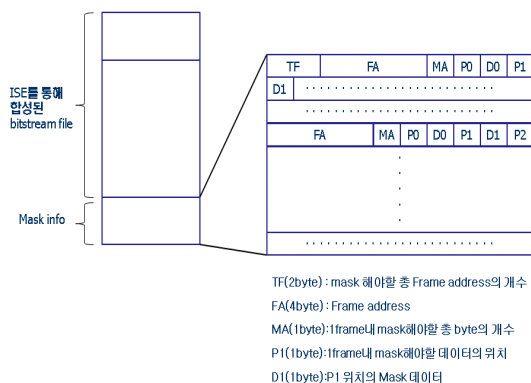


[그림 5] 시스템의 전체 구조도

[Fig. 5] Controller Block Diagram

완전 재구성이 끝나고 난 후 SEU완화 회로인 소프트웨어 검출 회로가 동작 하게 된다. SEU 완화 회로 동작은 프레임 단위로 진행되며 1 프레임(164 바이트)을 읽어 내어 CRC 값을 계산한다. 그 후, EEPROM에서 해당 프레임을 읽어와 CRC값을 계산하여 비교한 후 그 값이 일치하지 않으면 SEU가 발생한 것으로 판단하고, 부분 재구성을 이용하여 해당 부분만을 다시 회로를 재구성한다.

EEPROM에서 데이터를 읽어와 CRC 값을 계산할 때 주의 할 점은 앞에서 설명한 바와 같이 동적으로 값이 변하는 Shift Register(SRL16), Distributed RAM(LUTRAM) 등에 대해서는 마스크 되는 위치 정보를 참조하여 해당 부분을 마스크 하여 CRC값을 계산해야 하는 것이다. 이것을 위하여 마스크 되는 위치 정보를 EEPROM에 기록되는 비트스트림 이미지에 추가시켰다. 그림 6은 마스크 정보가 포함된 비트스트림 이미지의 구조와 마스크 정보의 형태를 보여준다.

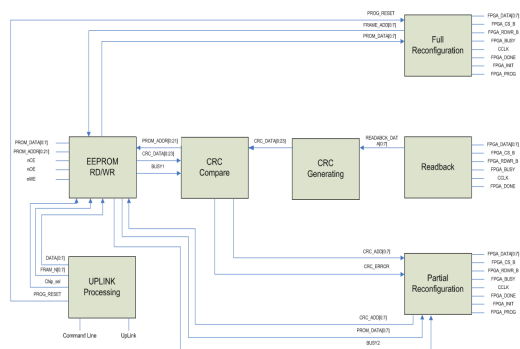


[그림 6] 마스크 정보가 포함된 비트스트림 이미지의 구조와 마스크 정보 형태

[Fig. 6] Bitstream image and mask data structure

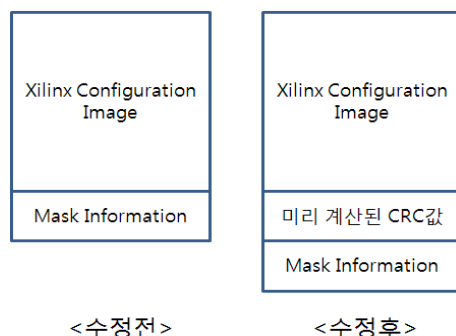
앞서 설명한 방법으로 CRC를 비교하여 소프트웨어를 검출하면 EEPROM의 접근 속도가 느리기 때문에 완화 회로의 속도가 현저히 느려진다. CRC 계산을 프레임단위로 하는데 1 프레임은 164 바이트이다. 읽어내기를 할 때 CRC 값을 계산하는 것은 어찌할 수 없지만 EEPROM에 저장되어 있는 데이터를 읽어와 CRC값을 계산하는 것은 미리 계산된 4바이트 CRC값을 써 놓으므로 해서 속도의 개선이 이루어질 수 있다. 즉, 1 프레임의 CRC 값을 비교할 때 EEPROM에서 164바이트를 읽어오는 것을 4바이트만 읽어오는 것으로 수정하여 속도를 개선하였다. 그림 7은 CRC값의 비교를 위해 EEPROM에 접근하는 횟수를 줄인 수정된 시스템의 전체 구조도이다.

EEPROM에 미리 계산된 CRC값을 써놓아야 하기 때문에 저장되는 비트스트림 이미지도 수정이 되었다. 그림 8은 수정되기 전과 수정된 후 EEPROM에 쓰이는 비트스트림 이미지를 보여준다.



[그림 7] 수정된 전체 시스템 구조도

[Fig. 7] Modified controller block diagram



[그림 8] EEPROM에 쓰이는 비트스트림 이미지
[Fig. 8] Bitstream image on EEPROM

4. 성능 평가

이 장에서는 방사선 테스트를 진행한 결과를 분석한다. 본장의 실험에서 사용된 SRAM기반 FPGA에는 Leon-3[11]라고 하는 임베디드 프로세서가 구현되어 있으며, 소프트웨어 보정을 위해 내부 회로의 삼중화 기법이 적용되었다.

본 연구에서는 EEPROM에서 데이터를 가져오는 횟수를 줄임으로써 읽어내기의 속도를 향상 시켰다. 표 1은 CRC 값을 비교하기 위해 EEPROM에 접근하는 횟수를 수정하기 전과 후의 1 사이클 읽어내기 작업의 속도를 비교한 것이다. 이것은 Virtex-4 1000만 게이트에서 측정된 것으로 약 4.5배의 속도 향상이 이루어 졌다.

[표 1] Readback 1 Cycle 속도 비교

[Table 1] Readback 1 cycle time

분류	단위	
Time	개선 전	개선 후
	8.4초	1.9초

표 2는 CRC 비교 알고리즘을 개선하기 전 방사선 테스트를 한 결과이다. 한국원자력병원에서 테스트를 진행하였으며, 부품들에 방사선이 축적되면 누적된 방사선으로 칩에 영구적인 오류가 발생할 수 있기 때문에 각 실험은 15초 동안 진행하였다. 실험 방법은 Virtex-4 FPGA에 Leon-3 프로세서를 구성한 후 프로세서의 디버그 지원 유닛을 통해 메모리를 읽고 쓰는 소프트웨어를 다운로드하여 동작 시킨 후 Virtex-4 FPGA 칩에만 방사선을 노출시켰다.

실험 결과 초당 1.7번의 SEU 발생 시에는 FPGA에서 실행되고 있는 프로그램이 정상적으로 동작하지만 그보다 높은 강도의 실험에서는 S/W가 동작이 멈춘 것을 확인하였다. SEU 완화 회로는 1회 읽어내기 작업을 하는 시간 즉, 동작 속도가 성능을 좌우 한다. TMR로 보호되고 있는 회로라고 하여도 SEU완화 회로가 SEU를 보정하기 전에 많은 부분에 다중으로 SEU가 발생하면 회로의 변화가 일어나 데이터가 변질 되거나 시스템이 멈춰버릴 수 있다는 것을 확인하였다.

[표 2] CRC 비교 알고리즘 개선 전 방사선 테스트 결과
[Table 2] Radiation test result before CRC improvement

노출 에너지	TMR+ 완화 회로	SEU Rate (SEU#/sec)
23Mev	OK (25 SEUs)	1.7
30Mev	Fail (507 SEUs)	33.8
37Mev	5초간 동작 (294 SEUs)	19.6

표 3은 CRC 비교 알고리즘을 개선한 후의 방사선 테스트 결과를 나타낸다. 성능 개선전의 실험과는 달리 각 실험은 60초당 진행 되었다. 실험은 SEU 정정회로가 전혀 없는 기본회로, 재구성제어기를 포함하는 SEU완화회로, TMR만을 FPGA에 구현한 경우, TMR와 재구성제어기 모두를 구현한 경우에 프로그램의 정상동작여부, 검출된 SEU의 수, SEU 발생빈도를 측정하였다.

표 3의 결과를 보면 초당 약 28번의 SEU 발생 비율에서도 FPGA 내의 프로세서에서 프로그램이 정상적으로 동작함을 알 수 있다. 이것은 CRC 비교 알고리즘을 개선 후 전체 재구성 메모리를 읽어내기 작업을 수행하는 시간이 약 4.5배 정도 빨라져 SEU 완화 회로의 성능이 비약적으로 발전했음을 알 수 있다.

[표 3] CRC 비교 알고리즘 개선 후 방사선 테스트 결과
[Table 3] Radiation test result after CRC improvement

노출 에너지	기본 회로	SEU 완화 회로	TMR only	TMR+ SEU 완화회로	SEU Rate (SEU#/sec)
30.3 Mev	X	X	X	O 1421 SEUs	23.68
33.98 Mev	X	X	X	O 1732 SEUs	28.86
37.4 Mev	X	X	X	X 2205 SEUs	36.75

5. 결론

본 연구에서는 SRAM 기반 FPGA의 재구성 메모리 블록을 SEU로 불리는 소프트웨어로부터 보호할 수 있는 재구성 메모리 제어기를 설계하고 그 성능을 평가하였다. 구현한 재구성 메모리 제어기는 Xilinx Virtex-4 FPGA를 보호하기 위한 회로로, FPGA의 부분재구성 회로를 사용하였으며, 특히 재구성 비트스트림 이미지의 CRC를 계산하여, 런타임에 FPGA로부터 재구성 데이터의 CRC를 주기적으로 계산한 후, 서로 비교하여 오류를 검출하는 방식으로 구현되었다. SEU의 누적 가능성을 줄이기 위해 전체 비트스트림 데이터가 아닌 CRC데이터만을 사용하였으며, 그 결과 삼중화 기법을 단순 사용한 경우보다 우수한 내방사선 성능을 보임을 실험을 통해 입증하였다.

References

- [1] Agustin Fernandez-Leon, "Field programmable gate arrays in space", IEEE Instrumentation & measurement magazine, Vol.6, No.4, pp.42-48, 2003.
- [2] F. Vargas and M. Nicolaidis, "SEU-tolerant SRAM design based on current monitoring", Proc. of 24th Intl. Symp. on fault-tolerant computing, pp.106-115, IEEE, 1994.
- [3] H. S. Kim, J. H. Park, K. H. Kim and S.D. Choi, "On-board computer system for KITSAT - The first Korean satellite," IEEE/AIAA 13th Digital Avionics Systems Conference, pp.34-39, Oct. 1994.
- [4] E. Fuller et al, "Radiation characterization, and SEU mitigation, of Virtex FPGA for space-based reconfigurable computing", Presented at NSREC, Oct. 2000.

- [5] C. Carmichael. "Triple Module Redundancy Design Techniques for Virtex® Series FPGA", Application Notes 197. San Jose, USA: Xilinx, 2000.
- [6] Kastensmidt, F. L., L. Sterpone, et al. "On the Optimal Design of Triple Modular Redundancy Logic for SRAM-based FPGAs." Proceedings of Design, Automation and Test in Europe, pp.290-295, 2005.
- [7] Adell, P and G. Allen, "Assessing and mitigating radiation effects in Xilinx FPGAs", JPL Publication, 08-9, 2008.
- [8] C. Bolchini et al, "TMR and partial dynamic reconfiguration to mitigate SEU faults in FPGAs", Proc. of 22nd IEEE Int. Symp. on Defect and Fault Tolerance in VLSI Systems, pp.87-95, 2007.
- [9] J. J. Wang, "Radiation effects in FPGAs", Actel cooperation
- [10] Xilinx, "Virtex-4 Configuration Guide", UG071, 2007.
- [11] Jiri Gaisler, "Leon Sparc processor, The past, present, and future", <http://www.gaisler.com>

백 종 철(Jongchul Baek)

[정회원]



- 2011년 2월 : 충남대학교 컴퓨터 공학과 (석사)

<관심분야>

내장형 시스템, 시스템 소프트웨어

김 형 신(Hyungshin Kim)

[정회원]



- 1990년 12월 : Univ. of Surrey, 위성통신공학 (석사)
- 2003년 2월 : 한국과학기술원 전산학과 (박사)
- 2003년 4월 ~ 2004년 2월 : Carnegie Mellon Univ. 박사후 연구원
- 2004년 2월 ~ 현재 : 충남대학교 부교수

<관심분야>

내장형 시스템, 시스템 소프트웨어, 우주용 컴퓨터