

# 안티퓨즈 MOS capacitor를 이용한 OTP 소자의 프로그래밍 후의 저항특성

장성근<sup>1\*</sup>, 김윤장<sup>2</sup>

<sup>1</sup>청운대학교 전자공학과, <sup>2</sup>국립창원대학교 기초과학연구소

## The resistance characterization of OTP device using anti-fuse MOS capacitor after programming

Sung-Keun Chang<sup>1\*</sup> and Youn-Jang Kim<sup>2</sup>

<sup>1</sup>Dept. of Eletronics Engineering, Chungwoon University

<sup>2</sup>The Research Institute for Basic Sciences, Changwon National University

**요 약** 안티퓨즈 MOS 커패시터를 기반으로 제작된 OTP 소자의 수율은 프로그램 과정에서 입력 저항(Rin)값과 통과 트랜지스터(Pass Tr)의 크기, 데이터 읽기 과정에서 읽기 트랜지스터(Read Tr)와 읽기 전압에 영향을 받는다. 따라서 수율에 영향을 주는 요소를 분석하기 위해 여러 가지 실험 조건을 달리하여 각각의 조건에 대해 블로잉 후 실험 소자의 저항 특성에 대한 풀 맵(full map) 데이터를 얻어 OTP 소자가 어떻게 동작하는지를 분석하여 수율 개선에 필요한 최적 조건을 연구하였다. 최적 조건은 입력저항이 50 $\Omega$ , 통과 트랜지스터의 W값이 10 $\mu\text{m}$ , 읽기 전압이 2.8 V 일 때이다.

**Abstract** The yield of OTP devices using anti-fuse MOS capacitor have been affected by the input resistance, the size of the pass transistor and the read transistor, and the readout voltage of programed cell. To investigate the element which gives an effect to yield, we analyze the full map data of the resistance characterization of OTP device and those data in a various experimental condition. As a result, we got the optimum conditions which is necessary to the yield improvement. The optimum conditions are as follows: Input resistance is 50 ohms, the channel length of pass transistor is 10 $\mu\text{m}$ , read voltage is 2.8 volt, respectively.

**Key Words** : One time programmable device, Anti-fuse MOS capacitor, Non-volatile memory.

### 1. 서론

현재 OTP(One time programmable) 기억소자는 EEPROM 및 플래쉬 기억소자와 같이 전원이 차단되더라도 저장된 콘텐츠를 보존할 수 있는 비휘발성 기억소자중의 하나이다. OPT 기억소자의 응용분야는 아날로그회로에서의 트리밍, HDMI의 보안키 저장, 프로그래머블 논리 소자의 펌웨어 구성 데이터, 그리고 ID 제품등 다양하다. CMOS 공정기술과 양립할 수 있는 반도체 공정을 사용하여 제조 가능한 OTP 소자는 안티퓨즈(anti-fuse) 소자로 MOS

커패시터를, 소자 프로그래밍과 읽기 동작을 위해 n-MOSFET를 가진 구조이다. 이 소자의 프로그래밍 동작은 게이트 산화막의 항복 특성에 기반을 두고 있기 때문에 게이트 산화막의 항복 메커니즘과 게이트 산화막의 항복 이후의 특성을 이해하는 것이 OTP 소자의 높은 수율을 얻기 위한 핵심 과제이다. 게이트 산화막 항복 메커니즘에 관한 연구는 반도체 산업에서 널리 연구 되어졌던 분야이며 MOSFET에 대한 게이트 산화막의 항복 메커니즘과 그 위치에 대한 많은 논문이 있다[1-3]. 또한 셀 구조 및 well type 변경에 따른 신뢰성 및 수율 평가

본 논문은 2010학년도 청운대학교 교내학술연구비 지원에 의해 수행되었음.

\*Corresponding Author : Sung Keun Chang

Tel: +82-41-630-3233 email: skchang@chungwoon.ac.kr

접수일 12년 03월 15일

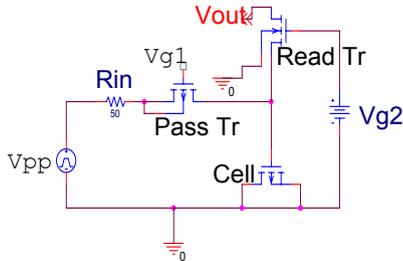
수정일 12년 05월 07일

개재확정일 12년 06월 07일

연구도 진행되나 있다[4-6]. 본 연구는 상기의 CMOS 기술을 이용하여 개발된 OTP 소자에서 p-MOSFET 안티퓨즈 커패시터를 사용하여 게이트 산화막 항복 후의 퓨즈의 실패 저항 특성을 연구하여 수율 저하에 대한 문제점을 분석하고 그 해결방안을 제시함으로써 산업 생산성 향상을 이루어 가격경쟁력을 확보하는데 있다.

## 2. 본론

그림 1은 OTP 셀의 회로도를 나타낸 것이다. 실험은 0.13 $\mu$ m CMOS 제조 공정기술을 이용하여 제작된 2.0nm 두께의 게이트 산화막을 가진 안티퓨즈 MOS 커패시터를 기반으로 이루어졌다. 그림 1의 회로 구조에서 프로그램 과정에서는 소자 제조과정에서 수반되는 입력 저항(Rin)과 통과 트랜지스터(Pass Tr)가 OTP의 수율을 결정하는 주요 요소가 된다. 또한 데이터 읽기 과정에서는 읽기 트랜지스터(Read Tr)가 OTP의 수율을 결정하는 주요 요소이다. 따라서 수율에 영향을 주는 요소를 분석하기 위해 실험 조건을 달리하여 각각의 조건에 대해 풀 맵(full map) 데이터를 얻어 OTP 소자가 어떻게 동작하는지 실패 게이트저항 특성을 분석하여 수율 개선에 필요한 최적 조건을 연구하였다.

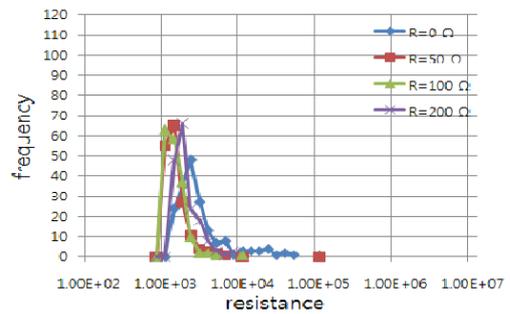


[그림 1] OTP cell 회로구조  
[Fig. 1] The schematic diagram of OTP cell

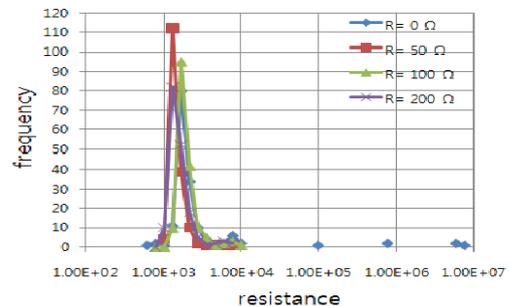
### 2.1 입력 저항이 OTP 셀의 수율에 미치는 영향

입력저항(Rin)은 프로그래밍 펄스전압(Vpp)과 통과 트랜지스터(Pass Tr) 사이에 삽입되며 OTP 제조과정에서 생성되는 입력저항이 OTP 셀(cell) 특성에 미치는 영향을 평가하기 위하여 입력저항 값이 각각 0 $\Omega$ , 50 $\Omega$ , 100 $\Omega$ , 200 $\Omega$ 인 평가용 패턴을 제작하였다. 안티퓨즈 MOS 커패시터는 Vg1=0 V, 프로그래밍 펄스전압 Vpp=8.5 V를 인가하여 MOS 커패시터의 게이트 산화막을 블로잉 시키면 게이트 산화막의 절연이 파괴된다. MOS 커패시터 구조

의 셀에서 소스, 드레인 및 기판 전압을 0 V로하고 셀 게이트 전압을 인가하여 셀 게이트절연이 파괴된 경로를 통해 흐르는 게이트 전류와 셀 게이트 전압 값으로 부터 실패 게이트저항을 계산한다. 그림 2와 그림 3은 입력저항 값이 각각 0 $\Omega$ , 50 $\Omega$ , 100 $\Omega$ , 200 $\Omega$ 인 OTP 셀을 블로잉(blowing) 후 읽기전압(셀 게이트 전압)을 각각 1.5 V, 2.8 V를 인가하였을 경우 실패 게이트저항 값 분포를 보여주고 있다. 그림에서 보는 바와 같이 읽기전압(셀 게이트 전압)을 각각 1.5 V, 2.8 V를 인가한 두 가지 경우 모두 피크에는 큰 차이가 없으나 산포에 약간의 차이가 있음을 보여주고 있다. 즉, 입력저항(Rin)이 0 $\Omega$ 인 경우를 제외하고 특성 차이가 크지 않으며 특히 OTP 소자의 특성 불량 판단의 기준이 되는 안티퓨즈 MOS 커패시터의 게이트 산화막을 블로잉 시킨 후 측정된 실패 게이트저항 값이 모두 1M $\Omega$  이하인 것을 알 수 있다.



[그림 2] 읽기전압 1.5 V에서 입력저항 변화에 따른 블로잉 후 실패 게이트저항 분포  
[Fig. 2] The distribution of the effective post-blowing resistance determined at 1.5 V as a function of the input resistance.

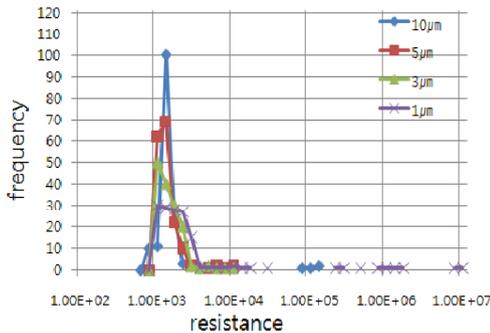


[그림 3] 읽기전압 2.8 V에서 입력저항 변화에 따른 게이트저항 특성 분포  
[Fig. 3] The distribution of the effective post-blowing resistance determined at 2.8 V as a function of the input resistance.

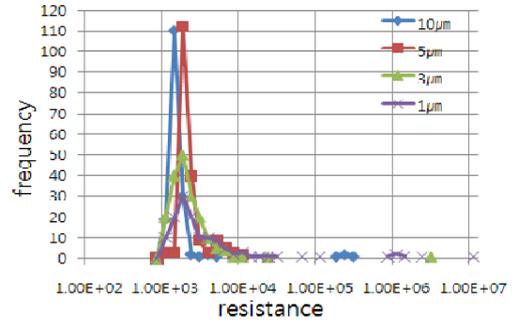
일반적으로 입력저항은 프로그래밍 펄스전압(Vpp) 인가 시 발생하는 피크 전류에 의한 내부 회로의 손상을 막아 주는 역할을 하는 것으로 알려져 있다.

### 2.2 통과 트랜지스터(Pass Tr)가 OTP 셀의 수율에 미치는 영향

OTP 셀이 블로잉 되기 위해서는 일정한 양의 전하가 셀 게이트 산화막내에 쌓여야 하며 셀에 유입되는 전류 값은 통과 트랜지스터의 출력 전류에 의해서 결정된다. 따라서 통과 트랜지스터의 크기는 셀의 블로잉 후 특성을 결정하는 중요한 변수 가운데 하나이다. 그림 4는 입력저항 값을 50Ω, 통과 트랜지스터의 채널 길이를 0.8μm로 일정하게 하고 채널 폭(W)을 10μm, 5μm, 3μm, 1μm로 달리하여 블로잉 후 실효 게이트저항 특성을 읽기전압 1.5 V에서 비교한 것이다. W가 10μm인 경우 산포의 피크 특성은 가장 양호하지만 일부 tail성 분포를 보이고 있다. 반면 W값이 1μm인 경우는 산포의 피크 특성도 열악하고 tail성 분포도 보이고 있다. 그림 6은 통과 트랜지스터의 W변화에 따른 블로잉 후 실효 게이트저항 특성을 읽기전압 2.8 V에서 보여주고 있다. 주목할 만한 점은 읽기전압을 1.5 V에서 2.8 V로 증가 시 전체적인 tail 분포가 개선이 되며, 특히 W값이 5μm인 경우 W가 10μm인 경우와 거의 유사한 분포 특성을 보여주고 있다. 이러한 결과는 OTP IP 설계 시, 프로그램 되어진 셀의 읽기 여유도를 개선할 수 있는 중요한 단서를 제공한다.

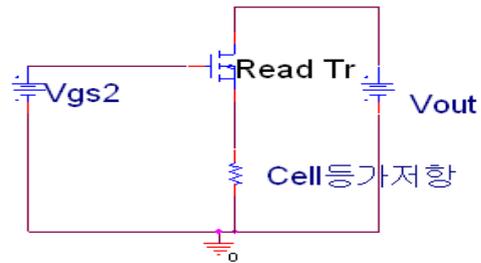


[그림 4] 읽기전압 1.5 V에서 통과 트랜지스터의 채널 폭 변화에 따른 블로잉 후 실효 게이트저항 분포  
 [Fig. 4] The distribution of the effective post-blowing resistance determined at 1.5 V as a function of the channel width of pass transistor.



[그림 5] 읽기전압 2.8 V에서 통과 트랜지스터의 채널 폭 변화에 따른 블로잉 후 실효 게이트저항 분포  
 [Fig. 5] The distribution of the effective post-blowing resistance determined at 2.8 V as a function of the channel width of pass transistor.

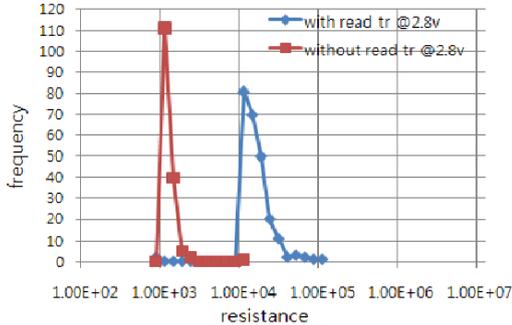
### 2.3 읽기 트랜지스터(Read Tr)가 OTP 셀의 수율에 미치는 영향



[그림 6] 블로잉 후 읽기 트랜지스터를 가진 셀 등가회로  
 [Fig. 6] Equivalent circuits of OTP cell with read transistor after blowing.

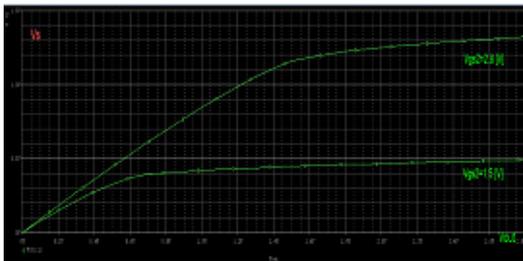
그림 7은 그림 6과 같이 셀과 출력(Vout)단과의 사이에 NMOSFET (W/L=2μm/0.8μm) 읽기 트랜지스터(Read Tr)가 추가됨에 따라 블로잉 후 실효 게이트저항의 산포 특성이 열악해지는 것을 보여주고 있다. 이는 그림 8에서 보는 바와 같이 읽기 트랜지스터에 의한 V<sub>DS</sub> 전압 강하에 따른 셀 저항 양단의 전압이 감소하여 동일한 출력 전압에서도 셀 전류가 감소함을 의미한다. 그림 8은 그림 7에서 V<sub>gs2</sub> 전압이 1.5 V 및 2.8 V 일 경우 셀 저항 양단의 전압(V<sub>s</sub>)이 0.5 V 및 1.3 v로 각각 감소함을 나타내고 있다. 따라서 게이트 저항(셀 등가저항)이 증가하고 그림 7에서 보는바와 같이 저항분포가 오른쪽으로 이동됨을 알 수 있다. 읽기 트랜지스터는 셀 블로잉 후 특성 확인을 위해서 추가되는 소자로서 프로그래밍은 내부 로직 회로를 보호하는 역할을 한다. 또한 게이트단의 전압 조정

을 통하여 블로잉 후 실효 게이트저항 특성을 개선할 수 있다.



[그림 7] 읽기 트랜지스터의 유무에 따른 블로잉 후 실효 게이트저항 분포

[Fig. 7] The distribution of the effective post-blowing resistance determined at 2.8 V on OTP cell with read transistor, and without read transistor.



[그림 8] 읽기 트랜지스터를 가진 셀 등가회로의 셀 양단 전압(Vs)

[Fig. 8] Cell voltage in equivalent circuits of OTP cell with read transistor after blowing.

### 3. 결론

입력저항이 0인 경우 블로잉 후 실효 게이트저항 특성의 산포가 일부 tail 성 불량을 보이며, 이러한 tail성 불량은 OTP 셀 어레이로 구성되어 있는, IP에서 프로그램 불량을 유발할 가능성이 높다.

본 실험에서 평가된, OTP 셀 소자의 최적 읽기 전압은 2.8 V, 입력저항은 50Ω일 때이다. 통과 트랜지스터에 대한 수율 영향 평가에서는 W값이 증가할 때 블로잉 후 실효 게이트저항의 피크 특성은 개선되나, W값이 10μm인 경우, 일부 tail 분포를 보이고 있다. 따라서 프로그램 시 셀에 유입되는 전하량이 클수록, 저항 분포 특성이 개

선되는 것이 아니라, 최적 전하량이 존재하는 것으로 보입니다. 또한 읽기 전압을 1.5 V에서 2.8 V로 증가할 때 W= 5μm인 시료의 수율 특성이 개선되는 것으로 보아 향후 셀 크기 축소시 통과 트랜지스터를 W= 10μm에서 W= 5μm으로 줄일 수 있을 것으로 판단되며 최적 조건은 읽기 전압 2.8V에서 W= 10μm일 때이다. 셀 블로잉 후 실효 게이트저항 특성 확인을 위해서 추가되는 읽기 트랜지스터로 인해 셀 블로잉 후 실효 게이트저항 특성분포가 열악해졌으며 이는 읽기 전압을 증가시켜 실효 게이트저항 특성을 개선 할 수 있다.

### References

- [1] L. J. Tang, K. L. Pey, C. H. Tung, M. K. Radhakrishnan, and W. H. Lin, "Gate Dielectric-Breakdown-Induced Microstructural Damage in MOSFETs", IEEE Trans. on device and materials Rel. Vol. 4 No. 1 p. 38, 2004.
- [2] N. Mathur, Y. Ahn, I. Kouznetov, F. Jenne, J. Fulford, "One Time programming Device Yield Study Based On Anti-Fuse Gate Oxide breakdown on P-type and N-type Substrates", IEEE IIRW p. 111, 2005.
- [3] R. Degraeve, A. D. Keersgieter, G. Groeseneken, "Relationship between Breakdown Mode And Breakdown Location in Short Channel NMOSFETs and its impact on reliability specifications", IEEE 39th Annual International Reliability Physics Symposium, p. 360, 2001.
- [4] Hee Eng Gek, Chee Boon Jiew, Alexander Tan Chuan Chien and Seok Sewoon, "Influence of Conformal Nitride Material Impacting the OTP & MTP Data Retention Performance", IEEE ICSE Proc, p.383, 2008
- [5] J.Peng, G. Rosendale, M. Fliesler, D. Fong, J. Wang, C. Ng, ZS Liu, Harry Luan, "A Novel Embedded OTP NVM Using Standard Foundry CMOS Logic Technology", IEEE NVSMW p.24, 2006.
- [6] Tsung-Yu Chiang, Ming-Wen Ma, Yi-Hong Wu, Po-Yi Kuo, Kuan-Ti Wang, "MILC-TFT With High-κ Dielectrics for One-Time-Programmable Memory Application", IEEE Electron Device Lett. p.954, 2009.

장 성 근(Sung-Keun Chang)

[종신회원]



- 1984년 2월 : 경북대학교 전자공학과 (학사)
- 1993년 2월 : 포항공과대학교 전자전기공학과 (석사)
- 1996년 8월 : 포항공과대학교 전자전기공학과 (박사)
- 1996년 8월 ~ 2000년 2월 : 현대전자 메모리연구소 책임연구원
- 2000년 3월 ~ 현재 : 청운대학교 전자공학과 (교수)

<관심분야>

반도체소자, 디스플레이

김 윤 장(Youn-Jang Kim)

[정회원]



- 1984년 2월 : 한양대학교 물리과 (학사)
- 1986년 2월 : 한양대학교 물리학과 (석사)
- 2002년 2월 : 포항공과대학교 전자전기공학과 (박사)
- 2002년 8월 ~ 2011년 12월 : 매그나칩 반도체 CE NED 소자팀 (수석연구원)
- 2012년 2월 ~ 현재 : 국립중앙대학교 기초과학연구소 (전임연구원)

<관심분야>

반도체소자, 디스플레이 소자, 강유전체