

AC 커플링 기반 무선 신호 전송을 위한 평면 나선형 인덕터의 특성

김재욱^{1*}

¹남서울대학교 전자공학과

Characteristic of Planar Spiral Inductor for Wireless Signal Transmission based on AC Coupling

Jae-Wook Kim^{1*}

¹Department of Electronics Engineering, Namseoul University

요 약 본 논문에서는 고주파수 무선 신호 전송을 위한 AC 커플링(Coupling) 기반의 평면 나선형 인덕터를 제안하고, 이에 대한 다양한 구조의 인덕터를 설계, 모델링 및 특성을 분석하였다. 커패시턴스의 의한 영향을 줄이기 위해서는 두 박막 인덕터가 서로 평행하게 위치함으로써 인덕터 간의 커패시턴스를 줄여야 한다. 이를 위해 두 가지 구조를 제안하였다. 첫 번째 구조는 inter-diagonal 구조로 평행한 두 인덕터의 도선 부분이 겹치지 않게 만든 구조이다. 이 구조의 경우 비록 평행하게 겹치지는 않지만 도선의 두께와 폭이 좁으므로 서로 엇갈리는 위치에 도선이 위치하더라도 실제 커패시턴스의 변화가 작아서 전체적인 S-파라미터의 특성이 크게 변하지 않았다. 두 번째 구조는 On-chip형 구조로 두 박막 인덕터가 평행하게 존재하지만 마주보지 않게 사선형으로 배치한 구조이다. 이 구조의 경우 박막 인덕터 간의 수평거리가 길어짐에 따라 두 번에 걸쳐서 일어나는 공진이 한 번으로 줄어들어 줄 수 있는데, 이는 두 인덕터 간의 거리가 멀어짐으로 인해 박막 인덕터 간의 커패시턴스 영향이 점점 줄어들기 때문이다.

Abstract In this paper, we proposed planar spiral inductors based on AC coupling for high-frequency wireless signal transmission. Design and characteristics of various structures of the inductor were analyzed. Capacitance between the inductors can be reduced by positioning two thin-film inductors in parallel. So two structures were proposed. First structure is inter-diagonal structure. This structure was made not to overlap the wire part of the paralleled two inductors. Second structure is On-chip type structure that the two thin-film inductors were in parallel but located on diagonal line not to face each other. The resonance in this structure was reduced from twice to once by increasing horizontal distance between the two thin-film inductors, because the capacitance effect between the two thin-film inductors decreases when the distance between the two inductors increases.

Key Words : Spiral, Planar, Inductor, AC, Coupling

1. 서론

현재 반도체 기술의 급속한 발전으로 인해 메모리 소자의 동작주파수 및 저장용량이 매년 급속히 증가하는 추세이다. DDR-SDRAM, SGRAM, DRAM 등의 소자들은 초당 수기가 급 처리속도를 보이고, 메모리 및 ASIC(Application Specific Integrated Circuit) 등과 같은

반도체 집적회로의 칩은 그 기능이 다양화되고 고집적화 되어가는 반면, 소자의 크기는 상대적으로 작아지는 추세이다. 더불어 소자의 패드 크기가 작아지고, 패드 사이의 간격 또한 협소화되어 가고 있다. 특히 반도체 생산 공정에서 웨이퍼에 집적된 IC 칩의 불량 여부를 판별하기 위한 검사시스템에 대한 제조기술도 상대적으로 빠른 발전이 요구되고 있다. 그 중 검사시스템과 웨이퍼 사이의 전

이 논문은 12년도 남서울대학교 학술연구비 지원에 의해 연구되었음.

*Corresponding Author : Jae-Wook Kim

Tel: +82-11-250-9826 email: jwkim@nsu.ac.kr

접수일 12년 08월 22일

수정일 12년 09월 05일

게재확정일 12년 09월 06일

기적 신호를 연결하는 무선통신 기술의 개발과 발전은 앞으로 반도체 제조 및 검사공정에 있어서 핵심이 될 것이다[1,2].

현재까지 반도체소자 분야에서는 소자의 동작속도 향상, 크기의 집적화 및 저소비 전력화를 위하여 트랜지스터, 커패시터, 게이트구조의 변경, 고유전율 게이트박막, 저유전율 ILD(Inter Layer Dielectric), 다층의 금속배선 등 웨이퍼 평면 내에서 많은 소자를 집적화하기 위한 다양한 연구와 개발을 진행하여 왔다. 그러나 이와 같은 방법들을 이용하여 웨이퍼 평면에서 고집적화를 달성하는 것은 물리적 한계에 도달하게 되었고, 다수의 다이를 수직으로 적층하는 3차원 패키지 기술이 새롭게 제안되었다. 이러한 기술을 적용하면, 수직으로 다이를 적층하기 때문에 소자의 면적을 줄일 수 있고, 센서와 로직과 같은 이중의 다이를 적층함으로써 다기능화가 가능하다 [3]. 또한 소자 또는 다이 사이의 전기적 연결을 위한 금속 배선의 길이를 줄임으로써 신호지연 시간을 줄일 수 있는 장점을 가진다. 이러한 3D IC는 지금까지 2차원적 접근으로 인한 단일칩이 갖는 한계를 3차원적인 칩 배치를 통해 해결하고자 하는 것으로 패키지의 집적도 및 성능 향상, 아날로그 및 디지털을 포함한 시스템융합, 그리고 생산비 절감 등의 다각적인 효과를 극대화 하려는 패키지 방식이다[4]. 현재진행중인 3D IC 연구는 기존의 칩 제작 기술과 패키지 기술의 융합으로 접근하고 있으며, 특히 새로운 패키지 기술인 TSV (Through Silicon Via)를 중심으로 활발히 진행되고 있다[5].

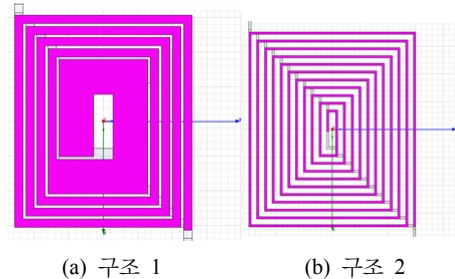
웨이퍼 상의 다이와 외부 패키지를 전기적으로 연결하기 위해 기존의 와이어 본딩 대신 작은 크기의 micro bump 어레이로 대체하는 웨이퍼 레벨 패키지가 폭넓게 도입되고 있는 추세이다[6]. 하지만, micro bump 구조의 웨이퍼 칩과 같이 기존의 탐침(needle)방식을 이용하는 접촉식 테스트 시스템으로는 테스트 할 수 없는 3D 적층 구조의 웨이퍼 및 칩에 대해 비접촉 방식으로 probing 할 수 있는 테스트 시스템 기반 기술 및 칩과 칩 간 무선 통신 기술 개발이 필요하다. 따라서 본 논문에서는 고주파 수 무선 신호 전송을 위한 AC 커플링 기반의 평면 나선형 인덕터를 제안하고 그 특성을 분석하고자 한다. 이는 테스트 신호의 고주파 무선 전송과 박막 송,수신 안테나 및 무선 전력전송의 분야에 이용 가능한 기술이다.

2. 인덕터의 설계 및 시뮬레이션

그림 1은 평행 적층 구조를 갖는 인덕터의 2가지 형태를 제안하였다. 그림 1(a)는 첫 번째 구조로써, 전체의 크

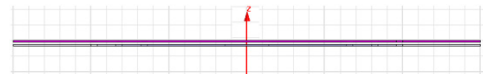
기는 $51.2\mu\text{m} \times 61.2\mu\text{m}$, 얇은 선의 선 폭은 $2\mu\text{m}$, 두꺼운 선의 선 폭은 $13\mu\text{m}$ 이며 선 간격은 $2\mu\text{m}$ 를 가진다. 두 인덕터는 $0.3\mu\text{m}$ 만큼 진공 상태에 대하여 떨어져 있다. 그림 1(b)는 두 번째 구조로써, 전체 크기는 $70\mu\text{m} \times 80\mu\text{m}$, 선의 선 폭은 $0.8\mu\text{m}$ 과 $2\mu\text{m}$ 를 가진다. 두 인덕터는 $0.3\mu\text{m}$ 만큼 진공 상태에 대하여 떨어져 있다.

그림 2는 2가지 구조의 인덕터들에 대한 측면을 나타낸 것으로서 평행 구조 형태를 보여준다.



[그림 1] 인덕터의 2가지 구조

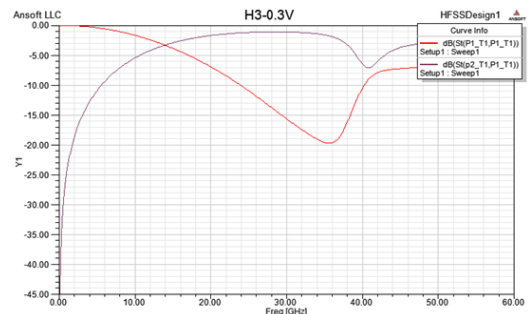
[Fig. 1] 2-type structure of inductors



[그림 2] 두 인덕터의 평행 구조

[Fig. 2] Parallel structure of two inductors

제안된 각 구조에 대하여 진공상태에서 일정한 거리만큼 평행하게 떨어진 두 박막 인덕터의 커플링 특성을 HFSS(High Frequency Structure Simulator)를 이용하여 S-파라미터로 분석하였다.

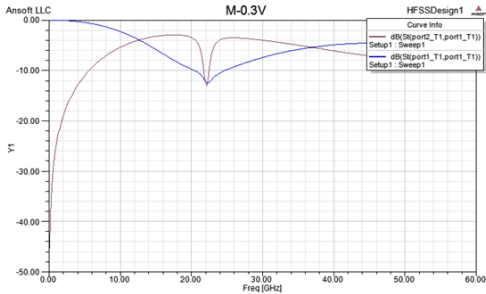


[그림 3] 구조 1에 대한 S-파라미터

[Fig. 3] S-parameter for structure 1

그림 3은 구조 1에 대한 S-파라미터 특성을 나타낸다. 포트 1에 입력을 가하였을 때, 포트 2에 대한 출력을 나타내는 S21성분을 보면 처음에는 점점 증가하다가

35GHz 이상의 영역에서 떨어지기 시작하여 41GHz에서 공진이 일어나는 것을 알 수 있다. S11은 포트1에 대한 반사성분을 의미하므로, S11성분이 작아지고 S21성분이 증가한 20~38GHz의 주파수 영역대가 이 구조의 동작 주파수대역이라는 것을 알 수 있다.



[그림 4] 구조 2에 대한 S-파라미터
[Fig. 4] S-parameter for structure 2

그림 4은 구조 2에 대한 S-파라미터 특성을 나타낸다. S21성분을 보면 위의 다른 구조들과는 달리 상대적으로 낮은 주파수 영역대에서 공진이 일어나는 것을 볼 수 있다. 이로 인해 우리가 AC 커플링을 이용한 송수신이 가능한 주파수 영역대가 22GHz의 공진주파수를 기준으로 좌우 약 5GHz 이내의 좁은 범위에서 사용이 가능하다. 구조 2의 경우 단층형 인덕터의 특성에 비추어 보아 송수신 성능이 가장 좋을 것으로 예상이 되었으나, 구조적으로 생길 수밖에 없는 기생 커패시턴스와 두 인덕터 사이에서 생기는 커패시턴스가 가장 크게 나오게 되기 때문에 공진주파수영역도 작고 반사계수와 전송계수도 좋지 않게 나온 것으로 분석된다.

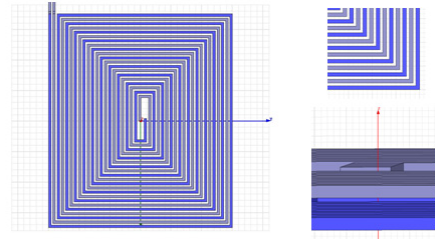
3. 인덕터의 개선 및 시뮬레이션

앞선 2가지 구조를 이용한 경우 두 인덕터 사이에서 생기는 커패시턴스와 박막 인덕터 자체가 갖는 기생 커패시턴스에 의해서 두 번의 공진이 일어나며, 두 구조에서 신호 송수신시의 인덕턴스를 이용한 커플링과 커패시턴스를 이용한 커플링의 혼합이 일어나 비선형적인 전송 특성을 갖게 될 것으로 예상되어 기존의 구조를 변형함으로써 최대한 두 박막 인덕터 사이에서 발생하는 커패시턴스를 줄일 수 있는 방법을 제안하였다.

3.1 Inter-diagonal 구조

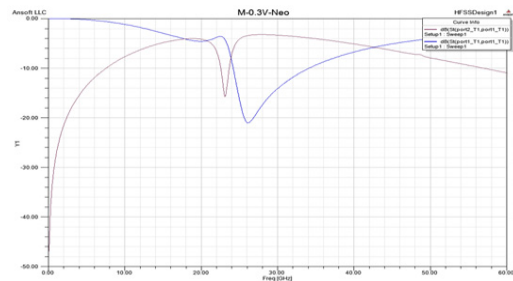
이 구조는 앞서 보인 구조 2의 적층형 박막 인덕터의

구조에서 위층의 박막 인덕터와 아래층의 박막 인덕터의 도선이 서로 평행하게 마주 보게 됨으로 인해서 생기는 커패시턴스를 줄이기 위해, 아래층 박막 인덕터의 선 간격의 위치에 위층 박막 인덕터의 도선이 엇갈리도록 만든 구조이다.



[그림 5] Inter-diagonal 적층형 박막 인덕터의 구조
[Fig. 5] Structure of inter-diagonal laminated thin-film inductor

그림 5는 Inter-diagonal 적층형 박막 인덕터의 구조로서, 인덕터의 전체 크기는 $70\mu\text{m} \times 80\mu\text{m}$, 선의 선폭은 $0.8\mu\text{m}$ 과 $2\mu\text{m}$ 를 가진다. 두 인덕터는 $0.3\mu\text{m}$ 만큼 진공 상태에 대하여 떨어져 있다.

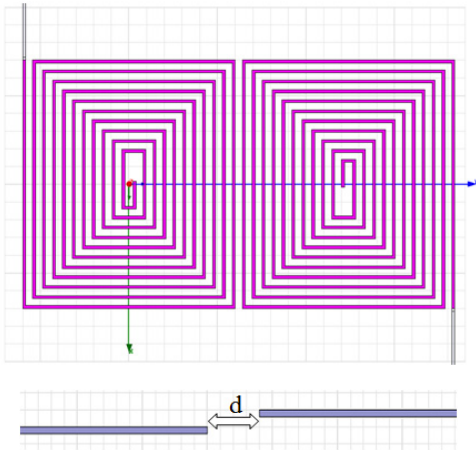


[그림 6] Inter-diagonal 적층형 박막 인덕터의 S-파라미터
[Fig. 6] S-parameter of inter-diagonal laminated thin-film inductor

그림 6은 Inter-diagonal 적층형 박막 인덕터의 S-파라미터 특성을 나타낸다. S21성분을 보면 앞서 분석한 구조 2의 경우와 별 차이가 없으나, S11성분은 구조 2의 경우보다 조금 향상된 것을 나타낸다. 두 박막 인덕터의 도선은 엇갈린 형태로 되어있으나 도선의 폭이 좁고 구조 2의 경우와 비교하였을 때, 두 인덕터 사이의 도선 사이의 거리가 아주 약간 증가한 정도의 차이가 나는 것이므로 S21의 성능이 생각보다 좋아지지 않았다. 하지만 S11과 S21의 공진주파수가 엇갈리게 됨으로 인해서 구조 2의 경우보다 사용 주파수영역대가 넓어진 효과를 얻었다.

3.2 On-chip 구조

그림 7는 On-chip 적층형 박막 인덕터의 구조를 나타낸다. 이 구조는 웨이퍼에 심어질 박막 인덕터가 아주 작은 영역을 차지할 것이기 때문에 검침시, 두 박막 인덕터를 다음과 같은 구조로 검침하여도 인접한 반도체 다이에는 영향을 주지 않을 것이라 예상되어 고안하였다.

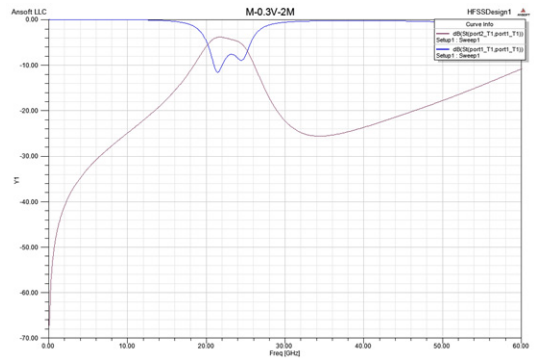


[그림 7] On-chip 적층형 박막 인덕터의 구조
[Fig. 7] Structure of On-chip laminated thin-film inductor

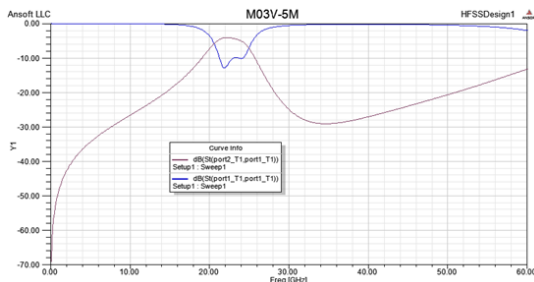
그림 7은 On-chip 적층형 박막 인덕터의 거리에 따른 S-파라미터 특성을 나타낸다. 앞서 제시한 구조 2의 두 박막 인덕터를 사선형으로 배치한 형태로서, 두 인덕터 사이의 수평거리를 조절해가며 S-파라미터를 측정하였다.

거리에 따른 S-파라미터를 보면 처음 $2\mu\text{m}$ 로 시작해서 $20\mu\text{m}$ 까지 거리가 멀어질수록 S11파라미터에서 생기는 공진이 두 번에서 한 번으로 줄어드는 것을 볼 수 있다. 이는 두 인덕터 사이의 거리가 멀어짐에 따라 두 박막 인덕터 사이에서 생기는 커패시턴스의 효과가 줄어들기 때문이다. 두 박막 인덕터 사이에서 생기는 커패시턴스가 적어짐으로 인해 거리가 멀어졌지만 오히려 반사성분은 줄어든 것을 볼 수 있다. 하지만 전송성분도 같이 줄어들기 때문에 적당한 거리 값을 찾는 것이 필요하다.

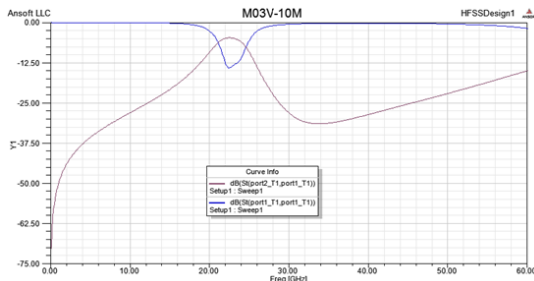
23GHz 정도에서 일어나는 공진은 두 박막 인덕터 사이에서 생기는 커패시턴스가 아닌 박막 인덕터 자체가 갖는 기생 커패시턴스에 의해서 생기는 것으로 거리에 관계없이 일정하다.



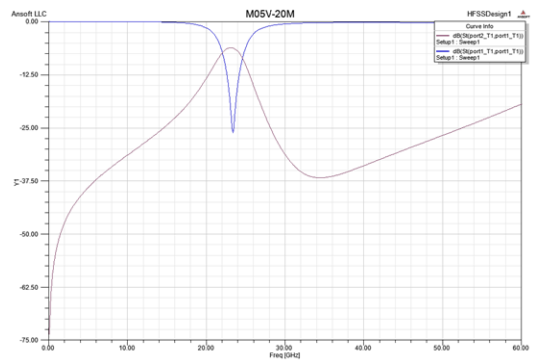
(a) $d = 2\mu\text{m}$



(b) $d = 5\mu\text{m}$



(c) $d = 10\mu\text{m}$



(d) $d = 20\mu\text{m}$

[그림 8] On-chip구조 적층형 박막 인덕터의 거리에 따른 S-파라미터

[Fig. 8] S-parameter of On-chip laminated thin-film inductor for various distance

4. 결론

본 논문에서는 고주파수 무선 신호 전송을 위한 AC 커플링 기반의 평면 나선형 인덕터를 제안하고, 이에 대한 다양한 구조의 인덕터를 설계, 모델링 및 특성을 분석하였다. 설계된 인덕터의 시뮬레이션을 위하여 HFSS를 이용하였다.

각 구조에 대한 시뮬레이션을 통해 도출된 적층형 박막 인덕터의 특성은 기생 커패시턴스와 박막 인덕터 간의 커패시턴스로 인하여 발생하는 2개의 공진으로 반사 계수가 상대적으로 높다. 박막 인덕터 자체가 갖는 기생 커패시턴스의 영향은 불가피하므로 커패시턴스의 의한 영향을 줄이기 위해서는 두 박막 인덕터가 서로 평행하게 위치함으로 인덕터 간의 커패시턴스를 줄여야 한다. 이를 위해 두 가지 구조를 제안하였다. 첫 번째 구조는 inter-diagonal 구조로 평행한 두 인덕터의 도선 부분이 겹치지 않게 만든 구조이다. 이 구조의 경우 비록 평행하게 겹치지는 않지만 도선의 두께와 폭이 좁으므로 서로 엇갈리는 위치에 도선이 위치하더라도 실제 커패시턴스의 변화가 작아서 전체적인 S-파라미터의 특성이 크게 변하지 않았다. 두 번째 구조는 On-chip형 구조로 두 박막 인덕터가 평행하게 존재하지만 마주보지 않게 사선형으로 배치한 구조이다. 이 구조의 경우 박막 인덕터 간의 수평 거리가 길어짐에 따라 두 번에 걸쳐서 일어나는 공진인 한 번으로 줄어드는 것을 볼 수 있는데, 이는 두 인덕터 간의 거리가 멀어짐으로 인해 박막 인덕터 간의 커패시턴스 영향이 점점 줄어들기 때문이다. 또한 이 구조의 S-파라미터의 개형을 보면 앞서 분석한 구조들과는 다르게 좀 더 선택적인 영역에서 송, 수신이 일어나는 것을 볼 수 있다. 이때의 S-파라미터 그래프는 일반적인 RF 디자인에서 안테나를 설계했을 때 나타나는 S-파라미터와 같은 결과가 도출되었다. 그러나 수백 MHz 대역에서는 송, 수신 성능이 저하되므로 1GHz 이하 영역대에서 송, 수신 가능한 연구가 필요하다.

Coupled Chip-to-Chip Communication Using a Low Swing Pulse Receiver”, IEEE Journal of Solid-State Circuits, vol. 41, no. 1, pp.287-296, Jan. 2006.

- [3] Noriyuki Miura, Daisuke Mizoguchi, Mari Inoue, Kiichi Niitsu, Yoshihiro Nakagawa, Masamoto Tago, Muneo Fukaishi, “A 1Tb/s 3W Inductive-Coupling Transceiver for 3D-Stacked Inter-Chip Clock and Data Link”, IEEE Journal of Solid-State Circuits, vol. 42, no. 1, pp.111-121, Jan. 2007.
- [4] Sanjay K. Thakur, Rubin A. Parekhji, A. N. Chandorkar, “On-chip Test and Repair of Memories for Static and Dynamic Faults”, IEEE International test conference, 2006
- [5] John Wilson, Member, Stephen Mick, JianXu, Member, Lei Luo, Salvatore Bonafede, Alan Huffman, “Fully Integrated AC Coupled Interconnect, Using Buried Bumps”, IEEE Trans. Actions on Advanced Packing, vol. 30, no. 2, pp.191-199, May 2007.
- [6] Noriyuki Miura, Yoshinori Kohama, Yasufumi Sugimori, Hiroki Ishikuro, Takayasu Sakurai, Tadahiro Kuroda An, “11Gb/s Inductive-Coupling Link with Burst Transmission”, IEEE International Solid-State Circuits Conference, pp.297-299, 2008.

김재욱(Jae-Wook Kim)

[정회원]



- 1998년 8월 : 호서대학교 대학원 전자공학과 (공학석사)
- 2003년 8월 : 호서대학교 대학원 전자공학과 (공학박사)
- 2006년 3월 ~ 현재 : 남서울대학교 전자공학과 교수

<관심분야>

자동제어, 퍼지제어, chip inductor 개발, 자성박막 재료 및 소자의 개발

References

- [1] Kazutaka Kasuga, Mitsuko Saito, Tsutomu Takeya, Noriyuki Miura, Hiroki Ishikuro and Tadahiro Kuroda, “A Wafer Test Method of Inductive-Coupling Link”, IEEE Asian Solid- State Circuits Conference, pp. 301-304, Nov. 2009.
- [2] Lei Luo, John M. Wilson, Stephen E. Mick, JianXu, Liang Zhang, and Paul D. Franzon, “3 Gb/s AC