

휴대기기용 LED 백라이트를 위한 감압형 DC-DC 변환기 설계

손현식¹, 이민지¹, 박원경¹, 송한정^{1*}
¹인제대학교 나노시스템공학과

Design of a DC-DC Step-Down Converter for LED Backlight of Mobile Devices

Hyun-sik Son¹, Min-ji Lee¹, Won-Kyoung Park¹ and Han-Jung Song^{1*}

¹Department of Nanoscience and Engineering, Inje University

요약 본 논문에서는 휴대기기용 LED 백라이트를 위한 감압형 DC-DC 변환기를 제안한다. 제안하는 변환기는 4 MHz의 높은 주파수에서 동작하며, 이것은 파워 스테이지와 컨트롤 블록의 수동소자의 면적 감소효과를 가진다. 파워 스테이지는 인덕터와 출력 커패시터, 파워트랜지스터, 피드백 저항으로 이루어지며, 컨트롤 블록은 펄스폭 변조기, 오차증폭기, 오실레이터 등으로 이루어진다. 회로는 0.35 μm 1-poly 4-metal BCD 공정을 사용하여 설계 검증 및 레이아웃 하였다. SPICE 모의 실험 결과 시비율이 0.4 이고, 입력전압이 3.7 V 일 때, 1.8 V의 출력 전압을 가지며, 출력 전류는 100 mA를 가진다. 제안하는 회로는 기존의 25~50 mA보다 큰 출력을 나타내어 고휘도의 LED 센서 구동이 가능할 것으로 보이며, 4 MHz의 스위칭 주파수를 사용하여, 변환기의 실장 면적이 종래에 비하여 30 % 정도의 감소 가능할 것으로 보인다.

Abstract In this paper, a step down converter for LED backlight of mobile application has been proposed. The converter which is operated with 4 MHz high switching frequency is capable of reducing mounting area of passive devices consists of a power stage and a control block. Circuit elements of the power stage are inductor, output capacitor, MOS transistors and feedback resistors. The control block consists of pulse width modulator, error amplifier and oscillator etc. Proposed step down converter has been designed and verified using a 0.35 μm 1-poly 4-metal BCD process technology. Simulation results show that the output voltage is 1.8 V in 3.7 V input voltage, output current 100 mA which is larger than 25 ~ 50 mA in conventional 500 KHz driven converter when the duty ratio is 0.4

Key Words : BCD process, Integrated circuit, LED backlight, Step-Down DC-DC converter.

1. 서론

스마트폰 및 태블릿 PC와 같은 개인 휴대 전자기기의 수요가 크게 증가 되었고 보편화 되고 있다. 또한, 무선 인터넷 기반의 시설들이 확충됨에 따라 이런 개인 휴대 전자기기의 수요는 점차 더 증가할 것으로 예상된다[1,2]. 휴대기기의 기능이 다양화 되면서, 효율적이면서 소형화된 전원관리 회로의 중요성이 갈수록 증대되고 있다. 휴대 전자기기의 각각의 다양한 기능들이 동작하기 위해서

는 배터리에 의한 전원 전압 하에서 다양한 동작 전압을 공급 받아야 한다[3,4]. Fig. 1에 전원 관리 회로의 적용에 대해 나타내었다.

일정한 배터리의 용량으로 보다 긴 시간 동안 휴대 기기의 사용시간을 얻기 위해서는 배터리의 전압으로부터 동작 전압으로 변환 시의 손실이 적어야 한다. 이에 맞춰 한정된 배터리 전원을 가지고 다양한 부하 변동에 능동적으로 대처하여 배터리 전원을 효율적으로 관리, 공급함으로써 배터리 수명을 연장하는 전력관리회로 기술이

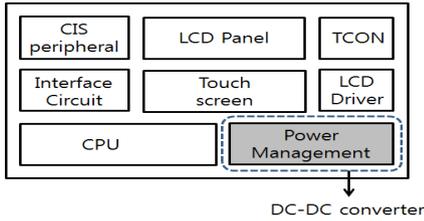
본 연구는 미래창조과학부에서 시행한 「경남 창원과학연구단지육성사업」 기초 원천 R&D 과제 지원사업으로 수행되었음.

*Corresponding Author : Han-Jung Song(Inje Univ.)

Tel: +82-55-320-3873 email: hjsong@inje.ac.kr

Received November 15, 2013 Revised January 28, 2014 Accepted March 6, 2014

주요한 관심사가 되고 있다.



[Fig. 1] Typical mobile system including the PMIC.

이러한 DC-DC 변환기는 구성 방식에 따라 스위치와 커패시터를 이용한 전하펌프 방식과 인덕터와 커패시터로 구성된 스위치모드 방식이 있다. 전하펌프 방식은 큰 부하 전류를 필요로 하는 경우 효율이 저하 되는 단점을 가지며, 스위치 모드와 비교하여 낮은 효율을 가진다[5].

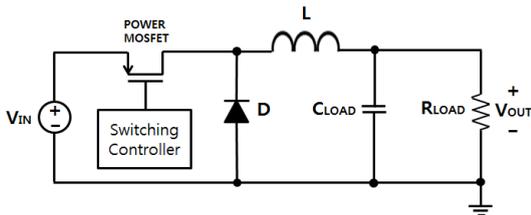
이에 따라 현재는 큰 부하전류 상태에서도 더 나은 효율을 가지는 스위치모드 방식을 하나의 IC에 집적하기 위한 많은 연구가 진행되고 있다. 그러나 큰 사이즈를 가진 인덕터와 커패시터를 하나의 칩에 집적하기는 쉽지 않다. 이러한 문제에 대한 대안으로 인덕터와 다이오드, 커패시터를 제외한 스위치모드 방식의 컨트롤 블록을 하나의 칩에 집적하는 연구가 활발하게 진행되고 있다[6,7].

본 논문에서는 PWM 스위치모드 방식의 감압형 DC-DC 변환기를 설계한다.

2. 감압형 DC-DC 변환기 설계

2.1 Block diagram

감압형 DC-DC 변환기의 구조는 파워 스테이지와 스위치의 on/off를 담당하게 될 컨트롤 블록으로 구성된다. 일반적인 감압형 DC-DC 변환기를 Fig. 2에 나타내고 있다.



[Fig. 2] Step down PWM DC-DC converter.

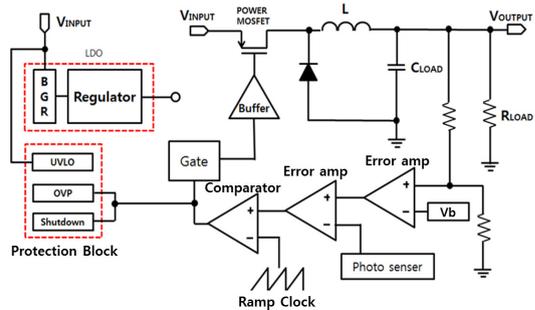
감압형 DC-DC 변환기는 입력 전압 대비 출력 전압이 더 낮은 형태가 되며, 스위치를 포함 다이오드, 인덕터, 커패시터, 저항으로 구성되어 있다.

회로의 동작을 알아보면, 먼저 스위치가 도통일 때 인덕터 L에 전류가 축적되고 다이오드는 차단된다. 이때 출력 측에서는 출력 커패시터인 C_{LOAD}의 전하가 부하저항 R_{LOAD}를 통하여 방전된다. 스위치가 차단되면 인덕터에 축적되어 있는 전류는 다이오드를 통하여 출력단으로 방출 된다. 감압형 DC-DC 변환기의 입력 전압과 출력 전압의 관계는

$$V_o = D \times V_i \tag{1}$$

로 나타내어 진다. 여기서 D는 dutio ratio를 의미하며 파워 MOS 게이트에 high 신호가 인가되어 On-state가 되는 구간을 의미한다. D는 0에서 1사이의 값을 가지기 때문에 결과적으로 입력전압 대비 낮은 출력전압을 가지게 된다.

Fig. 3에 제안하는 감압형 DC-DC 변환기의 블록도를 나타내었다. 제안하는 회로는 power MOS, 인덕터, 커패시터, 저항으로 구성되는 파워 부분과 PWM신호를 생성하는 컨트롤러 부분으로 이루어진다. 또한 칩을 보호하기 위한 UVLO(Under Voltage Lock Out; 저전압 보호 회로), OVP(Over Voltage Protection; 고전압 보호회로), TSD(Thermal Shut Down; 과열 보호회로) 등 보호회로를 내장하였다.



[Fig. 3] Proposed step down DC-DC converter.

Table 1에 제안하는 감압형 DC-DC 변환기의 목표 스펙을 나타내었다.

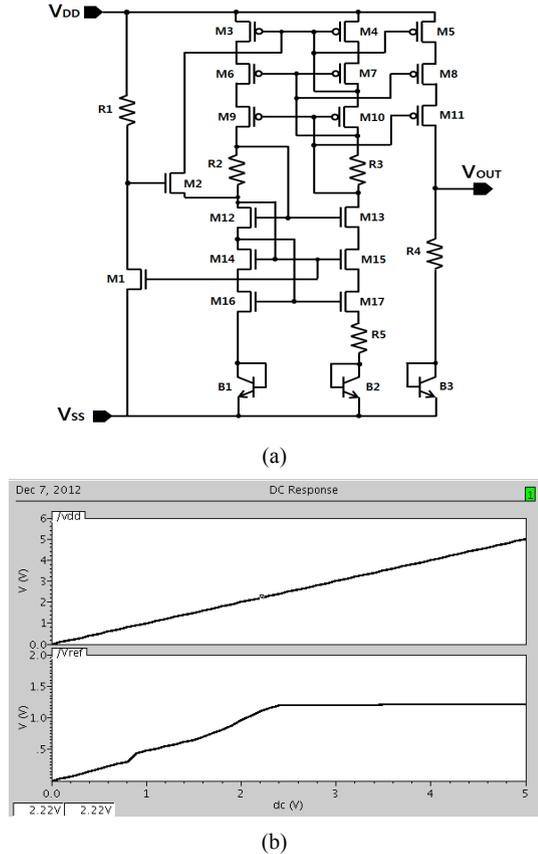
[Table 1] Design specifications of the proposed circuit

Parameter	Typ	Units
Supply Voltage	3.7	V
Output Voltage	1.8	V
Switching Frequency	4	MHz
Duty Ratio	0.4	-
Load Current	100	mA

입력은 배터리의 3.7 V이며 출력 전압은 LED를 구동하기 위해 1.8 V를 목표로 하였다. 또한 소형화를 위해 스위칭 주파수는 4MHz로 동작한다. 출력 전류는 고휘도 LED를 위해 100 mA로 하였다.

2.2 SPICE 회로설계

2.1.1 기준 전압 회로

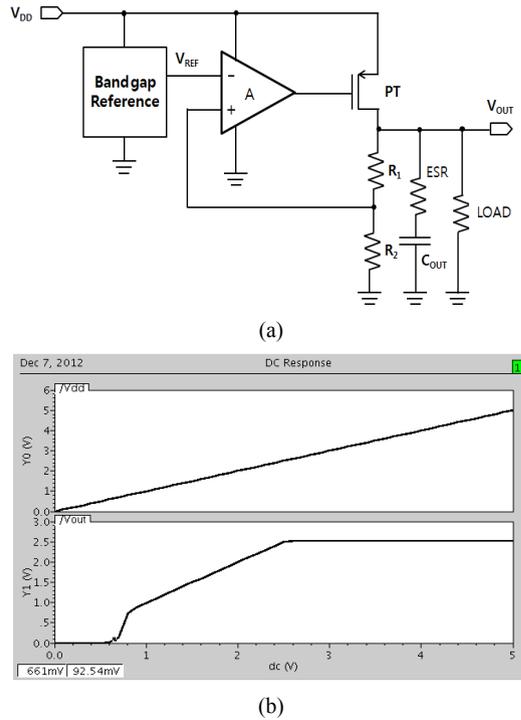


[Fig. 4] BGR (band gap reference) circuit
(a) schematic (b) SPICE simulation results

온도와 공급전압의 변화에 대해서도 안정화된 전압을 제공하기 위해 밴드갭 기준 전압 회로를 사용하였다. 밴드갭 기준 전압 회로의 장점은 온도의 영향을 최소화 할 수 있다는 것이다.

Fig. 4는 설계한 밴드갭 기준전압 회로이다. R1과 M1,M2는 스타트업 회로로 레귤레이터의 기준 전압 발생 회로가 구동하도록 해주는 역할을 한다. 바이폴라 트랜지스터 B2의 m값을 8배로하여 온도 의존성이 낮도록 설계하였다. Fig. 4(b)에서 입력전압이 약 2.4 V 이상이 되면 출력전압이 1.2 V가 출력 됨을 볼 수 있다.

2.2.2 전압 레귤레이터



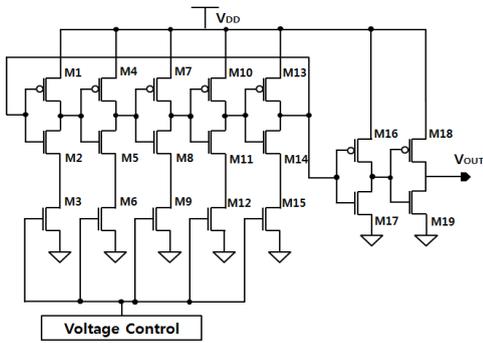
[Fig. 5] LDO circuit
(a) schematic (b) SPICE simulation results

전압 레귤레이터는 칩 내부의 전원 전압 Vdd를 제공하기 위한 회로로서 Fig. 5와 같이 기준 전압회로와 오차 증폭기, 패스 트랜지스터, 저항으로 구성된다.

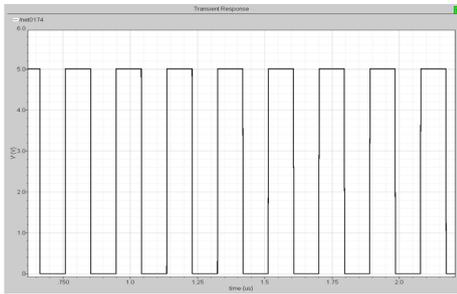
밴드갭 기준전압과 출력단의 피드백 전압차는 오차 증폭기를 통해 증폭되고 증폭된 신호는 패스 트랜지스터 게이트 신호로 사용된다. 이 신호를 입력으로 받아 부귀환 구조로 제어하여 온도, 공급전압의 변화에도 안정한 출력 전압을 출력하여, 칩 내부의 보호회로나 컨트롤 블록의 전원전압을 공급한다. Fig. 5(b)에 나타내었듯이, 입력전압이 2.5 V 이상일 때, 출력전압이 2.5 V로 안정화되는 것을 볼 수 있다.

2.2.3 전압 제어 발진기

Fig. 6에 본 논문에서 제안하는 전압 제어 발진기의 회로도를 나타내었다. 링 오실레이터를 이용하여 설계하였으며, 아랫단의 NMOS의 게이트에 적절한 전압을 인가하여 4MHz의 주파수를 가지는 파형을 만들어 내게 되어 있는 구조이다. Fig. 6(b)에 SPICE 모의 실험 결과를 나타내었다.



(a)



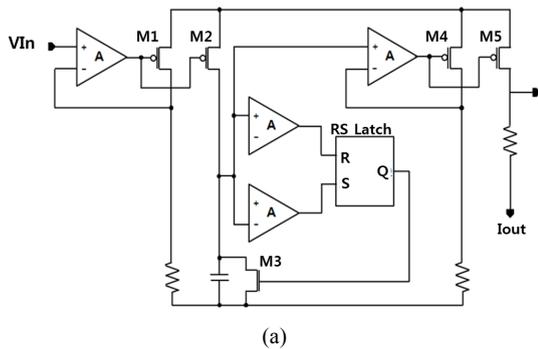
(b)

[Fig. 6] Voltage controlled oscillator circuit
(a) schematic (b) SPICE simulation results

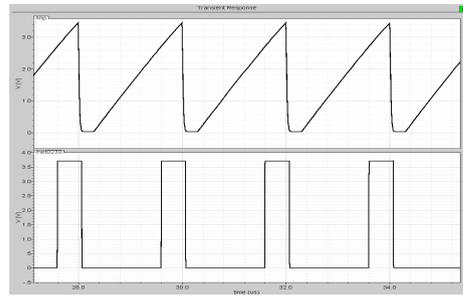
2.2.4 Ramp파 발생회로

Fig. 7에 나타난 ramp 파형 발생회로가 출력전압과 비교하여 펄스 파를 형성하도록 하는 신호를 만들어내는 회로이다. 회로에서 사용된 커패시터의 용량과 커패시터에 흐르는 전류에 따라 신호가 천천히 증가하고, 일정 전압 이상이 되면 신호가 0이 되어 ramp 신호를 만들어낸다.

제안하는 감압형 DC-DC 변환기에서는 power stage의 두 스위치 소자가 turn on 되는 시비율(duty ratio)에 따라 출력전압이 결정되는데 이 시비율은 출력전압과 우리가 원하는 전압의 차이를 오차증폭기를 통해 증폭시킨 값과 인덕터 전류를 검출한 값을 비교해서 제어한다.



(a)

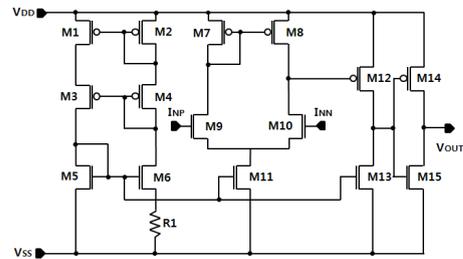


(b)

[Fig. 7] Ramp signal generator circuit
(a) schematic (b) SPICE simulation result

2.2.5 비교기 회로

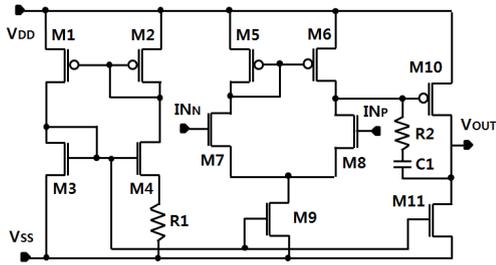
Fig. 8의 비교기는 N-type 비교기 회로도이며, NMOS 차동 입력단을 사용하여 설계 하였다. 비교기 출력은 피드백 받은 오차증폭기 신호와 ramp파를 비교하여 파워모스 게이트의 PWM(Pulse Width Modulator) 신호로 사용 된다.



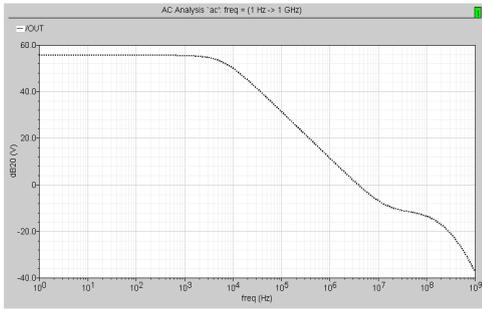
[Fig. 8] Comparator circuit.

2.2.6 Error-amp 회로

Fig. 9에 오차증폭기회로의 회로도 와 시뮬레이션 그림을 나타내었다. 본 설계에서 사용한 오차증폭기는 일반적으로 사용되는 2단 구조의 오차증폭기이며, 출력단에서 부귀환하여 얻은 전압과 기준전압을 비교하여 그 차이만큼 증폭기에서 증폭시켜 전압 변동과 반대방향으로 위상을 보상하는 기능을 한다. 여기에서 오차증폭기는 출력 전압의 크기와 기준전압의 크기를 비교하여 PWM의 출력을 결정 할 수 있도록 한다. 기준전압과 출력전압을 입력으로 하여 출력이 나타나는 회로이다.



(a)



(b)

[Fig. 9] Error amplifier circuit

(a) schematic, (b) SPICE simulation results

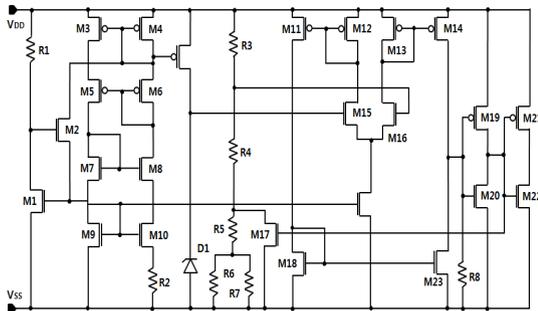
2.2.7 보호회로

제안하는 감압형 DC-DC 변환기에는 저전압, 과전압, 과열에 대한 보호회로를 사용하였다.

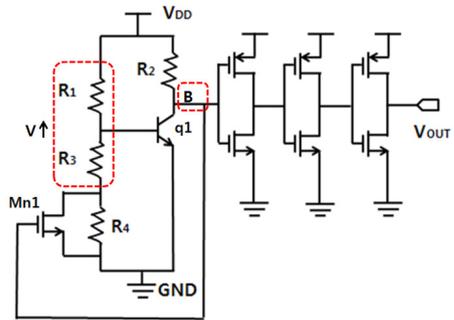
저전압 보호회로는 전원 전압이 낮을 때 제어회로의 오동작이 발생하는 것을 방지 한다.

과전압 보호회로는 DC-DC 변환기의 출력전압이 목표 출력 전압보다 높아짐으로써 발생하는 부하단의 소자 파괴를 방지하기 위하여 사용된다.

과열방지회로는 높은 열로부터 칩을 보호하기 위해 사용되었다. Fig. 10에 보호회로의 회로도를 나타내었다.



(a)



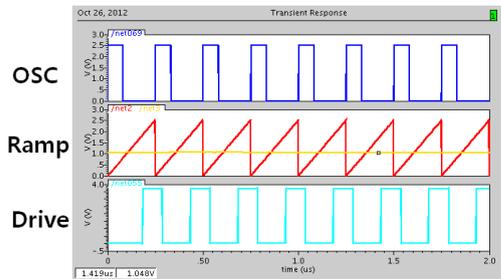
(b)

[Fig. 10] Protection circuit

(a) UVLO(under voltage lock out) circuit
(b) thermal shut down protection circuit

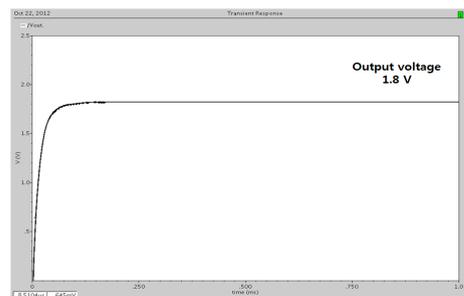
3. SPICE 모의실험 결과

Fig. 11에 제안하는 회로의 동작 타이밍차트를 나타내었다. 각 블록이 동작 할 때 각 블록에서 어떤 신호가 나타날 것인지 미리 인지 할 수 있도록 한 차트이다.



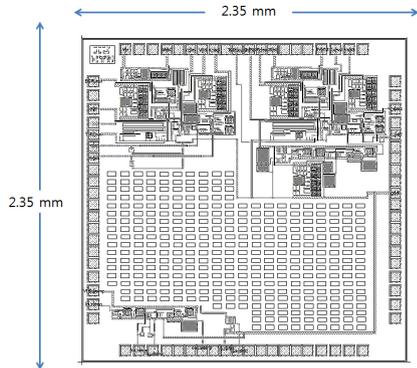
[Fig. 11] Timing chart

Fig. 12에 제안하는 감압형 DC-DC 변환기의 출력 전압을 나타내고 있다. Duty는 0.4, 출력전압은 1.8 V가 출력 되는 것을 확인 할 수 있었다.



[Fig. 12] Simulated output result of the step down DC-DC converter

칩의 전체 면적은 2.35 mm x 2.35 mm 이며, 설계된 부분 이외에, 더미블록과 다이오드를 이용한 ESD 보호회로 및 각종 블록 측정을 위한 테스트 회로를 삽입하였다.



[Fig. 13] Chip layout of the proposed circuit

4. 결론

본 논문에서는 휴대기기용 LED 센서를 위한 감압형 DC-DC 변환기를 0.35 μm BCD 공정을 이용하여 설계 검증 및 레이아웃을 진행하였다. 설계된 감압형 DC-DC 변환기는 시비율이 0.4 일 때 3.7 V 입력 전압에 대해서 출력 전압이 1.8 V로 나왔고, 출력전류는 100 mA로, 기존의 25~50 mA보다 큰 출력을 나타내어 고휘도의 LED 센서 구동이 가능할 것으로 보인다. 또한, 4 MHz의 스위칭 주파수를 사용하여, 변환기의 실장 면적을 종래에 비하여 30 % 정도의 면적 감소효과를 보였다. 제안하는 감압형 DC-DC 변환기는 소형 휴대기기의 고휘도 LED 센서에 적용이 가능할 것으로 예상된다.

References

[1] R. Mammano, Switching power supply topology : Voltage mode vs current mode, Texas Instruments Inc., Dallas, Unirode Design Note DN-62, 1994.

[2] M. Corsi, "Current sensing schemes for use in BiCMOS integrated circuit." in Proc. IEEE Bipolar/BiCMOS Circuits and Technology Meeting, pp. 55-57, New York, USA, 1995.
DOI: <http://dx.doi.org/10.1109/BIPOL.1995.493865>

[3] K.N. Leung and P.K.T.Mok, "Analysis of multi-stage amplifier Frequency compensation", IEEE Trans. Circuits Syst. I, Fundam. Theory Appl., Vol. 48, No. 9, pp. 1041-1056, 2001.

DOI: <http://dx.doi.org/10.1109/81.948432>

[4] Stephane Bidian, Hua Jin, "High Performance predictive Dead-Beat Digital Controller for DC power Supplies", IEEE Transactions on Power Electronics, Vol. 17, No.3, pp. 420-427, 2002.
DOI: <http://dx.doi.org/10.1109/TPEL.2002.1004250>

[5] Jeonsin Roh, "High-performance Error Amplifier For Fast Transient DC-DC Converters". IEEE Tran. Circuits and Systems, Vol. 40, No. 11, pp. 591-595, 2005.
DOI: <http://dx.doi.org/10.1109/TCSII.2005.850521>

[6] A. J. Stratakos, S. R. Sanders, R. W. Brodersen, Low voltag/Low Power Integrated Circuits and Systems: Low Voltage Mixed Signal Circuits, IEEE press, New York, USA, 1999.

[7] Gavriel A, Rincon-mora, pilip E. Allen, "A Low-Voltage, Low Quiescent Current, Low Drop-Out Regulator", IEEE journal of Solid-stage Circuits, Vol. 33, No. 1, pp. 36-44, 1998.
DOI: <http://dx.doi.org/10.1109/4.654935>

손 현 식(Hyun-Sik Son)

[준회원]



- 2013년 2월 : 인제대학교 전자공학과 (공학사)
- 2013년 3월 ~ 현재 : 인제대학교 나노시스템공학과 재학 중

<관심분야>

반도체 회로 설계, PMIC

이 민 지(Min-Ji Lee)

[준회원]



- 2013년 2월 : 인제대학교 나노공학부 (공학사)
- 2013년 9월 ~ 현재 : 인제대학교 나노시스템공학과 재학 중

<관심분야>

반도체 회로 설계, PMIC

박 원 경(Won-Keoung Park)

[준회원]



- 2012년 2월 : 인제대학교 나노공학부 (공학사)
- 2014년 2월 : 인제대학교 나노시스템공학과 (공학석사)
- 2014년 1월 ~ 현재 : 실리콘마이터스 주임연구원

<관심분야>

LED 드라이버 설계, 반도체 회로 설계, PMIC

송 한 정(Han-Jung Song)

[정회원]



- 1986년 2월 : 한양대학교 전자공학과 (공학사)
- 1988년 2월 : 한양대학교 전자공학과 (공학석사)
- 2000년 2월 : 한양대학교 전자공학과 (공학박사)
- 2004년 3월 ~ 현재 : 인제대학교 나노공학부 정교수

<관심분야>

반도체 소자 신뢰성 및 회로설계