

사각 나선형 평면 인덕터의 주파수 특성에 관한 연구

김재욱^{1*}

¹남서울대학교 전자공학과

Study on Frequency Characteristics of Rectangle Spiral Planar Inductor

Jae-Wook Kim^{1*}

¹Department of Electronic Engineering, Namseoul University

요약 본 논문에서는 무선 신호전송을 위한 비접촉 방식의 AC 커플링(Coupling) 기반 평면 나선형 인덕터의 주파수 특성을 분석하였다. 기판의 유전상수의 변화는 소자의 인덕턴스에 직접적인 영향을 주지 않고 소자의 전기용량에 영향을 주어 공진 주파수를 변화시키는 것을 알 수 있다. 기판의 두께가 증가할수록 인덕턴스는 증가하지만 공진주파수는 감소하였으며, 이것은 기판 두께의 감소로 인해 내부 전기용량이 증가하였기 때문이다. 인덕터의 도체 선 폭이 증가하여도 전체 인덕터 크기와 턴 수 및 선 간격이 일정함으로 내부 사각 코일의 도선 면적이 작아지게 되어 각각의 자기 인덕턴스가 감소하게 되고 공진주파수는 증가되게 된다. 또한, 도체의 선 간격이 증가하면 내부 사각 코일의 도선 면적이 작아지게 된다.

Abstract In this study, we confirmed the frequency characteristics of planar spiral inductor based on non-contact method AC coupling for wireless signal transmission. The dielectric constant variation of the substrate does not directly effect the inductance of device but effect the electrostatic capacity of device. Therefore, its change self-resonance frequency. The thickness increment of the substrate increase inductance but decrease self-resonance frequency. Because, the thickness decrement of the substrate make the inside electrostatic capacity increment.

Key Words : Inductor, Planar, Quality-factor, Rectangle, Spiral

1. 서론

최근 전자통신기기, 무선통신 및 정보처리기술의 급속한 발전으로 인해 동작주파수는 고주파화 되고 있는 반면, 소자의 크기는 상대적으로 작아지는 추세이다[1]. 전자통신기기의 소형화 요구는 자동실장기술, 다층회로기판, 표면실장부품 등의 표면실장기술의 발전을 동반하였고 표면실장부품의 발전은 기기의 소형화에 매우 큰 역할을 하고 있다[2]. 수동소자의 표면 실장형으로는 칩저항이 상용화 되어있지만 인덕터의 경우 구조적 어려움 때문에 표면 실장화가 늦어졌으나 반도체 제조공정 및 소재 설계기술의 발전에 따라 칩저항 뿐만 아니라 인덕터 또한 표면실장형이 주류를 이루고 있다[3]. 이러한 표

면 실장형 칩인덕터는 이동통신기기, 디스크드라이브 등 각종 전자기기의 핵심소자로 사용되고 있으며 칩 간 무선신호 전송, 무선 전력전송 등 다양한 분야에 활용될 수 있다[4]. 표면 실장형 칩인덕터는 박막형, 권선형, 적층형이 있는데 이 중 박막형 칩인덕터는 적층형 인덕터의 기본 구조로서 품질계수 Q값과 사용주파수 대역이 다른 구조에 비해 높으며 박막공정기술을 이용하기 때문에 소형화에 유리한 장점이 있다. 이러한 특성으로 인해 고주파 영역에서 고정밀 용도로 주로 이용되고 있으며 고주파 무선 신호 전송을 위한 AC 커플링(Coupling)에도 활용할 수 있다[5, 6].

본 논문에서는 무선신호전송 또는 무선전력전송의 기반이 되는 비접촉 방식 AC 커플링을 위한 평면 나선형

본 논문은 남서울대학교 연구과제로 수행되었음.

*Corresponding Author : Jae-Wook Kim(Namseoul Univ.)

Tel: +82-41-580-2119 email: jwkim@nsu.ac.kr

Received November 29, 2013

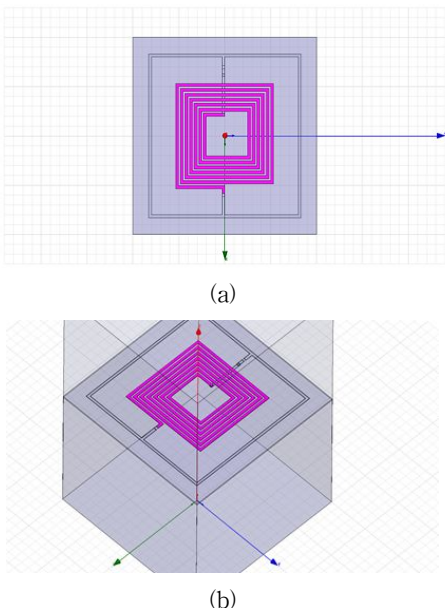
Revised January 9, 2014

Accepted April 10, 2014

박막 인덕터의 주파수 특성을 분석하고자 한다.

2. 사각 나선형 박막 인덕터의 설계

Fig. 1의 (a)와 (b)는 각각 수치해석을 위해 설계한 사각 나선형 박막 인덕터의 구조를 나타낸 것이다. 인덕터의 전체 크기는 $300\mu\text{m}\times 300\mu\text{m}$, 선 폭 $10\mu\text{m}$, 선 간격 $10\mu\text{m}$ 의 사각 나선형을 기본으로 턴 수, 선 폭과 선 간격을 변화시켜 설계하였다. 인덕터의 턴 수는 입력단과 출력단의 위치가 서로 상반되도록 하기 위하여 n 및 n.5 턴이 되도록 설계하였다. 인덕터 내부 도선과의 연결은 underpass를 갖는 via 형태를 사용하였다. 설계된 인덕터의 시뮬레이션을 위하여 Ansoft사의 HFSS(High Frequency Structure Simulator)를 이용하여 그 특성을 분석하였다. 시뮬레이션에 사용한 기판은 Si, Sapphire, 유리, GaAs이며 도체는 Cu이다. 설계된 인덕터를 이용하여 선 폭, 선 간격, 턴 수의 변화에 따른 특성을 분석하였으며 주파수에 따른 품질계수의 성능을 분석하였다.



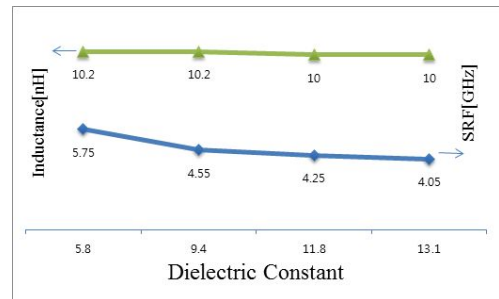
[Fig. 1] Structure of rectangle spiral planar inductor
(a)Plane figure of inductor
(b)A three-dimensional figure of inductor

2.1 기판 종류 변화에 따른 특성 분석

인덕터 전체 크기를 $300\mu\text{m}\times 300\mu\text{m}$, 선 폭 $10\mu\text{m}$, 선 간격

$10\mu\text{m}$, 턴 수를 5.5턴으로 고정하고 사용된 기판의 종류에 따라 고주파 특성을 분석하였다.

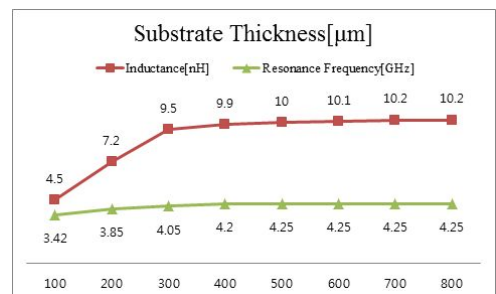
사용한 기판의 종류는 두께 $700\mu\text{m}$ 의 Si, Sapphire, 유리, GaAs이며 이들의 유전상수는 11.8, 9.4, 5.8, 13.1이다. Fig. 2는 기판의 종류에 따른 인덕턴스와 공진주파수를 나타낸 것이다. 인덕턴스의 경우 Si 기판은 10nH, Sapphire 기판은 10.2nH, 유리 기판은 10.2nH, GaAs 기판은 10nH로 거의 변화하지 않고 일정한 인덕턴스 값을 가졌다. 그러나 공진주파수는 Si 기판은 4.25GHz, Sapphire 기판은 4.55GHz, 유리 기판은 5.75GHz, GaAs 기판은 4.05GHz로 유전상수가 큰 기판일수록 공진주파수는 감소하였다. 기판의 유전상수의 변화는 소자의 인덕턴스에 직접적인 영향을 주지 않고 소자의 전기용량에 영향을 주어 공진주파수를 변화시키는 것을 알 수 있다. 즉 유전상수가 증가하면 소자의 전기용량은 증가하지만 인덕턴스의 변화는 거의 없으므로 이로 인해 공진주파수는 감소하게 된다.



[Fig. 2] Inductance and SRF of inductor for various substrates kinds

2.2 기판 두께 변화에 따른 특성

Fig. 3은 기판의 두께에 따른 인덕터의 인덕턴스와 공진주파수를 나타낸 것이다.

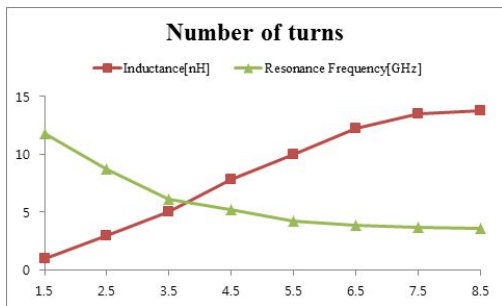


[Fig. 3] Inductance and SRF of inductor for various substrates thickness

인덕터 전체 크기를 $300\mu\text{m}\times 300\mu\text{m}$, 선 폭 $10\mu\text{m}$, 선 간격 $10\mu\text{m}$, 턴 수를 5.5턴으로 고정하고 Si 기판의 두께를 변화시켜 그에 대한 고주파 특성을 분석하였다. 그림의 결과로부터 기판의 두께가 증가할수록 인덕턴스는 증가하지만 $400\mu\text{m}$ 이상의 두께에서는 거의 일정한 인덕턴스를 가지나 $400\mu\text{m}$ 이하의 두께에서는 두께가 감소할수록 인덕턴스가 작아지는 것을 알 수 있다. 공진주파수의 경우 기판의 두께가 감소하면 공진주파수는 감소하였으며, 이것은 기판 두께의 감소로 인해 내부 전기용량이 증가하였기 때문이다. 또한 기판의 유전상수가 크면 공진주파수는 작아지며, 공진 주파수의 차이는 두께가 변하여도 일정하게 유지됨을 알 수 있다.

2.3 턴 수 변화에 따른 특성

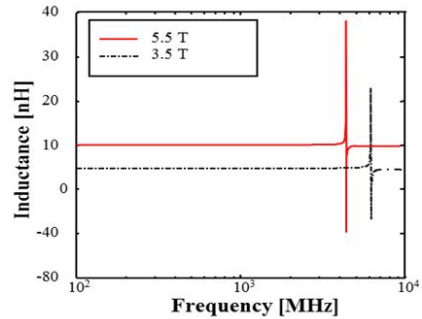
설계된 인덕터 전체 크기를 $300\mu\text{m}\times 300\mu\text{m}$, 선 폭 $10\mu\text{m}$, 선 간격 $10\mu\text{m}$ 로 고정하고 턴 수를 1.5턴에서 8.5턴으로 변화시켜 그에 대한 인덕터의 인덕턴스와 공진주파수의 특성을 분석하였다. Fig. 4는 인덕터의 턴 수 변화에 따른 인덕턴스와 공진주파수를 나타낸 것이다. 그림의 결과에서 초기 인덕턴스의 경우 1.5턴부터 7.5턴까지는 증가하다가 그 이상의 턴 수에서는 증가되는 폭이 감소하여 포화되는 형태임을 알 수 있다. 이것은 사각 나선 인덕터의 경우 인접한 도체에 흐르는 전류의 방향이 같기 때문에 인접한 도체간의 상호 인덕턴스가 전체 인덕턴스에 대해 양의 값을 가지기 때문이다.



[Fig. 4] Inductance and SRF of inductor for various number of turns

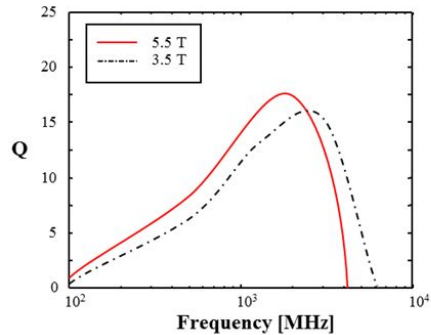
공진주파수는 1.5턴에서 4.5턴까지는 급격히 감소하다 8.5턴까지는 소폭 감소하여 포화되는 형태임을 알 수 있다. 나선형 인덕터의 턴 수가 증가하면 인덕턴스는 증가하지만 공진주파수는 감소함을 알 수 있다.

Fig. 5는 설계된 인덕터의 턴 수에 따른 인덕턴스를 나타낸 것이다. 턴 수에 따라 각각 4.25GHz, 6.1GHz의 공진 주파수를 가지며 턴 수가 작아지면 인덕턴스는 감소하나 공진주파수는 증가한다. 설계된 인덕터는 턴 수에 따라 3~5GHz의 주파수 대역에서 일정한 인덕턴스를 가짐을 알 수 있다.



[Fig. 5] Inductance of inductor for number of turns

Fig. 6은 인덕터의 턴 수 변화에 따른 품질계수를 나타낸 것이다. 초기 품질계수는 저주파 대역에서 턴 수에 따라 0.5~0.7의 값을 가지며 최대 품질계수의 값은 16.2~17.5의 값을 가진다. 또한 최대 품질계수를 가지는 주파수는 5.5턴에서 약 1.8GHz, 그리고 3.5턴에서 2.3GHz이며, 공진주파수는 4.25 GHz, 6.1GHz이다.

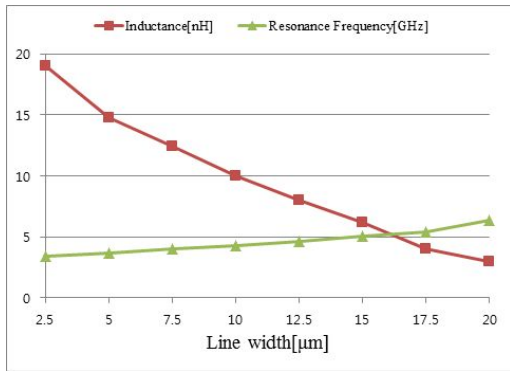


[Fig. 6] Q-factor of inductor for number of turns

2.4 선폭 변화에 따른 특성

설계된 인덕터의 전체 크기를 $300\mu\text{m}\times 300\mu\text{m}$, 도체의 선 간격을 $10\mu\text{m}$, 턴 수를 5.5턴으로 고정하고 선 폭을 $2.5\mu\text{m}$ ~ $20\mu\text{m}$ 까지의 범위에서 변화시켜 그에 대한 인덕터의 인덕턴스와 공진주파수의 특성을 분석하였다.

Fig. 7은 인덕터의 선 폭 변화에 따른 인덕턴스와 공진 주파수를 나타낸 것이다. 그림의 결과에서처럼 초기 인덕턴스의 경우 선 폭을 2.5 μm 에서 20 μm 까지 변화시켰을 때 19nH에서 3nH로 감소하였음을 알 수 있다. 반면, 공진주파수는 3.4GHz에서 6.4GHz로 증가하였다. 이 결과는 인덕터의 도체 선 폭이 증가하여도 전체 인덕터 크기와 턴 수 및 선 간격이 일정함으로 내부 사각 코일의 도선 면적이 작아지게 되어 각각의 자기 인덕턴스가 감소하기 때문이다. 또한 전류의 방향이 반대가 되는 도선이 근접하게 되는 결과가 되므로 이들 간의 상호 인덕턴스 또한 감소하여 전체 인덕턴스가 감소하게 된다. 이러한 인덕턴스의 감소는 결국 공진주파수를 증가시키는 결과를 가져온다.



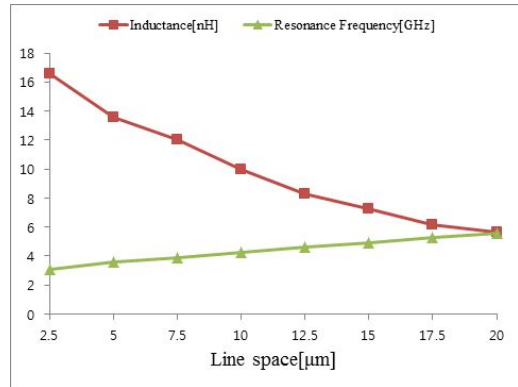
[Fig. 7] Inductance and SRF of inductor for various wire width

2.5 선 간격 변화에 따른 특성

설계된 인덕터의 전체 크기를 300 μm ×300 μm , 선 폭 10 μm , 턴 수를 5.5턴으로 고정하고 도체의 선 간격을 2.5~20 μm 까지의 범위에서 변화시켜 그에 대한 인덕터의 인덕턴스와 공진주파수의 특성을 분석하였다. Fig. 8은 인덕터의 선 간격 변화에 따른 인덕턴스와 공진주파수를 나타낸 것이다.

그림의 결과에서처럼 선 간격을 2.5~20 μm 까지 변화시켰을 때 인덕턴스는 16.6nH에서 5.6nH로 감소하였다. 반면, 공진주파수는 3.1GHz에서 5.6GHz로 증가하였다. 인덕턴스의 감소는 사각 나선 인덕터에서 도체의 선 간격이 증가하면 내부 사각 코일의 도선 면적이 작아지게 되어 각각의 자기 인덕턴스가 감소하고, 이들 간의 상호 인덕턴스 또한 전류의 방향이 같은 이웃 도선간의 거리가 증가하기 때문에 감소하는 것으로 결국 전체 인덕턴스가

감소하는 결과를 갖는다.



[Fig. 8] Inductance and SRF of inductor for various line space

3. 결론

본 논문에서는 접촉 방식 AC 커플링(Coupling)을 위한 평면 나선형 인덕터의 주파수 특성을 확인하고자 하였다.

기판의 종류를 변화하여 인덕턴스와 SRF의 주파수 특성을 확인 하였다. 기판의 유전상수의 변화는 소자의 인덕턴스에 직접적인 영향을 주지 않고 소자의 전기용량에 영향을 주어 공진주파수를 변화시키는 것을 알 수 있다.

기판의 두께를 변화하여 인덕턴스와 SRF의 주파수 특성을 확인 하였다. 기판의 두께가 증가할수록 인덕턴스는 증가하지만 공진주파수는 감소하였으며, 이것은 기판 두께의 감소로 인해 내부 전기용량이 증가하였기 때문이다.

인덕터의 도체 선 폭이 증가하여도 전체 인덕터 크기와 턴 수 및 선 간격이 일정함으로 내부 사각 코일의 도선 면적이 작아지게 되어 각각의 자기 인덕턴스가 감소하게 되고 공진주파수는 증가되게 된다. 또한, 도체의 선 간격이 증가하면 내부 사각 코일의 도선 면적이 작아지게 된다.

References

[1] Kazutaka Kasuga, Mitsuko Saito, Tsutomu Takeya, Noriyuki Miura, Hiroki Ishikuro and Tadahiro Kuroda,

- "A Wafer Test Method of Inductive-Coupling Link"
IEEE Asian Solid- State Circuits Conference,
pp.301-304, Nov. 2009.
DOI: <http://dx.doi.org/10.1109/ASSCC.2009.5357251>
- [2] Shin Jae-Young, Song Byung-Moo, "Fabrication and Characteristic of Multi-Layer Chip Inductor", *The Korean Ceramic Society, Ceramist*, vol.2, no.4, pp.11-17, 1999.
- [3] Lei Luo, John M. Wilson, Stephen E. Mick, JianXu, Liang Zhang, and Paul D. Franzon, "3 Gb/s AC Coupled Chip-to-Chip Communication Using a Low Swing Pulse Receiver", *IEEE Journal of Solid-State Circuits*, vol.41, no.1, pp.287-296, Jan. 2006.
DOI: <http://dx.doi.org/10.1109/JSSC.2005.859881>
- [4] Noriyuki Miura, Daisuke Mizoguchi, Mari Inoue, Kiichi Niitsu, Yoshihiro Nakagawa, Masamoto Tago, Muneo Fukaishi, "A 1 Tb/s 3 W Inductive-Coupling Transceiver for 3D-Stacked Inter-Chip Clock and Data Link", *IEEE Journal of Solid-State Circuits*, vol.42, no.1, pp.111-121, Jan. 2007.
DOI: <http://dx.doi.org/10.1109/JSSC.2006.886554>
- [5] Sanjay K. Thakur, Rubin A. Parekhji, A. N. Chandorkar, "On-chip Test and Repair of Memories for Static and Dynamic Faults", *IEEE International test conference*, 2006.
- [6] John Wilson, Member, Stephen Mick, Jian Xu, Member, Lei Luo, Salvatore Bonafede, Alan Huffman, "Fully Integrated AC Coupled Interconnect, Using Buried Bumps", *IEEE Trans. Actionson Advanced Packing*, vol.30, no.2, pp.191-199, May 2007.
DOI: <http://dx.doi.org/10.1109/TADVP.2007.896920>

김 재 욱(Jae-Wook Kim)

[중신회원]



- 1993년 2월 : 호서대학교 전자공학과 (공학사)
- 1998년 8월 : 호서대학교 대학원 전자공학과 (공학석사)
- 2003년 2월 : 호서대학교 대학원 전자공학과 (공학박사)
- 2006년 3월 ~ 현재 : 남서울대학교 전자공학과 조교수

<관심분야>

자동제어, 퍼지제어, chip inductor 개발, 자성막막 재료 및 소자의 개발