Journal of the Korea Academia-Industrial cooperation Society
Vol. 15, No. 8 pp. 5213-5218, 2014

http://dx.doi.org/10.5762/KAIS.2014.15.8.5213
ISSN 1975-4701 / eISSN 2288-4688

플로팅 게이트형 유기메모리 동작특성

이붕주[1*]
[1]남서울대학교 전자공학과

Operating characteristics of Floating Gate Organic Memory

Boong-Joo Lee[1*]
[1]**Electronic Engineering, Namseoul University**

요 약 유기메모리 제작을 위해 플라즈마 중합법에 의해 절연박막, 터널링 박막을 제작하였고, Au 메모리박막을 이용하여 플로팅게이트형 유기메모리를 제작하였다. 플로팅 게이트형 유기메모리의 메모리층의 전하충전 및 방전에 따른 유기메모리 동작특성을 생각해 보았고, 이를 증명하고자 게이트전압에 따른 히스테리전압 및 메모리전압을 측정하였다. 그 결과 게이트 전압의 인가에 따른 메모리층의 동작 이론을 증명하고자 게이트전압이 증가함에 따른 소스-드레인 전류의 히스테리시스 현상이 심해지는 것을 확인하였고, -60~60[V]전압 인가시 26[V]의 큰 히스테리시스 전압값을 보였다. 또한 게이트 전극에 쓰기전압인가에 따른 현상을 본 결과, 60[V]의 쓰기 전압을 인가하였을 시 13[V]의 memory 전압을 나타내었고, 80[V]의 쓰기 전압을 인가하였을 시 18[V]로 memory 전압이 약 40[%] 향상된 수치를 보였다. 이로부터 메모리층의 전하 충전 및 방전에 따른 메모리 동작특성 이론을 실험적으로 검증하였다.

Abstract Organic memory devices were made using the plasma polymerization method. The memory device consisted of ppMMA(plasma polymerization MMA) thin films as the tunneling and insulating layer, and a Au thin film as the memory layer, which was deposited by thermal evaporation. The organic memory operation theory was developed according to the charging and discharging characteristics of floating gate type memory, which would be measured by the hysteresis voltage and memory voltage with the gate voltage values. The I-V characteristics of the fabricated memory device showed a hysteresis voltage of 26 [V] at 60 ~ -60 [V] double sweep measuring conditions. The programming voltage was applied to the gate electrode in accordance with the result of this theory. A programming voltage of 60[V] equated to a memory voltage of 13[V], and 80[V] equated to a memory voltage of 18[V]. The memory voltage of approximately 40 [%]increased with increasing programming voltage. The charge memory layer charging or discharging according to the theory of the memory was verified experimentally.

Key Words : Charging, Discharging, Floating gate type organic memory, Plasma ploymerization

1. 서론

급변하는 기술적 진보와 더불어 빠른 변화에 발맞춰 현대인들의 편의를 위한 휴대성을 위한 제품 혹은 소자의 소형화, 경량화, 고밀도화, 대면적화와 같은 기술과 유연성의 가능성을 갖는 신기술이 요구되어지는 실정이다. 특히, 기존의 실리콘 기반의 무기물 소자 범위를 넘어서 유기소자에 대한 연구가 활발한 실정이다. 특히, 박막트랜지스터, 발광다이오드, 태양전지, 메모리 등의 유기 재료를 활용한 유기 전자 소자가 이에 해당하겠다[1-5]. 이런 유기 전자 소자들은 얇고 작고 가벼우며 간단한 공정으로 제작이 쉽고 유연성의 장점들을 향상시키는 방향으로 발전되어가고 있다. 이 중 유기 메모리는 다른 유기 전자 소자들에 비해 향후 발전 가능성 및 필요성이 시급

본 논문은 남서울대학교 학술연구비 지원에 의해 연구됨
*Corresponding Author : Boong-Joo Lee(Namseoul Univ.)
Tel: +82-41-580-2702 email: bjlee@nsu.ac.kr
Received April 10, 2014 Revised May 8, 2014 Accepted August 7, 2014

히 요구되어지는 실정이어서 더 많은 연구가 필요한 상황이다.

플래쉬 메모리는 비휘발성 특성을 갖고 있지만 구동전압이 높고 전자소자의 소형화에 따른 기술적 한계가 있어 집적화가 어려운 단점이 있다. 이를 위해 유기 재료를 이용하여 플래쉬 메모리를 제작함으로써 낮은 구동전압과 소형화, 비휘발성 특성까지 얻을 수 있다. 플로팅게이트형 플래쉬 메모리의 구조는 트랜지스터 기반의 메모리로 절연층과 터널링층 사이에 플로팅게이트로 박막이나 나노입자 형태로 삽입하는 간단한 구조로 되어 있다[6]. 간단한 구조로 많은 연구가 되어지고 있지만, 소자의 크기를 줄임으로써 터널링층의 절연파괴 및 누설 전류의 증가, 플로팅게이트의 감소로 인한 메모리 효과 감소의 문제를 해결하여야 한다. 이와 같은 문제를 해결하기 위해 터널링층과 메모리층에 대한 연구가 활발히 이루어지고 있다.

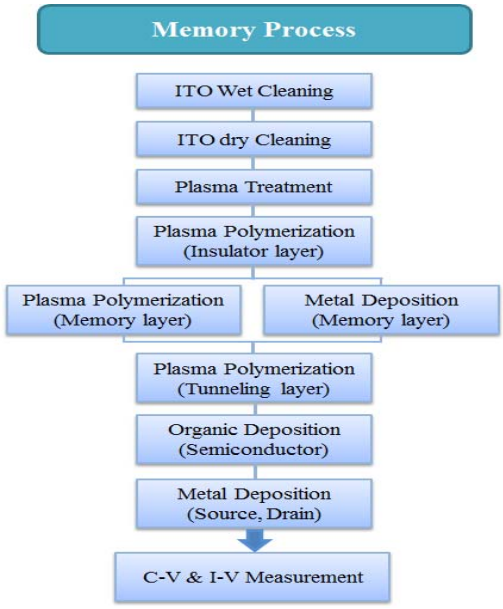
유기 메모리의 활발한 연구에 따라 재료의 중요성과 맞물려 그 재료에 맞는 공정에 대한 연구 역시 활발히 진행되고 있다. 일반적으로 사용되는 습식 공정의 스핀 코팅법, 프린팅법 등이 값싸고 쉬운 공정과 대면적화의 장점으로 인해 많이 연구되고 있지만, 특성 재현성에 대한 문제가 있다. 이러한 문제점을 감안하여 공정 인자의 제어가 가능하며 가교 밀도가 높은 박막을 형성할 수 있는 건식화 공정인 플라즈마 중합법의 공정에 대한 연구가 필요하다.

이에 따라 본 논문에서는 여러 공정 인자의 제어로 인해 가교 밀도가 높은 박막을 형성할 수 있는 플라즈마 중합법을 이용하여 제작된 유기박막 절연층과 터널링층을 활용한 유기 메모리를 제작하였다. 제작된 소자를 기준하여 유기메모리의 동작특성에 대한 이론을 생각해 보고, 메모리층의 역할을 정확히 알고자 게이트 전압의 변화에 따른 히스테리시스 전압 및 쓰기전압의 크기를 달리하여 메모리전압을 측정함으로써, 플로팅 게이트형 유기메모리의 동작특성을 확인하고자 한다.

2. 실험방법

메모리 소자의 제작은 Fig. 1의 공정 순서도와 같이 공정을 진행하였다. 유기용매를 사용하여 ITO 기판을 세척 후 질소 가스로 불순물을 제거 및 산소 플라즈마 처리를 1분간 실시하였다. 이는 기판표면에 유기물을 제거하기 위한 것이다.

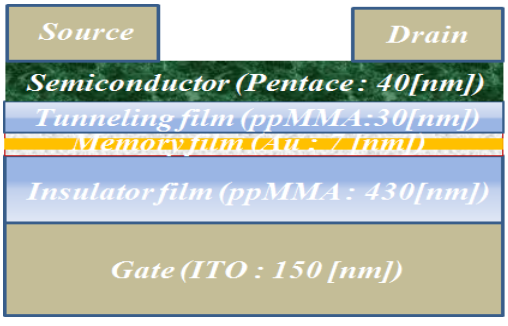
제작한 유리기판 위의 게이트 전극으로 ITO를 사용하였다. 게이트 전극으로의 누설 전류를 막기 위해 절연성이 뛰어난 대표적인 물질인 MMA(methyl methacrylate)를 사용하였고 플라즈마 중합법을 이용하여 제작한 결과 ppMMA (plasma polymerized MMA) 유기절연박막을 제작할 수 있었다. 정량제어를 위해 항온수조를 이용하여 모노머인 MMA가 일정한 온도를 맞춰주어 일정하게 기화되도록 하고, 챔버의 진공도를 조절할 수 있는 버블러를 사용함으로써, 균일한 박막이 제작되도록 하였다. 재현성 있는 박막의 형성을 위해, ppMMA의 공정 진행 시 로터리 펌프와 터보 펌프를 활용하여 초기 진공도는 10^{-6}[Torr]을 유지시켰다.



[Fig. 1] Flow chart

유기 절연층인 ppMMA 박막의 공정 조건은 RF Power를 100[W], carrier gas로 Ar을 20 [sccm], 모노머 주입 시 챔버의 압력을 스로틀 밸브와 컨트롤러로 제어해 5[mTorr]로 일정하게 유지하고, 기판 bias를 RF 20[W]로 고정하였으며 이때의 ppMMA의 두께는 430[nm]로 하였다. 메모리 소자의 특성에 관련된 메모리층은 부동 게이트형 메모리에 일반적으로 많이 사용되는 Au 박막을 사용하였다. Au 박막은 10^{-5}[Torr]의 진공 상

태에서 0.1[Å/sec]의 속도로 열증착 하였다. 무기물인 Au 박막은 7[nm]의 박막으로 제작되었다. 터널링층은 많은 데이터를 오래도록 보존하기 위해 높은 절연성을 요구하여, 유기 절연층과 동일한 ppMMA 박막을 터널링층으로 사용하였고, 터널링층의 두께는 무기재료보다는 두껍지만 일반적으로 유기 메모리 소자에 많이 사용되는 두께인 30[nm]로 제작하였다. 유기 반도체 층으로 높은 이동도 특성을 보이는 p형 반도체의 대표적인 재료인 펜타센[7]을 사용하였다. 펜타센은 10^{-5} [Torr]의 진공 상태에서 0.3 [Å/sec]의 속도로 열증착하였고,.이때의 두께는 40[㎚]이다. 마지막으로 소스와 드레인 전극은 유기 반도체층인 펜타센의 일함수가 비슷한 Au를 사용하였다. 소스와 드레인 전극의 길이를 0.1[㎜], 전극간의 거리가 1[㎜]인 새도우 마스크를 제작하였고, 열 증착법으로 제작하였으며 공정시 챔버의 초기 진공도는 10^{-5}[Torr]이고, 100[Å/S]의 속도로 증착하였다. 이때의 소스와 드레인 박막의 두께는 50[㎚]이다. 완성된 유기 메모리 소자는 Fig. 2에 나타내었다. 이처럼, 본 논문은 플라즈마 중합법을 사용하고 플로팅 게이트로 Au를 메모리층으로 사용한 유기 메모리 소자를 제작하고, 플로팅 게이트형 유기 메모리 소자의 동작 특성에 대해서 연구하였다.



[Fig. 2] Structure of organic memory

메모리 소자의 전기적 특성 평가를 위해 전류-전압 특성을 측정하였다. 전류-전압 특성의 측정을 위해 키슬리 2400와 키슬리 236을 GPIB 카드로 연결하여 랩뷰를 활용한 자동화 프로그램과 연동하였다. 게이트 전극에 double sweep의 전압을 인가하고, 키슬리 236을 이용하여 소스와 드레인 전극 사이의 전류를 측정하였다. 유기 메모리 소자의 특성을 알아보기 위해 전압을 double sweep 시켜 전류-전압 특성 곡선을 측정하여 히스테리시스 현상을 확인하였다. Double sweep 시 메모리층인 부동 게이트에 저장되는 전자 혹은 정공의 저장과 소거의 반대 현상에 의해 생기는 히스테리시스를 확인하고 전자 혹은 정공의 저장과 삭제의 전압을 인가한 후에 문턱 전압(Threshold voltage : Vth)의 차이인 메모리 전압(memory window)를 측정하였다[8-11].

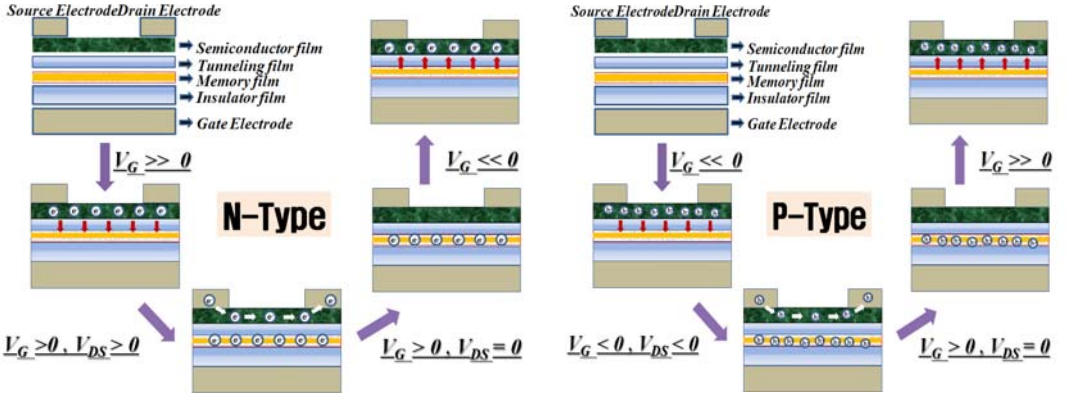
3. 실험결과

3.1 메모리소자의 동작원리

유기메모리 소자의 동작 원리를 Fig. 3에 표현하여 보았다. 그에 대한 상세 동작원리는 아래와 같이 생각되어진다.

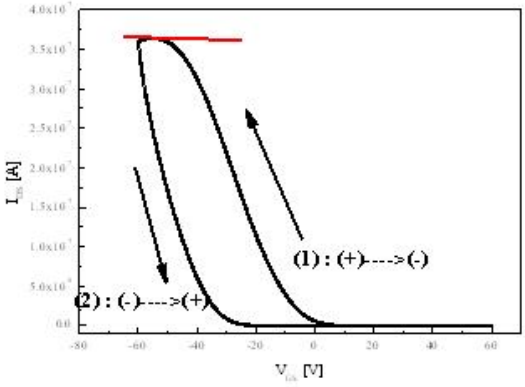
각각의 메모리 동작상태를 설명하자면, p형과 n형의 반도체층의 사용에 따라 메모리 소자의 동작상태는 다르게 생각할 수 있다. 유기메모리소자의 구조가 유기트랜지스터를 기초로 하고 있어 유기트랜지스터의 동작 특성과 비슷하다. 즉, P형 반도체를 기준으로 설명하자면, 게이트 전극에 쓰기 전압 이상의 (-) 전압을 인가함에 따라 P형 반도체의 다수 캐리어인 정공이 메모리층에 저장된다. 메모리층에 저장된 정공은 강한 절연성을 갖는 터널링층 때문에 다시 반도체층으로 돌아가지 못하고 저장된 상태를 유지되게 된다. 쓰기된 메모리 소자의 게이트 전극에 유기트랜지스터 구동전압 이상의 (-) 게이트 전압을 인가하여 채널을 형성시켜주고 소스와 드레인에 전위차를 주면 전류가 흐르게 된다. 이와 반대로 게이트 전극에 지우기 전압인 (+) 전압을 인가하게 되면 메모리 층에 저장되었던 정공이 반도체층으로 돌아가 메모리 층에서 소거되게 된다. 위에서 설명한 두 종류의 쓰기와 지우기 상태로 나눠지게 되는데, 이 두가지 상태를 “0”과 “1”로 나타내어 메모리 동작이 된다고 생각할 수 있다.

즉, 부동 게이트형 메모리 소자는 유기박막트랜지스터 소자의 절연층 안에 부동 게이트로 박막 형태나 나노 입자 형태를 삽입한다. 삽입된 부동 게이트는 게이트에 인가되는 쓰기전압, 지우기 전압에 의해서 전자와 정공이 저장되고 소거됨에 따라 유기박막트랜지스터의 특성 곡선에 히스테리시스 특성을 보이게 되며, 이로 인해 문턱 전압의 변화가 일어난다. 이 문턱 전압의 차이로 인해 쓰기와 지우기의 “0”과 “1”의 두가지 상태가 나타나게 되고, 이 특성을 이용하여 메모리가 동작한다고 판단되어진다. 이와 같은 이론에 대한 실제 특성을 파악하고자 아래와 같은 실험을 진행하였다.



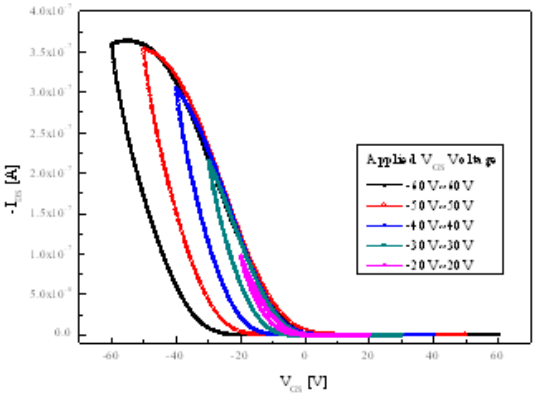
[Fig. 3] Operating characteristics of floating organic memory

3.2 메모리 특성 측정



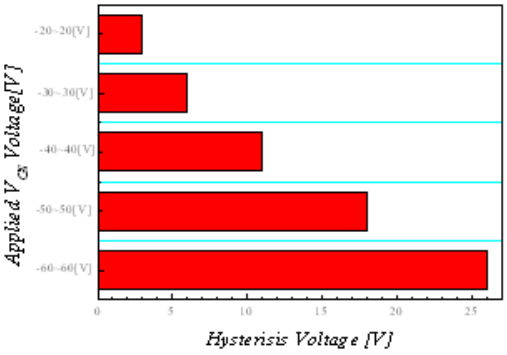
[Fig. 4] Hysterisis characteristic of floating organic memory

플로팅 게이트형 유기 메모리 소자의 특성을 알아보고자 Fig. 2의 유기 메모리 소자를 제작하여 전류 특성을 비교하였다. 터널링층은 반도체층의 전자 혹은 정공이 터널링되어 메모리 층에 저장되어야 하기 때문에 얇아야 하고, 메모리 층에서 반도체층으로 다시 돌아가지 않고 유지되어야 하기 때문에 좋은 절연 특성을 가지고 있어야 한다. 그런 이유로 유기박막 절연층과 터널링 층은 절연성이 좋은 ppMMA를 사용하여 유기 메모리 소자를 제작하였고, 인가 전압의 크기에 따른 전자 혹은 정공이 터널링 되어 메모리층에 저장됨으로써 발생되는 문턱 전압의 차이인 메모리 윈도우를 측정하여 비교하였다.



[Fig. 5] Hysterisis voltage of organic memory

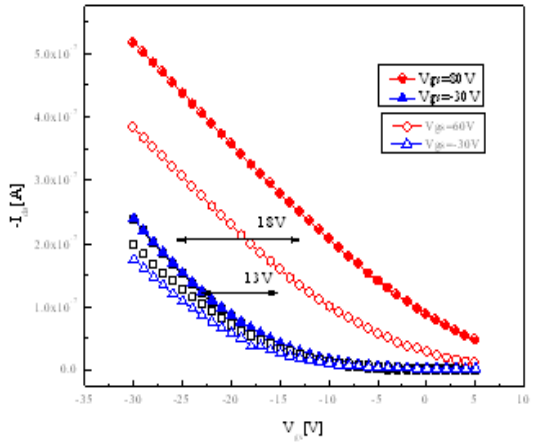
Fig. 4에서 보면 게이트전극에 인가하는 V_{GS}전압을 (+)전압에서 (-)전압을 인가후 다시 -전압에서 (+)전압을 인가하여 I_{DS}전류를 측정하였다. Fig.5 에서 보면 V_{GS} 전극에 (+)전압을 인가하는 경우 (+)전압이 작아짐에 따라 I_{DS}흐르는 절대적인 전류값은 증가되고 있는 것을 알 수 있다. 더불어 게이트전압이 인가됨에 따라 상대적인 I_{DS}/V_{GS} 기울기가 작아지며, V_{GS}가 가장 작은 최종지점에서는 I_{DS}/V_{GS}의 기울기가 "0"되는 시점을 볼 수 있다. 즉, Fig. 3에서 P형 반도체인 경우, 이는 게이트 전압이 (+)전압인 경우 메모리층의 누적된 hole이 터널링층을 통해 반도체층으로 주입됨에 따라 p형 반도체의 다수캐리어인 hole이 증가하게 되어 Fig. 4와 같이 전류의 절대값은 증가하는 것으로 판단되어, 메모리 이론과 동일한 현상으로 볼 수 있다.



[Fig. 6] Hysterisis voltage with applied gate voltage

Fig. 5는 게이트의 전압을 증가함에 따라 소스와 드레인에 흐르는 전류를 측정한 결과이다. 다음과 같이 게이트 전압이 증가됨에 따라 I_{DS}전류의 상대적인 크기도 증가되며 게이트 전압의 인가를 (+)에서 (-)로 인가하는 경우와 (-)에서 (+)로 인가하는 경우의 히스테리시스 현상을 볼 수 있으며, 동일 I_{DS}에서 최대의 V_{GS}전압의 폭인 히스테리시스 전압의 크기도 커짐을 알수 있다[7-10]. 이는 측정을 위해 인가되는 전압에 따라 메모리층에 전하의 충전능력이 증가되어 I_{DS}에 흐르는 전류를 증가시키는 현상으로 판단된다. 즉 게이트전압의 double sweep 시 일어나는 전류-전압 곡선의 히스테리시스 현상을 확인하여 메모리로써의 전하의 충전과 방전에 따른 전하 저장 효과 현상을 확인하였다.

Fig. 6은 앞서 제작한 유기 메모리 소자에 쓰기과 지우기 전압을 인가하였을 때, 문턱 전압이 이동하여 그 차이를 측정한 것이다. 이를 memory window 라고 한다[8-11]. (a)의 경우, 60[V]의 쓰기 전압을 인가하였을 때, 전압을 인가하지 않은 초기의 그래프에 비해 문턱 전압이 13[V] 이동한 것을 알 수 있다. 문턱 전압이 이동함으로써, 초기 전압보다 작은 전압에서부터 전류가 증가하기 시작하고 같은 전압을 인가하였을 때 쓰기을 인가한 후 측정한 그래프가 전류의 크기가 증가하는 것을 알 수 있다. 이는 앞서 설명한 메모리 소자의 동작 원리에서와 같이 (+)의 쓰기 전압에 의해 반도체층에 있는 전자가 터널링 되어 메모리층에 저장되게 되고 반대로 반도체층에는 정공이 늘어나게 된다. 펜타센은 p형 반도체 이므로 다수 캐리어가 늘어나 소스, 드레인, 게이트 전극에 같은 전압을 인가해도 전류가 늘어나는 현상이 일어난다. 늘어난 다수 캐리어를 다시 돌려놓기 위해 (-)의 지우기 전압을 인가하여 초기의 그래프의 같아지는 전압을 측정한다. 이때 지우기 전압은 -30[V]이다.



[Fig. 7] Memory voltage of organic memory (a)VGS=60V, (b)VGS=80V

Fig. 7은 메모리 효과를 검증하고자 쓰기 전압을 증가시켜 실험을 하였다. (b)와 같이 더 큰 쓰기 전압을 인가하였을 때, 더 많은 전자 혹은 정공이 저장되어 메모리 효과가 증가할 것이다. 80[V]의 쓰기 전압을 인가하였을 때, 전압을 인가하지 않은 초기의 그래프에 비해 문턱 전압이 18[V] 이동한 것을 알 수 있다. 60[V]를 인가했을 때와 같이, 문턱 전압이 이동함으로써 초기 전압보다 작은 전압에서부터 전류가 증가하기 시작하고 같은 전압을 인가하였을 때 쓰기전압을 인가한 후 측정한 그래프가 전류의 크기가 증가하는 것을 알 수 있다. 늘어난 다수 캐리어를 다시 돌려놓기 위해 - 의 지우기 전압을 인가하여 초기의 그래프의 같아지는 전압을 측정하였는데 이때 지우기 전압 또한 -30[V]으로 측정되었다.

이처럼, 메모리층에 인가하는 쓰기전압의 상승에 따른 메모리층의 전하주입으로 인해 메모리 효과가 상승하는 것을 알 수 있었다.

4. 결 론

플로팅 게이트형 유기 메모리 소자의 제작을 위해 유기 절연층으로 플라즈마 중합법을 이용하여 유기 재료인 MMA를 사용하여 유기절연박막 및 터널링 박막으로 활용하였다. 플로팅게이트형 유기메모리 이론을 정리하고,

게이트 전압의 인가에 따른 메모리층의 동작 이론을 증명하고자 게이트전압이 증가함에 따른 소스-드레인 전류의 히스테리시스 현상을 확인하였고, -60~60[V]전압 인가시 26[V]의 큰 히스테리시스 전압값을 보였다. MMA 기반의 Memory 소자는 60[V]의 쓰기 전압을 인가하였을 시 13[V]의 memory window를 나타내었고, 80[V]의 쓰기 전압을 인가하였을 시 18[V]로 memory window가 약 40[%] 향상된 수치를 보였다. 이처럼 Au 메모리층의 메모리 저장 능력과 터널링층의 얇지만 강한 절연 특성과 더불어 메모리 소자에 인가되는 전압의 크기 또한 중요하다. 게이트 전압에 따른 히스테리전압이 증가되는 현상과 인가된 쓰기 전압이 클수록 메모리 효과는 증가하는 것으로부터 플로팅 게이트형 유기메모리 이론을 설명할 수 있었다.

이로부터 본 연구를 통해 플로팅게이트형 유기메모리의 성능향상을 위한 작은 전압을 인가해도 큰 memory window를 얻을 수 있고, 작은 전압에도 터널링 효과가 증대될 수 있는 소자연구에 도움이 되었으면 한다.

References

[1] Hee-Sung Kim, Boong-Joo Lee, Paik-kyun Shin and Shizuyasu Ochiai, “Floating-gate type organic memory device with organic insulator film of plasma polymerized styrene”, *Jpn. J. Appl. Phys.* **53**, 031602(2014).
DOI: http://dx.doi.org/10.7567/JJAP.53.031602

[2] T.-W. Kim, Y. Gao, O. Acton, H.-L. Yip, H. Ma, H. Chen, A. K.-Y. Jen, “Graphene oxide nanosheets based organic field effect transistor for nonvolatile memory applications”, *Appl. Phys. Lett.* **97**, 023310 (2010).
DOI: http://dx.doi.org/10.1063/1.3464292

[3] H.S Kim, B.J. Lee, P.K. Shin, “Floating gate organic memory with tunneling thin film”, *Korean Vac. Soc.* **21**,354(2012).
DOI: http://dx.doi.org/10.5757/JKVS.2012.21.6.354

[4] S.-H. Lee, B.-J. Lee, Y.-T. Lim, J.-S. Lim, S.Lee,S.Ochial,J.-S.Yi,andP.-K.Shin,"Process condition considered preparation and chararacterization of plasma polymerized Methyl Methacrylate thin film for organic thin film transistor application" *Jpn.J .Appl.Phys.* **51** 021602 (2012).
DOI: http://dx.doi.org/10.1143/JJAP.51.021602

[5] Q.-D. Ling, D.-J. Liaw, C. Zhu, D. S.-H, Chan, E.-T. Kang, and K.-G. Neoh, "Polymer electronic memories: Materials, devices and mechanisms", *Prog. Polym. Sci.* **33**,917(2008).
DOI: http://dx.doi.org/10.1016/j.progpolymsci.2008.08.001

[6] J.-S. Lee, "Review paper:Nano-floating gate memory devices", *Electron. Mater. Lett.* **7**,175(2011).
DOI: http://dx.doi.org/10.1007/s13391-011-0901-5

[7] Hun-seong Lim, "A study of soluable pentacene films for organic transistors", *Proceedings of the KAIS Fall Conference*, 136, 2007

[8] J. Ouyang, C.-W. Chu, C. R. Szmanda, L. Ma and Y. Yang,"Programmable polymer thin film and non-volatele memory device", *Nature Mater.* **3**,918(2004).
DOI: http://dx.doi.org/10.1038/nmat1269

[9] J. C. Scoot, L. D. Bozano, Adv. MatScotH. Sirringhaus, "Nonvolatile memory elements based on organic materials", *Adv.Mater.* **19**, 1452(2007).
DOI: http://dx.doi.org/10.1002/adma.200602564

[10] Henning Sirringhaus, "Organic semiconductors that operate through the conduction of positive charges are the first choice for use in printable electronic circuitry. A device that uses electrons instead has just joined the rankings", *Nature*, **457**, 667 (2009)
DOI: http://dx.doi.org/10.1038/457667a

[11] Th. B. Singh, N. Marjanovic, G. J. Matt, N. S. Sariciftci, "Nonvolatile organic field-effect trnsistor memory element with a polymeric gate electret", *Appl. Phys. Lett,* 85, 5409 (2004)
DOI: http://dx.doi.org/10.1063/1.1828236

이 붕 주(Boong-Joo Lee)

- 1996년 2월 : 인하대학교 전기공학과 졸업(공학사)
- 1998년 2월 : 인하대학교 대학원 전기공학과 졸업(공학석사)
- 2003년 2월 : 인하대학교 전기공학과 졸업(공학박사)
- 2004년 4월 ~ 2007년 8월 : LG전자 디지털디스플레이연구소
- 2007년 9월 ~ 현재 : 남서울대학교 전자공학과 교수

<관심분야>
유기소자(트랜지스터,메모리), 태양전지, 발광소자(OLED, LED), 조명, 디스플레이