

고성능 반도체 검사의 신뢰성 향상을 위한 전도성 시트 기반 검사용 소켓의 특성 평가

박선아*, 이예은*, 이희준*

*미르텍알앤디 주식회사

e-mail: sunah123456@naver.com, yaeun97@naver.com, mirtech77@naver.com

Evaluation of Conductive Sheet-Based Test Sockets for Reliability Enhancement in High-Performance Semiconductor Testing

Sun-Ah Park*, Ye-Eun Lee*, Hee-Joon Lee*

*Mirtech R&D Corporation

요 약

본 논문에서는 고성능 반도체 검사의 신뢰성 향상을 목적으로 전도성 시트 기반 검사용 소켓을 설계·제작하였다. 기존 포고핀 및 러버 타입 소켓은 각각 장점을 지니고 있으나, 낮은 저저항 확보와 미세 피치 정밀도 구현에는 한계가 존재한다. 이를 극복하기 위해 전도성 시트와 탄성 구조체를 결합한 새로운 구조의 소켓을 제안하였으며, 제작된 시제품은 눌림 양, 접촉 저항, 피치 정밀도에 대해 성능을 평가하였다.

실험 결과, 모든 시편에서 0.2mm의 눌림을 가했을 때 구조적 손상은 발생하지 않았다. 접촉 저항은 평균 약 31.6mΩ이었으며, 피치 정밀도는 평균 803μm이었다.

이러한 결과는 제안된 소켓이 기존 소켓의 한계를 보완하며, 차세대 고집적 반도체 검사에 적용 가능한 유효한 대안임을 입증한다.

1. 서론

반도체 산업은 5G 통신, 인공지능, 자율주행 등 첨단 기술의 발전과 함께 고성능·고집적 패키지에 대한 수요가 급격히 증가하고 있다. 이에 따라 패키지의 소형화와 접속 단자의 미세화가 가속화되고 있으며, 이러한 변화는 검사 공정에서 높은 정밀성과 장기 신뢰성을 동시에 확보할 것을 필수적으로 요구하고 있다[1].

현재 산업 현장에서 널리 사용되는 반도체 검사용 소켓은 포고핀(Pogo-pin) 타입과 러버(Rubber) 타입으로 구분된다. 포고핀 타입은 높은 전류 및 온도 조건에서 유리하지만 초미세 피치 환경에서는 저저항 특성을 확보하기 어렵고, DUT(Device Under Test)의 손상을 유발할 수 있다는 한계가 있다. 반면 러버 타입은 제작이 용이하고 비용 경쟁력이 있으나, 고주파 대역에서 삽입 손실이 크고 반복 접촉에 따른 신뢰성 저하가 보고된 바 있다[2-3].

이러한 문제를 해결하기 위해 합금 기반 전도성 소재 적용, 러버 구조 최적화, 신호 전달 특성 개선, 가속 수명 시험을 통한 신뢰성 평가 등 다양한 연구가 진행되어 왔다. 또한 검사 속도와 반복 정밀도 향상을 위한 장치 개발, 포고핀 소켓의 시뮬레이션 상관계수 개선, 미세 피치 Cu pillar bump와 같은 첨단 패키징 기술의

도입, BeCu 금속박판 기반 소켓 제작 연구 등이 보고되고 있다[4-10].

이러한 연구에도 불구하고 초미세 피치 환경에서의 정렬 정밀도 제어와 장기적 신뢰성 확보는 여전히 해결해야 할 과제로 남아 있다. 이에 본 논문에서는 전도성 시트를 기반으로 한 새로운 구조의 검사용 소켓을 제안하고, 눌림 양, 접촉 저항 및 피치 정밀도에 대한 체계적인 성능 평가를 수행하였다.

이를 통해 차세대 반도체 검사 공정에서 요구되는 신뢰성 확보 가능성을 실험적으로 확인하고자 한다.

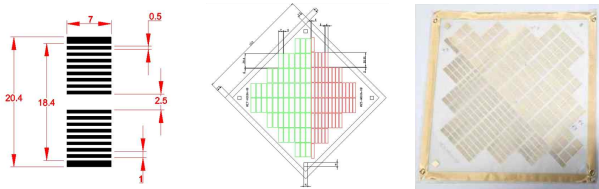
2. 본론

2.1 전도성 시트 설계 및 제작

전도성 시트는 DUT(Device Under Test)와 직접 접촉하여 전기 신호를 전달하는 핵심 구성 요소로, 정렬 정밀도와 전기적 안정성을 동시에 충족해야 한다. 본 논문에서는 우선 단일 시트 도면을 설계한 후, 이를 확장하여 8인치 웨이퍼 단위 배열 도면을 작성하였다. 웨이퍼 단위 배열은 소규모 시편 검증뿐만 아니라 대면적 공정에서도 반복성과 균일성을 확보하기 위한 것으로, 대량 생산성을 고려한 공정 신뢰성 검증에 필수적이다.

특히 전도성 시트의 패턴은 목표 피치인 $800\mu\text{m} \pm 40\mu\text{m}$ 를 만족하도록 설계되었다. 이는 현재 고집적 메모리 반도체 및 차량용 전력반도체 검사에서 요구되는 미세 피치 수준과 장비의 기계적 정렬 정밀도를 동시에 반영한 수치이다. $800\mu\text{m}$ 피치는 차세대 패키지 소자의 전극 간 간격에 대응하기 위한 값이며, $\pm 40\mu\text{m}$ 는 산업 현장에서 일반적으로 확보 가능한 정렬 공차 범위로, 이보다 큰 오차는 신호 간섭과 접촉 불량률 유발할 수 있다. 따라서 본 연구에서 제시한 설계 기준은 연구실 단위의 검증과 산업 현장의 실제 검사 환경 모두에서 적용 가능한 합리적 수치라 할 수 있다.

이와 같이 설계된 전도성 시트는 공정 규모와 관계없이 안정적인 접촉 특성과 반복성을 보장할 수 있는 기반 기술로 기능할 것으로 기대된다.

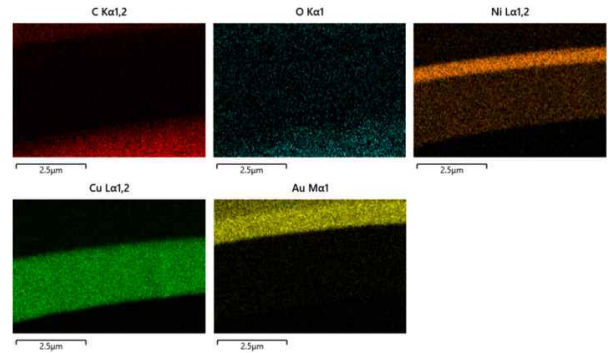
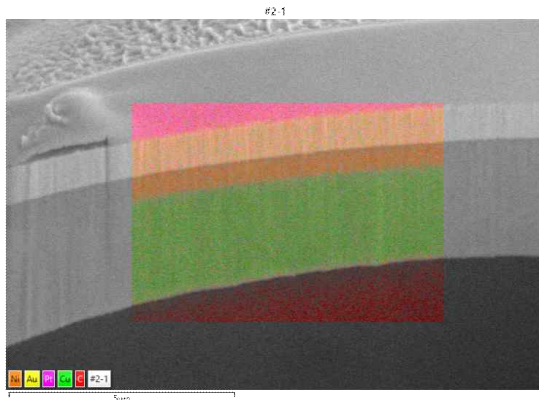


[그림 1] 전도성 시트 설계 및 제작

전도성 시트의 표면 및 단면 특성을 검증하기 위하여 EDS-Mapping 분석을 수행하였다. [그림 2]의 단면 분석 결과, C, O, Ni, Cu, Au 층이 명확히 구분되어 관찰되었으며, 이는 다층 도금 구조가 안정적으로 형성되었음을 보여준다.

특히 Ni 층은 Cu와 Au 사이에서 Au 도금의 밀착성을 향상시켜 균일한 도금층 확보에 기여하는 것으로 확인되었다. 이러한 균일한 성분 분포와 안정적인 다층 구조는 반복 접촉 시에도 전기적 특성과 기계적 안정성을 유지하는 데 중요한 역할을 한다.

따라서 본 연구에서 제작된 전도성 시트는 반복 사용 환경에서도 안정적인 성능을 보장하며, 차세대 반도체 패키지 검사에 적용 가능한 유효한 대안으로 평가될 수 있다.



[그림 2] 전도성 시트 Mapping data

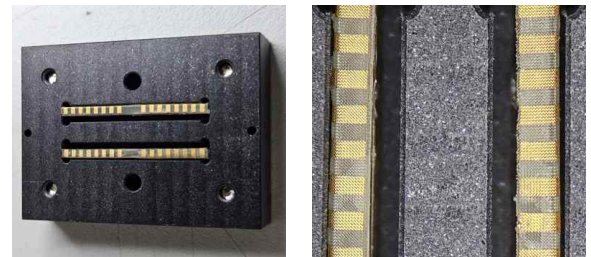
2.2 검사용 소켓 시제품 제작

검사용 소켓 시제품은 전도성 시트와 탄성 구조체의 정밀한 접합 과정을 통해 제작되었다.

진공 주입 공정은 반복 압축 과정에서 발생할 수 있는 균열과 계면 박리를 억제하고, 장기 신뢰성을 확보하기 위한 필수 요소이다. 이에 본 연구에서는 탄성 구조체 제작을 위해 전용 지그를 설계·제작하였으며, 액상 실리콘 러버를 진공 상태에서 주입한 후 전기로에서 120°C , 20분간 경화하였다. 지그는 상·하부 구조로 이루어져 있으며 SUS 가공물과 조립될 수 있도록 설계되었다. 이러한 공정을 통해 내부 기공 형성을 최소화하고, 반복 하중 환경에서도 안정적인 구조체를 구현할 수 있었다.

경화된 탄성 구조체는 전도성 시트와 결합하였다. 이 과정에서 실리콘 러버를 얇게 도포하여 접촉 계면을 형성하였으며, 도포 두께는 접착 강도와 평탄도를 동시에 만족하도록 정밀하게 제어하였다. 이후 상단 지그에 고정된 탄성 구조체와 하단 지그에 고정된 전도성 시트 및 정렬 필름을 정밀하게 맞춘 후, 전기로에서 120°C , 10분간 추가 경화를 수행하였다. 이 과정을 통해 계면 접착의 안정성을 확보하고, 전극 배열 간 정렬 오차를 최소화하였다.

최종적으로 제작된 구조물은 상·하부가 평탄한 러버 블록 형태를 가지며, 전도성 시트와 탄성 구조체가 안정적으로 접합된 구조를 형성하였다. 또한 구조물의 양 끝단에는 실리콘 러버를 보강 도포하고 테이프를 적용하여 이탈을 방지하였다.



[그림 3] 본 연구를 통해 개발 완료한 검사용 소켓

2.3 검사용 소켓 특성 평가 분석

본 연구에서 제작된 전도성 시트 기반 검사용 소켓의 성능은 높

립 양, 접촉 저항, 피치 정밀도를 중심으로 평가하였다. 이 세 항목은 반도체 검사 환경에서 소켓 신뢰성을 결정짓는 핵심 지표이다. 눌림 양은 반복적인 접촉 과정에서 균일성을 유지해 기계적 안정성을 보장하는 요소이며, 접촉 저항은 신호 손실과 발열 특성에 직결되는 전기적 지표이다. 또한 피치 정밀도는 미세화된 반도체 패키지와 소켓 간 정렬 정확도를 나타내며, 불량률과 직결되는 매우 중요한 특성이다.

따라서 본 연구에서는 이 세 가지 항목을 종합적으로 분석하여 제작된 소켓이 실제 반도체 검사 조건에서 요구되는 기준을 충족하는지를 확인하였다. 특히 저저항·고정밀도를 요구하는 환경에 적합한지를 평가하여, 제안된 소켓 구조의 실용성과 신뢰성을 검증하고자 하였다.

2.3.1 검사용 소켓의 눌림 양 및 접촉저항 분석

전도성 시트 기반 검사용 소켓의 기계적·전기적 특성을 검증하기 위해 눌림 양과 접촉 저항을 평가하였다. 눌림 양은 전도성 라인의 눌리기 전 길이와 눌린 후 길이의 차이로 산출하였다.

본 연구에서 눌림 양의 목표값은 전극 간 안정적인 전기적 접촉을 확보하기 위해 필요한 최소 변위인 0.2mm로 설정하였다. 이는 과도한 하중으로 인한 DUT(Device Under Test) 손상을 방지할 수 있는 범위이기도 하다. 일반적으로 고집적 반도체 패키지 검사용 소켓은 약 0.1~0.25mm 수준의 변위를 적용하는데, 본 연구에서는 반복 신뢰성과 기계적 안정성을 균형 있게 확보할 수 있는 조건으로 0.2mm를 채택하였다.

반복시험기를 통해 전도성 라인에 0.2mm의 눌림을 가한 결과, 손상이나 구조적 변형은 관찰되지 않았으며, 이는 소켓이 반복적인 접촉 조건에서도 안정적인 기계적 특성을 유지함을 보여준다.

[표 1] 검사용 소켓의 눌림 양 분석 결과

시료 번호	전도성 라인 눌림 전(mm)	전도성 라인 눌림 후(mm)	전도성 라인 눌림 양(mm)
1	43.2989	43.4989	0.2
2	43.2797	43.4797	0.2
3	43.2817	43.4817	0.2
4	43.2837	43.4837	0.2
5	43.2874	43.4874	0.2

동일 조건에서 Resistance meter를 이용하여 접촉 저항을 측정하였다. 본 연구에서 접촉 저항의 목표값은 40mΩ 이하로 설정하였는데, 이는 차세대 반도체 검사 환경에서 신호 손실과 발열을 억제하기 위한 기준으로, 일반적으로 50mΩ 이하에서 고주파 신호의 무결성이 확보된다고 알려져 있다.

따라서 40mΩ 이하는 보다 안정적인 신호 전송을 보장하고, HBM이나 차량용 전력반도체와 같이 고집적·고신뢰성이 요구되는 응용 분야에 대응할 수 있는 실용적 기준이라 할 수 있다.

실험 결과, 3개의 소켓에서 각각 5개의 전도성 라인을 교차 검증한 평균값은 약 31.6mΩ으로 나타났다. 이는 설정한 목표값을 충족하는 수준으로, 전기적 접촉의 안정성이 확보되었음을 의미한다. 따라서 본 연구에서 제작된 전도성 시트 기반 소켓은 저저항 특성이 요구되는 차세대 반도체 검사 환경에 적합함을 확인할 수 있었다.

[표 2] 검사용 소켓의 접촉저항 분석

시료번호	전도성 라인 번호	시험 결과 (mΩ)
#1	1	30
	2	32
	3	35
	4	32
	5	34
#2	1	32
	2	32
	3	34
	4	32
	5	34
#3	1	28
	2	29
	3	29
	4	30
	5	31

2.3.2 검사용 소켓의 피치 정밀도 분석

전도성 시트 기반 검사용 소켓의 정밀도는 Digital & Stereo Microscope System(배율 30배)을 사용하여 전도성 라인 간 피치를 측정함으로써 평가하였다.

본 연구에서 피치 정밀도의 목표값은 800±40μm로 설정하였다. 800μm는 차세대 고집적 메모리 및 차량용 전력반도체 패키지의 전극 간 간격을 반영한 값이며, ±40μm는 검사 장비의 기계적 정렬 정밀도와 소자의 제조 공차를 고려한 수치로, 이를 벗어날 경우 신호 간섭과 접촉 불량 발생 가능성이 있다.

따라서 제시된 기준은 실제 반도체 검사 환경에서 요구되는 신뢰성을 확보하기 위한 합리적 설계 조건이라 할 수 있다.

측정 결과, 최소 794.55μm에서 최대 812.55μm까지의 범위를 나타냈으며, 전체 평균은 약 803.22μm로 확인되었다. 이는 설계 목표 범위 내에 안정적으로 포함되는 값으로, 제작된 소켓이 미세 피치 조건에서도 정밀한 패턴을 구현할 수 있음을 보여준다. 또한 각 시료의 표준편차는 5.83~10.83μm 수준, 상대 표준편차(RSD)는 최대 1.3%로 나타나 측정 결과가 높은 일관성과 재현성을 갖추었음을 확인하였다.

[표 3] 검사용 소켓의 피치 정밀도 분석 결과

시료번호	피치정밀도				
	#A	#B	#C	#D	#E
1	801.46	796.81	798.19	806.98	806.14
2	812.55	801.51	806.93	809.74	794.55
3	807.12	798.19	806.90	805.61	803.33
4	801.55	798.19	799.95	803.79	805.25
5	799.95	805.25	807.02	798.25	805.22
최대	812.55	805.25	807.02	809.74	806.14
최소	799.95	796.81	798.19	798.25	794.55
표준편차	10.79	5.83	9.40	6.39	10.83
상대표준편차 RSD(%)	1.3%	0.7%	1.2%	0.8%	1.3%
평균	804.53	799.99	803.80	804.87	802.90

피치 정밀도는 반도체 부품 검사에서 소켓과 DUT(Device Under Test) 간 정렬 정확도를 보장하는 핵심 지표이다. 본 연구에서 확보된 결과는 전도성 시트 기반 소켓이 소형화·고집적화된 패키지 검사 환경에서도 안정적으로 적용될 수 있음을 보여준다. 특히 높은 정렬 정밀도가 요구되는 차세대 패키지 검사에서도 본 소켓 기술의 활용 가능성을 입증하였다는 점에서 그 의의가 크다.

3. 결론

본 논문에서는 전도성 시트를 기반으로 한 새로운 형태의 반도체 검사용 소켓을 설계·제작하고, 이에 대한 성능을 체계적으로 평가하였다. 전도성 시트와 탄성 구조체를 결합하여 프로브 블록을 형성하였으며, 이를 통해 시제품 소켓을 구현하였다.

성능 평가 결과, 제작된 소켓은 다음과 같은 특성을 확보하였다.

- 눌림 양: 반복 시험에서 균일하게 0.2 mm의 눌림 양을 유지하며 구조적 안정성을 확인하였다.

- 접촉 저항: 평균 31.6mΩ으로 측정되어 목표 기준인 40mΩ 이하를 충족하였다.

- 피치 정밀도: 평균 약 803μm로 분석되어 목표 범위인 800±40μm를 만족하였다.

이러한 결과는 저저항·고정밀 특성을 동시에 만족함으로써, 소형화·고성능화되는 반도체 부품 검사에 적합한 기술적 가능성을 보여주었다.

앞으로는 본 논문에서 제안한 전도성 시트 기반 소켓 기술을 소규모 시편 수준에 머무르지 않고, 대면적 어레이 구조로 확장하여 수백 개의 핀이 동시에 동작하는 다양한 반도체 패키지 검사에도 활용할 수 있도록 발전시킬 계획이다. 이렇게 하면 단일 소켓 수준에서 검증된 성능을 실제 산업 현장의 대량 생산 검사 공정에서도 그대로 적용할 수 있는 범용성을 확보할 수 있다.

또한, 지금까지의 실험은 주로 상온 조건에서 진행되었으나, 향후에는 고온·저온 환경 시험이나 고전류 구동 조건과 같은 실제 반도체 동작 환경을 반영한 추가 검증을 수행할 예정이다. 이를 통해 연구 단계에서 제안된 소켓이 단순히 실험실 수준에서만 유효한 것이 아니라, 산업 현장에서 바로 적용 가능한 신뢰성 높은

검사 기술로 자리잡을 수 있도록 발전시켜 나갈 계획이다.

감사의 글

본 연구는 2024년도 과학기술정보통신부 (2024-DD-RD-0105-01)의 지원에 의하여 이루어진 연구로서, 관계 부처에 감사드립니다.

참고문헌

- [1] 강도영 외, “포고핀 소켓의 시뮬레이션 상관성 개선,” 한국전자과학기술논문지, 제35권 제12호, pp. 1005–1015, 2024년.
- [2] 강도영 외, “포고핀 소켓의 시뮬레이션 상관성 개선,” 한국학술지인용색인(KCI), 2024년.
- [3] 김경식 외, “실리콘 러버 소켓의 구조 변경을 통한 신호 전달 특성 향상,” 한국학술지인용색인(KCI), 2023년.
- [4] 김경식 외, “새로운 동축 구조를 사용한 실리콘 러버 소켓의 성능 개선,” 한국학술지인용색인(KCI), 2024년.
- [5] 김경식 외, “커넥터와 수직 상호결합 방식을 사용한 실리콘 고무 소켓의 S-파라미터 측정,” 한국학술지인용색인(KCI), 2024년.
- [6] 양서준 외, “실리콘 러버 소켓의 가속 수명 시험을 통한 물성 변화가 가지는 전기적 특성 평가,” 한국반도체디스플레이기술학회, 2024, pp. 40–45
- [7] 박형근, “반도체 테스트 소켓의 검사속도 및 반복 정밀도 개선형 검사장치에 관한 연구,” 한국산학기술학회논문지, 제22권 제1호, pp. 329–336, 2021년.
- [8] 노은천 외, “첨단 반도체 패키징을 위한 미세 피치 Cu Pillar Bump 연구 동향,” 전자공학회지, 제50권 제2호, pp. 88–96, 2023년.
- [9] 김상훈 외, “BeCu 금속박판을 이용한 테스트 소켓 제작,” 한국정밀공학학회지, 제29권 제6호, pp. 521–528, 2012년.
- [10] 특허청, “포고 핀 및 이를 포함하는 테스트 소켓,” 등록특허 제100640626호, 2006년.