

생성형 AI 기반 파이썬을 이용한 하드웨어 설계 오류 자동 검출 및 개선 사례

김범진, 홍성율, 한기영, 방극희
피에이치에이 H/W설계팀
e-mail:bj2kim@phakr.com

A Case Study on Automated Detection and Improvement of Hardware Design Errors Using Generative AI and Python

Bum-Jin Kim, Sung-Ryul Hong, Gi-Young Han, Kuek-Hee Bang
PHA H/W Design Tem

요 약

전장품 하드웨어 회로 및 PCB 설계 과정에서는 휴먼 에러로 인한 설계 기준 미준수 사례가 자주 발생한다. 본 논문에서는 이러한 오류를 사전에 검출하고 설계 품질을 향상시키기 위한 파이썬 기반 자동화 도구를 개발하였다. 생성형 AI를 활용하여 구현된 본 도구는 회로 설계의 테스트 포인트 누락, 중복 검출과 PCB 설계의 디커플링 캐패시터 거리 분석 기능을 포함한다. 실제 설계에 적용한 결과, 검토 효율성과 설계 신뢰성을 향상시킬 수 있음을 확인하였다.

1. 서론

최근 전장품의 고도화 및 기능 다변화로 인해 회로 및 PCB 설계의 복잡도가 지속적으로 증가하고 있다. 이로 인해 설계자는 물론, 설계 결과를 검토하는 검토자 또한 육안에 의존한 수동 검토 방식으로는 설계 기준을 벗어난 항목이나 누락, 중복된 요소를 놓치기 쉬운 상황이 빈번하게 발생하고 있다. 일반적으로 회로/PCB 설계 도구에서 제공하는 DRC(Design Rule Check) 기능을 활용하더라도, 해당 기능은 검토자가 확인하고자 하는 특정 기준이나 조건을 모두 포함하지 못하는 한계가 존재한다.

이러한 문제를 해결하기 위해, 본 연구에서는 설계 데이터의 정보를 포함하고 있는 .asc 확장자 파일을 기반으로 회로 및 PCB 설계를 정량적으로 분석할 수 있는 자동화 프로그램의 필요성을 제기하였다.

생성형 AI를 활용하여 파이썬 코드를 생성하고, 이를 바탕으로 사용자가 정의한 검토 기준에 맞춘 자동화 도구를 개발하였다.

프로그램 개발에 앞서 회로 설계와 PCB Artwork 설계에서 자주 발생하는 휴먼 에러 사례를 선정하였고, 각각에 대한 검출 로직을 구현하였다. 회로 설계의 경우 테스트 포인트(Test Point)의 누락 및 중복 여부를 자동으로 검출하고, PCB 설계에서는 디커플링 캐패시터와 IC의 핀 간의 거리를 분석하여 설계 기준을 초과한 배치 여부를 자동으로 판별하였다. 분석 결과는 사용자가

확인하기 쉬운 형식의 엑셀 보고서로 자동 생성되도록 하여, 검토 효율성과 설계 품질을 동시에 향상시킬 수 있도록 하였다.

2. 이론적 배경

2.1 테스트 포인트(Test Point, TP) 설계

테스트 포인트(Test Point, 이하 TP)는 회로의 전기적 특성을 검증하기 위한 필수 요소로, PCB 제작 후 수행되는 오픈 및 쇼트 테스트에서 오류를 확인하는 데 활용된다. 또한 ICT(In-Circuit Test)에서는 측정 지점으로 사용되며, 설계자가 의도한 신호가 실제로 회로상에서 올바르게 전달되는지 검증하는 데에도 활용된다.

이에 따라 TP는 설계 초기 단계에서부터 ICT를 고려하여 적절히 배치되어야 한다. 그러나 TP는 회로의 기능적 동작에는 직접적인 영향을 미치지 않기 때문에 설계자 입장에서는 우선순위가 낮은 항목으로 인식되기도 하며, 회로 복잡도가 증가할수록 TP의 누락 또는 중복 설계가 발생 할 수 있다. TP의 누락은 전기적 테스트 시 검증 지점을 확보하지 못하게 되어 테스트 누락으로 이어질 수 있다. 한편 중복된 TP는 PCB 내 불필요한 공간을 점유하게 되어 설계 효율성을 저해할 뿐만 아니라, 불필요한 패턴 형성을 통해 노이즈 발생을 유도하여 시스템의 신뢰성과 안정성을 저하시키는 요인이 될 수 있다. 따라서 TP는 단순한 테스트

편의성 차원을 넘어, 회로 검증의 신뢰성 확보, PCB 공간의 최적화, 시스템 안정성 유지 관점에서 적절한 수량과 위치로의 설계가 필수적이다.

2.2 디커플링 캐패시터 설계

디커플링 캐패시터는 회로 내 전원 안정성과 노이즈 제거를 위한 핵심 소자로, 특히 IC의 안정적인 동작을 위해 반드시 고려되어야 하는 요소이다. 주 기능으로는 첫째, IC 동작 전원 라인에서 발생할 수 있는 고주파 노이즈를 바이패스하여 GND로 흘러 보냄으로써 노이즈를 제거하는 역할을 한다. 둘째, 전원 공급이 일시적으로 불안정할 경우, 캐패시터에 저장된 전하를 이용하여 IC에 안정적인 전압을 제공함으로써 전원 안정화 기능을 수행한다.

이러한 기능을 충분히 발휘하기 위해서는 캐패시터를 IC의 전원핀 근처에 배치해야 한다. MCU 제조사의 하드웨어 디자인 가이드라인 문서에서는 전원 핀과 가능한 한 가까운 위치에 배치할 것을 권장하고 있으며, 이를 근거로 본 연구에서는 자체적으로 5mm 이내를 권장 기준으로 설정하여 설계를 진행하고 있다.

따라서 캐패시터의 배치 위치는 PCB 설계 검토 과정에서 반드시 확인되어야 하며, 적절한 배치 여부는 회로의 전원 품질과 시스템의 안정성에 직접적인 영향을 미친다.

3. 개발 방법

본 연구에서는 설계 프로그램인 PADS Designer 및 PCB Layout에서 추출한 .asc 확장자 파일을 기반으로 회로 및 PCB 데이터를 분석하였다. .asc 파일은 회로도 및 배선 정보를 ASCII 형식으로 저장한 텍스트 파일로, 설계 데이터 분석에 용이하다. 개발 언어는 파이썬을 사용하였으며, 생성형 AI인 ChatGPT를 활용하여 코드 구현을 수행하였다.

3.1 테스트 포인트(TP) 검출 도구

3.1.1 .asc 파일 파싱

회로 연결 정보를 추출하기 위해 .asc 파일 내 *SIGNAL*과 *MISC* 구간 사이의 데이터를 파싱하였다. 각 SIGNAL에 연결된 소자명 및 핀 정보를 리스트 형태로 저장하며, 후속 TP분석에 활용하였다.

3.1.2 TP 누락 및 중복 검출

각 SIGNAL에 대해 TP가 하나도 존재하지 않으며, 동시에 GND 또는 J1(커넥터)와 연결되지 않은 경우 해당 SIGNAL을 TP

누락으로 판단하였다. 이때, GND 관련 SIGNAL은 분석 대상에서 제외하였다.

동일한 SIGNAL에 서로 다른 번호의 TP가 존재하는 경우 TP 중복으로 간주하였다. 또한 JTAG 인터페이스인 RESET, TMS과 같은 디버깅 관련 신호와 함께 TP가 존재하는 경우도 중복으로 처리하였다.

3.1.3 사용자 인터페이스

Tkinter 기반 GUI를 구축하여 .asc 파일 불러오기, 분석 시작, 결과 출력 기능을 제공하였다. 분석 결과는 좌측에는 TP 누락 항목, 중앙에는 TP 중복 항목으로 구분하여 표시하였다.

우측에는 N.C핀(No Connection)에 대해 표시하였다.



[그림 1] 테스트 포인트 검출 도구 인터페이스

3.2 디커플링 캐패시터 거리 측정 도구

3.2.1 .asc 파일 파싱

캐패시터와 IC 핀의 연결 정보를 추출하기 위해 .asc 파일 내 *ROUTE* 데이터를 파싱하였다. 캐패시터와 IC의 핀 연결 쌍만을 선별하여 분석 대상으로 지정하였다.

3.2.2 거리 계산 및 조건

배선 좌표를 기반으로 실질 배선 길이를 계산하였으며, 단일 레이어 상에서 루프 형태(배선 보강)가 감지되는 경우에는 양단간 최단 거리로 대체하였다.

이는 전류 용량 확보를 위해 패턴을 넓히거나 이중 배선으로 설계할 때, 전체 보강 패턴의 길이를 그대로 계산하면 캐패시터와 IC간의 길이가 실제보다 과도하게 측정될 수 있기 때문이다. 따라서 본 연구에서는 보강 패턴의 구조를 분석하여 루프 형태가 감지될 경우, 양단 간 최단 거리를 기준으로 계산하도록 로직을 구현하였다.

3.2.3 조건 별 메시지 부여

기준 거리(5mm)를 초과하는 경우 경고 메시지를 부여하고, SIGNAL명에 아날로그 입력, 접지, 출력신호 등 특정 키워드가 포함된 경우에는 배치 권고 또는 설계 비고 메시지를 자동 생성하도록 하였다.

3.2.4 시각화 및 보고서 자동화

분석된 결과는 배선 시각화 이미지와 함께 엑셀 보고서로 출력되며, 거리, 경고, 설계 권고 사항, 비고 등을 포함한다. 보고서는 자동 서식화되어 즉시 검토에 활용 가능하다.

Item	Name	Signal	Pin	Distance	Warning	Remarks
1	ANALOG_IN	ANALOG_IN	1	4.1		공통 라인, 공통 커넥터에 배치 확인 필요
2	ANALOG_IN	ANALOG_IN	2	4.1		공통 라인, 공통 커넥터에 배치 확인 필요
3	ANALOG_IN	ANALOG_IN	3	4.1		공통 라인, 공통 커넥터에 배치 확인 필요
4	ANALOG_IN	ANALOG_IN	4	4.1		공통 라인, 공통 커넥터에 배치 확인 필요

[그림 2] 추출된 엑셀 양식 보고서

3.2.5 사용자 인터페이스

GUI 기반 인터페이스를 제공하여, .asc 파일을 불러오기 부터 보고서 저장까지의 과정을 직관적으로 수행할 수 있도록 구현하였다.

4. 개선 사례

개발된 자동화 도구의 유효성을 검증하기 위해, 실제 설계 중인 PTG(Power Tail Gate) 제어기의 회로 및 PCB 설계 데이터를 대상으로 설계 검토를 수행하였다.

4.1 테스트 포인트(TP) 검출 도구

회로 설계 완료 후, TP 검출 도구를 적용한 1차 분석에서는 TP 누락 항목이 38건, TP 중복 항목이 6건 검출되었다.

해당 분석 결과를 바탕으로 회로를 수정한 후, 동일한 도구를 활용하여 재검토를 수행한 결과, 누락된 TP는 4건, 중복된 TP는 0건으로 개선되었음을 확인 할 수 있었다.

이를 통해 본 도구를 반복 적용함으로써 설계 오류를 체계적으로 감소 시킬 수 있음을 실증하였다.

최종적으로 남아 있는 TP 누락 항목 4건은 설계자의 의도에 따라 배치하지 않은 예외 항목으로 확인되었다. 해당 항목은 발진 소자 및 전원 입력 단자로, 전기적 테스트에서 직접적인 측정이 요구되지 않는 경우였다.

또한 본 도구는 TP 검출 외에도 N.C(No Connection)핀을 별도로 표시하는 기능을 제공한다. 해당 기능은 회로에서 의도된

N.C인지 검토자가 사전에 인지할 수 있도록 하여, 설계 품질 향상에 기여 할 수 있다.

Item	Name	Signal	Pin	Distance	Remarks
1	ANALOG_IN	ANALOG_IN	1	4.1	
2	ANALOG_IN	ANALOG_IN	2	4.1	
3	ANALOG_IN	ANALOG_IN	3	4.1	
4	ANALOG_IN	ANALOG_IN	4	4.1	

[그림 3] TP 검출 도구를 적용한 1차 분석
(누락 38건, 중복 6건)

Item	Name	Signal	Pin	Distance	Remarks
1	ANALOG_IN	ANALOG_IN	1	4.1	
2	ANALOG_IN	ANALOG_IN	2	4.1	
3	ANALOG_IN	ANALOG_IN	3	4.1	
4	ANALOG_IN	ANALOG_IN	4	4.1	

[그림 4] TP 검출 도구를 적용한 2차 분석
(누락 4건, 중복 0건)

4.2 디커플링 캐패시터 거리 측정 도구

PCB Artwork 설계자로부터 전달받은 실제 설계 데이터를 기반으로 분석을 수행하였다. 분석 대상은 MCU의 주요 전원 라인 과 아날로그 입력 회로에 연결된 디커플링 캐패시터이며, .asc 파일 내 배선 정보를 활용하여 각 캐패시터와 IC 핀 간의 거리를 자동으로 계산하였다.

분석 결과, MCU의 VCC_5V 전원 핀 9개 중 1개에서 디커플링 캐패시터와의 거리가 설계 기준인 5mm를 초과한 것으로 확인되었다. 이 중 C108은 VCC_5V의 공통 캐패시터(bulk)로, 여러 핀에 공유되는 구성으로 사용되었기 때문에 단순 거리 기준만으로 판단하기 어려운 항목이었다. 이에 따라 보고서의 비고란에는 자동으로 "공통 라인, 설계 의도에 맞게 배치 확인 필요"라는 안내 문구가 기입되어 설계자의 판단을 돕도록 하였다.

또한 Analog Input 관련 SIGNAL에 연결된 캐패시터들은 자

동으로 "MCU 근접 배치 필요" 항목으로 분류되었으며, 이는 ADC 신호의 안정성을 확보하기 위한 설계 가이드 기준에 따른 것이다. Analog Input 관련 분석 결과, MCU 근접 배치 필요 항목이 자동 분류된 것을 확인 할 수 있고, 이 중 AI_125_VBAT_MONITOR 신호의 경우, C4와 U1(MCU)의 125번 핀 간 거리가 5.907mm로 기준(5mm)을 초과하였고, 이에 따라 경고 항목으로 보고 되었다.

기존에는 캐패시터를 개별적으로 찾아 수작업으로 배선을 추적하고 거리를 측정해야 했으나, 본 도구를 활용함으로써 모든 대상에 대해 자동 분석이 가능해졌다. 분석 결과는 엑셀 보고서로 출력되며, 거리 초과 여부, 민감 신호 권고 여부, 설계 의도 판단을 위한 비고 등의 정보를 포함한다.

해당 보고서를 바탕으로 설계자와 피드백이 신속하게 이뤄졌으며, 일부 캐패시터의 배치가 실제로 개선되는 성과를 확인할 수 있었다.

순서	부품명	값	단위	기준	결과	비고
1	AI_125_VBAT_MONITOR	5.907	mm	5.000	경고	MCU 근접 배치 필요
2	AI_125_VBAT_MONITOR	5.907	mm	5.000	경고	MCU 근접 배치 필요
3	AI_125_VBAT_MONITOR	5.907	mm	5.000	경고	MCU 근접 배치 필요
4	AI_125_VBAT_MONITOR	5.907	mm	5.000	경고	MCU 근접 배치 필요

[그림 5] 자동 출력 보고서: 캐패시터가 복수의 IC핀과 연결되어 있어 비교란에 "공용 라인, 설계 의도에 맞게 배치 확인 필요" 자동 분류, 검토자 의견 기입

순서	부품명	값	단위	기준	결과	비고
1	C4	5.907	mm	5.000	경고	MCU 근접 배치 필요
2	U1	5.907	mm	5.000	경고	MCU 근접 배치 필요
3	U1	5.907	mm	5.000	경고	MCU 근접 배치 필요

[그림 6] 자동 출력 보고서: C4(캐패시터)와 U1(MCU)의 125번 기준거리 초과 경고, 배치 권고 자동 분류

5. 결론

본 연구에서는 회로 설계 및 PCB Artwork 설계 과정에서 자주 발생하는 대표적인 휴먼 에러 사례를 선정하고, 이를 자동으로

검출할 수 있는 도구를 개발 하였다. 생성형 AI와 파이썬을 활용하여 설계 데이터 내 .asc 파일을 파싱하고 분석함으로써, 휴먼 에러를 자동으로 식별할 수 있는 프로그램을 구현하였다.

개발된 도구는 실제 설계 중인 PTG(Power Tail Gate) 제어기 프로젝트에 적용되었으며, 회로에서는 TP 누락 및 중복, PCB에서는 디커플링 캐패시터 배치 거리 초과 등 오류 항목을 효과적으로 검출하였다. 이를 바탕으로 설계자가 직접 회로를 개선하고 오류를 수정할 수 있었으며, 도구의 실질적인 유효성이 입증되었다.

자동화 도구의 도입을 통해 설계 검토 시간을 크게 단축하고, 휴먼 에러로 인한 품질 저하를 방지함으로써 전반적인 설계 품질 향상과 업무 효율 개선을 달성할 수 있었다. 특히 생성형 AI를 활용한 코드 구현 방식은 소프트웨어 비 전공자도 비교적 쉽게 접근할 수 있어, 설계 자동화 및 검증 시스템 구축의 가능성을 더욱 확장시킬 수 있음을 확인하였다.

향후 본 도구는 다양한 설계 기준과 검토 항목을 추가하여 범용성을 높이고, 보다 정교한 설계 검증 자동화 시스템으로 발전시킬 수 있을 것으로 기대 된다.

참고문헌

- [1] NXP, "Hardware Design Guidelines for S32K3xx Microcontrollers", Rev. C, Jun, 2022.
- [2] 프롬프트크리에이터, "된다! 하루 만에 끝내는 챗GPT 활용법", 이지스퍼블리싱, 2024.
- [3] 에릭마테스, "나의 첫 파이썬: 설치부터 시작하는 가장 쉬운 입문서", 한빛미디어, 2020.